

**REPUBLIQUE ALGERIENNE DEMOCRATIQUE ET POPULAIRE
MINISTERE DE L'ENSEIGNEMENT SUPERIEUR
ET DE LA RECHERCHE SCIENTIFIQUE
UNIVERSITE MENTOURI-CONSTANTINE**

**FACULTE DES SCIENCES DE L'INGENIEUR
DEPARTEMENT D'ELECTRONIQUE**

N° d'ordre :...
Série :...

MEMOIRE

*Présenté pour obtenir le diplôme de Magister
En Dispositifs de l'électronique intégrée*

OPTION

Semi-conducteur

Par

Kaddour GHERFI

**MODELISATION VHDL-AMS ET
APPLICATION A L'INTEGRATION DE
PUISSANCE**

Soutenu le : 23 / 03 / 2005

Devant le Jury :

<u>Président:</u>	Mr. A. BENGHALIA	Prof.	Univ. Constantine
<u>Rapporteur :</u>	Mme. S. LASSOUED	Prof.	Univ. Constantine
	Mr. M^{ed} El hadi LATRECHE	Prof.	Univ. Constantine
<u>Examineur :</u>	Mme. M. BENOAKTA	Prof.	Univ. Constantine
	Mme. S. REBIAI	M.C.	Univ. Constantine

Dédicaces

A mes parents

A mes frères

A mes sœurs

A mes amis

REMERCIEMENTS

Grand merci à Dieu.

Je tiens à exprimer mes sincères remerciements à Madame Saïda LASSOUED, professeur à l'université de Constantine, pour sa disponibilité et son suivi sérieux de ce travail.

Je remercie tout particulièrement, Monsieur M^{ed} El hadi LATRECHE, professeur à l'université de Constantine, pour les idées qu'il m'a prodiguées et pour la souplesse avec laquelle il m'a orienté.

J'adresse ma gratitude à Monsieur Abd El madjid BENGHALIA, professeur à l'université de Constantine, pour l'honneur qu'il me fait en acceptant de présider à la commission d'examen, ses encouragements ont toujours été d'une aide précieuse.

Je suis très honoré par la présence à mon jury de Madame Meriem BENOOUAKTA, professeur à l'université de Constantine, et Madame Saïda REBIAI maître de conférence à l'université de Constantine. Je leurs adresse mes vifs remerciements.

Enfin je remercie vivement tous les membres du laboratoire LHS pour leur aide, leur sympathie et leur soutien, en particulier Monsieur rédha BENACHOUR son aide et nos très longues discussions furent pour moi une source d'approfondissement de mon travail.



Sommaire

Sommaire

Introduction générale.....	1
CHAPITRE I	
LE LANGAGE DE DESCRIPTION MATERIEL VHDL-AMS	
I Introduction.....	4
II Simulation des circuits électroniques analogiques.....	4
II.1 Formulation des équations pour simuler un circuit.....	4
II.2 Résolution des équations d'un circuit.....	4
a) L'analyse temporelle (transient analysis).....	5
b) L'analyse DC (direct current).....	5
c) L'analyse AC (alternative current).....	5
II.3 Convergence et stabilité.....	5
III Modélisation et simulation SPICE.....	6
III.1 Limitations et contraintes.....	6
III.1.1 Modélisation mixte.....	6
III.1.2 Modélisation comportementale.....	6
III.1.3 Transmission de données.....	6
III.1.4 La transparence.....	7
IV Langage de description matériel HDL (Hardware Description Langage).....	7
IV.1 Le langage VHDL (Very high scale integrated circuit Hardware.Description..... Language)	7
IV.1.1 Modélisation numérique par le VHDL.....	8
IV.2 Le langage VHDL-AMS (VHDL –Analog and Mixed Signal).....	9
IV.3 Utilisation des modèles VHDL-AMS par un simulateur.....	10
IV.3.1 Compilation.....	11
IV.3.2 Elaboration.....	11
IV.3.3 Simulation.....	11
IV.3.4 Exploitation.....	11
V Aperçu de la modélisation VHDL-AMS en analogique.....	12
V.1 Structure d'un modèle VHDL-AMS : ENTITY et ARCHITECTURE.....	12
V.2 Les nouveaux objets par rapport au VHDL: QUANTITY et TERMINAL.....	13
a) Origine de la QUANTITY.....	13
b) Définition de la QUANTITY.....	14
b.1) PORT (QUANTITY).....	14
b.2) QUANTITY implicite.....	15
b.3) QUANTITY ACROSS, THROUGH, et TERMINAL.....	15
V.3 Déclaration implicite.....	16
V.4 Exemple de modélisation de quelque composants élémentaires.....	17
a) Résistance discrète.....	17
b) Capacité discrète.....	18
c) Inductance.....	18
V.5 Test bench du circuit.....	19
V.6 Instructions simultanées.....	19

a) l'instruction simultanée simple.....	19
b) l'instruction simultanée IF.....	19
VI Résultat de simulation d'un circuit RLC.....	20
VII Les différents niveaux d'abstraction.....	23
VII.1 Les modèles fonctionnels.....	23
VII.2 Les modèles comportementaux.....	24
VII.3 Les modèles physiques.....	24
VIII Conclusion.....	25

CHAPITRE II

MODELISATION ET SIMULATION DE COMPOSANTS DE PUISSANCE ET APPLICATION

I Introduction.....	26
II le transistor MOS de puissance.....	26
II.1 Schéma équivalent et modèle électrique.....	26
II.1.1 Le modèle SPICE niveau 1 du transistor MOS.....	27
II.2 Simulation du transistor MOS sous SPICE-ORCAD.....	29
II.3 Modélisation du transistor MOS par le VHDL-AMS et caractéristiques statiques.....	30
a) Code VHDL-AMS du modèle SPICE niveau 1.....	30
b) Caractéristiques électriques.....	31
II.4 Modélisation du transistor MOS par MATLAB.....	31
III Application du transistor MOS de puissance en amplification radio-fréquence.....	33
III.1 Amplificateur radio-fréquence.....	33
III.2 Résultats de simulation.....	34
IV Le transistor IGBT(<i>Insulated Gate Bipolar Transistor</i>).....	36
IV.1 Historique.....	36
IV.2 Le schéma équivalent.....	37
IV.3 Principe de fonctionnement.....	39
IV.4 Modélisation du transistor IGBT par le VHDL-AMS et caractéristiques.....	40
IV.4.1 Code VHDL-AMS du modèle fonctionnel de l'IGBT.....	40
IV.4.2 Caractéristiques électriques.....	41
IV.5 Modélisation du transistor IGBT par MATLAB.....	42
IV.6 Simulation du transistor IGBT sous SPICE-ORCAD.....	43
V Modélisation comportementale d'un bras d'onduleur a base d'IGBT.....	44
V.1 Principe de l'onduleur autonome.....	44
V.2 Principe de l'onduleur de tension.....	44
V 2.1 Onduleur de tension à 2 interrupteurs.....	44
V.3 Résultats de simulation.....	45
VI Conclusion.....	47

CHAPITRE III**MODELISATION D'UN ONDULEUR TRIPHASE**

I Introduction.....	48
II Commande directe du couple (DTC) d'une machine asynchrone	49
III La CNA et la CAN.....	52
III.1 Le convertisseur numérique analogique CNA.....	52
III.2 Le convertisseur analogique numérique CAN.....	53
IV L'onduleur de tension.....	53
IV.1 Principe de fonctionnement.....	54
IV.2. Code VHDL-AMS d'un bras d'onduleur (modèle comportementale).....	55
IV.3. Résultats de simulation du modèle comportemental de l'onduleur avec une charge... RL équilibrée	56
V Elaboration du contrôle direct du couple.....	57
V.1 Modèle comportemental de l'onduleur dans la DTC et résultats de simulation.....	57
V.2 Modèle moyen de l'onduleur de tension.....	58
V.3 Résultat de simulation du modèle moyen de l'onduleur dans la DTC.....	60
V.4 Comparaison entre les deux résultats du modèle moyen et du modèle..... comportementale.	61
V.5 Modèle physique de l'onduleur de tension.....	64
VI Conclusion.....	65
Conclusion générale.....	66

Bibliographie**Annexe A****Annexe B****Annexe C**

Introduction générale

INTRODUCTION GENERALE

Du fait des développements technologiques de ces dernières années, sont aujourd'hui intégré sur une seule puce des systèmes électroniques qui étaient jusqu'à présent réalisés sous forme de cartes. Cette tendance à l'intégration et à la miniaturisation des circuits est portée par le développement "explosif" des applications multi-media, des télécommunications... . De tels systèmes comportent un nombre toujours croissant de modules pouvant appartenir à des domaines différents: des fonctions numériques prédominantes, qui sont basées sur des micro-processeurs ou micro-contrôleurs, des mémoires et des blocs DSP de traitement du signal (Digital Signal Processing), mais aussi des fonctions analogiques d'amplification et de filtrage qui se trouvent en particulier dans les circuits de conversion analogique/digitale (A/D) en entrée et digitale/analogique (D/A) en sortie. Certaines technologies (BiCMOS-DMOS...), permettent même d'intégrer des fonctions analogiques de puissance avec des circuits "logiques".

Pour pouvoir intégrer sur une seule puce des systèmes toujours plus complexes comportant à la fois des fonctions numériques et analogiques, l'utilisation d'une méthodologie de conception hiérarchique est indispensable. Basée sur la modélisation comportementale de chaque élément du circuit, avant tout choix d'architecture, une telle approche permet en effet de réduire les temps de simulation, de conception et d'améliorer la fiabilité du système considéré. Appliqué avec succès dans le domaine digital, ce paradigme doit maintenant être étendu à l'analogique. Cela est aujourd'hui possible grâce à l'offre récente de puissants langages de modélisation comportementale analogique et mixte.[1]

Des outils de qualité ont été mis au point pour les systèmes digitaux (environnements VHDL, pour vérification et synthèse, avec génération de vecteurs de test, ...), de la même manière que pour les systèmes analogiques (SPICE sous ses différentes versions avec leurs fonctions d'optimisation, d'analyse statistique ...).

Classiquement, la mise au point d'un système mixte se fait en séparant conception digitale et conception analogique, chacune des parties étant confiée aux spécialistes du domaine. La seule solution pratique de test complet est le prototypage rapide, qui permet la validation en environnement réaliste.

L'avènement récent d'outils basés sur le nouveau standard VHDL-AMS vise la modélisation du système complet, aux divers niveaux d'abstraction, intégrant les différents domaines technologiques (électrique, mécanique, thermique ...)[2].

Ce langage est le résultat d'un processus de standardisation effectué par un groupe de travail IEEE entre 1994 et 1999. Le point de départ a été la première révision du langage VHDL, puis il a été réexaminé tout les cinq ans afin d'être réaffirmé et de faire le point sur son utilisation, de corriger les déficiences possibles et d'ajouter éventuellement des nouvelles fonctionnalités. Vu cette occasion qui est relative au support de circuits et systèmes analogiques et mixtes, il a été décidé de développer une extension au langage VHDL tout en assurant son développement normal [3]. Ainsi créé en 1999, le langage VHDL-AMS, ou plus formellement le standard IEEE1706.1, est un sur-ensemble du langage VHDL qui hérite de toutes les caractéristiques de ce dernier tout en ajoutant des fonctionnalités à la modélisation et à la simulation des circuits et systèmes analogiques.

Sur la base de ce langage, nous nous intéressons aux techniques d'intégration des systèmes de commande, en particulier pour les machines à courant alternatif (M.C.A).

La plupart des travaux de recherche concernent principalement la stratégie de commande. L'implantation de la commande, plus particulièrement son intégration sur circuits intégrés à application spécifique (**ASIC**), est un domaine beaucoup plus récent et peu répandu. Pourtant, les ASICs présentent de nombreux avantages lors de leur utilisation dans un environnement aussi contraignant que celui des systèmes de commande. Citons, entre autres, l'augmentation de la fiabilité de la commande, le gain de place ou la confidentialité de l'architecture. Par ailleurs, les performances d'un algorithme de commande peuvent être considérablement améliorées lorsque ce dernier est transcrit sous forme d'architecture spécifique. Par exemple, le temps d'exécution d'un algorithme peut être minimisé ou les signaux de commande du convertisseur statique optimisés.

De plus, l'intégration de la commande est une étape importante dans l'intégration de systèmes de commande. En effet, la commande est toujours associée à des éléments d'interface (capteurs, électronique de mise en forme, convertisseurs analogique-numérique, driver) qui la relie à la chaîne d'entraînement électrique.

L'intégration de puissance est depuis une dizaine d'années un domaine en plein développement. C'est dès le début de la conception que l'approche système doit prévaloir, pour une meilleure sécurité et pour réduire l'encombrement et le coût [4].

Le but de notre travail s'inscrit dans cette stratégie globale est qui concerne la modélisation comportementale d'un système de commande d'une machine asynchrone.

Notre mémoire est structuré en trois chapitres :

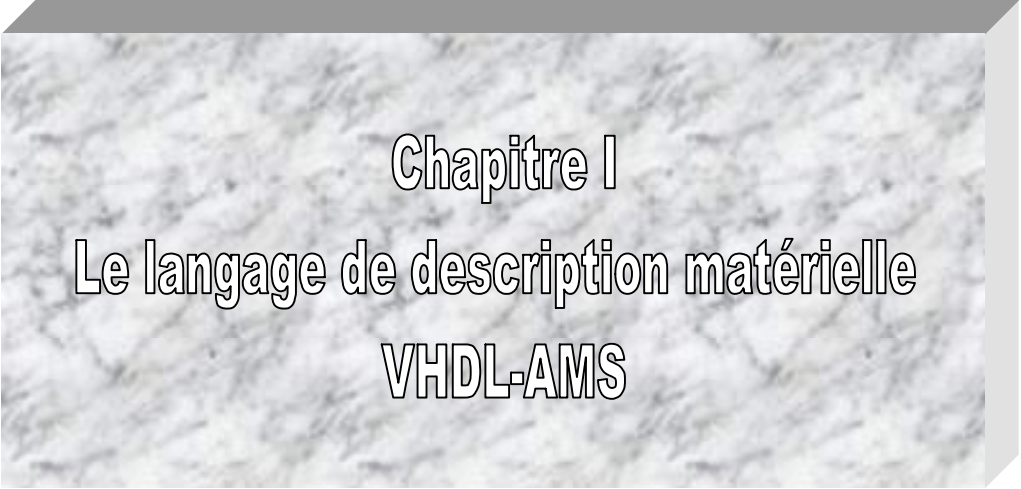
Dans le premier chapitre, nous présentons une initiation détaillée au langage VHDL-AMS. Une méthode de modélisation par le biais de ce langage est présentée en considérant quelques composants élémentaires tel que la résistance, l'inductance, la capacité, et la diode.

Dans le second chapitre, nous nous intéressons à des composants actifs. Nous réalisons dans un premier temps, la modélisation du transistor MOS. Une application de cette étude concernera l'insertion du TMOS modélisé dans un circuit amplificateur de puissance Radio-fréquence.

Dans un second temps, la modélisation du transistor IGBT nous permet de nous intéresser à un bras d'onduleur à base d'IGBT.

Enfin, dans le dernier chapitre nous avons réalisé la modélisation comportementale et fonctionnelle d'un onduleur triphasé a base d'IGBT.

Pour la modélisation fonctionnelle, nous présentons un modèle moyen de l'onduleur connecté à une machine asynchrone. Les résultats obtenus sont comparés à une modélisation comportementale.



Chapitre I
Le langage de description matérielle
VHDL-AMS

I Introduction

Le modèle d'un système est une représentation de son comportement à l'aide de laquelle le simulateur comprend et procède à des calculs. Il y a différentes façons de modéliser le comportement d'un système. Le modèle peut être à temps discret ou à temps continu ou les deux en même temps. De plus, ce comportement doit être compréhensible par le simulateur [5].

En plus du simulateur de circuits SPICE, il est apparu sur le marché international un langage de description matérielle : le VHDL-AMS qui répond à des besoins analogiques, numériques et mixtes.

Dans ce chapitre, nous allons commencer par présenter des notions générales concernant la modélisation et la simulation des composants semi-conducteurs en utilisant SPICE dans un premier temps, puis dans un deuxième temps le langage de description matérielle : VHDL-AMS. Nous présenterons également quelques résultats de simulation donnés par ces deux outils.

II Simulation des circuits électroniques analogiques

Simuler un circuit à l'aide d'un programme de CAO revient donc à remplacer son étude sur maquette par une étude sur ordinateur. Ceci implique que l'on puisse schématiser le système ou ses éléments par des modèles les plus proches possibles de la réalité. Il faut ensuite formuler les équations du système, puis les résoudre par des moyens analytiques ou numériques.

II.1 Formulation des équations pour simuler un circuit

Les variables électriques inconnues dans un réseau sont les tensions des nœuds, les courants de branches, et les énergies stockées par les éléments réactifs. Les équations résolues par le programme d'analyse sont formulées à partir de la description réseau. En fait, toute méthode de mise en équation revient à déterminer le système algèbro-différentiel des variables électriques, déduit des lois élémentaires d'Ohm et de Kirchhoff.

II.2 Résolution des équations d'un circuit

Les méthodes de résolution des équations d'un circuit analogique sont subdivisées en trois niveaux :

- 1- Analyse d'un circuit linéaire en régime statique.
- 2- Analyse d'un circuit non-linéaire en linéarisant le circuit et en utilisant l'analyse du circuit linéaire en régime statique.

3- Analyse d'un circuit en régime dynamique en convertissant le circuit considéré en un circuit indépendant du temps [6].

Quelle que soit la méthode utilisée pour mettre en équations le réseau étudié, l'analyse en continu et en transitoire conduit à un système d'équations différentielles non linéaires.

La simulation analogique est beaucoup plus complexe que la simulation logique et requiert ainsi plus de ressources (temps de calcul, mémoire). De plus, elle implique la résolution d'équations différentielles et algébriques linéaires et non linéaires. Les solutions sont des tensions entre les nœuds du circuit et les courants dans les branches du circuit.

Trois types d'analyse peuvent être considérées :

a) L'analyse temporelle (transient analysis) :

Cette analyse calcule les réponses temporelles du circuit (tensions et courants en fonction du temps) relativement à un ensemble de stimuli (excitations).

b) L'analyse DC (direct current) :

Elle calcule l'état du circuit pour un ensemble de stimuli (excitations) fixés après un temps infiniment long (steady state). L'analyse DC est utile pour calculer le point de repos, ou la polarisation du circuit, la fonction de transfert, la résistance d'entrée et de sortie du circuit, les sensibilités de variables de sortie en fonction des paramètres du circuit...

c) L'analyse AC (alternative current) :

Calcule les réponses fréquentielles du circuit en régime petits signaux. Un signal alternatif est alors appliqué, autour du point de repos du circuit. L'analyse AC est utile pour calculer les fonctions de transfert (par exemple le gain en tension du circuit) en fonction de la fréquence et des conditions de polarisation du circuit. Elle est aussi utile pour analyser l'influence du bruit ainsi que la détermination des caractéristiques de distorsion du circuit [7].

II.3 Convergence et stabilité

Les problèmes de convergence peuvent être inhérents au circuit étudié dans le cas d'un circuit ayant plusieurs états d'équilibre (ex. bascule) ou n'ayant pas d'état d'équilibre (ex. oscillateur) ou bien inhérents à l'algorithme utilisé. Des problèmes de débordement peuvent également apparaître dans le cas des caractéristiques non linéaires de forte croissance (ex. exponentielle).

La stabilité d'un algorithme d'intégration (ex : analyse en transitoire) est liée à la valeur du pas d'intégration. Une bonne stabilité et une faible erreur locale sont en général obtenues grâce à un pas suffisamment petit. Cependant, pour que le calcul se déroule rapidement, il faut utiliser un pas relativement grand. Afin d'obtenir le meilleur compromis précision/rapidité de calcul, le programme doit, à chaque étape, ajuster le pas à une valeur optimale. Dans ce but, il a été

nécessaire de développer des algorithmes d'intégration de stabilité maximale et a pas dit auto-adaptatif.

III Modélisation et simulation SPICE

SPICE (**S**imulation **P**rogram with **I**ntegrated **C**ircuit **E**mphasis), est un simulateur des circuits électriques pour des analyses en continu DC non-linéaires, temporelles non-linéaires TRAN, et fréquentielles AC linéaires et paramétriques.

Pour l'analyse DC, SPICE détermine le point de fonctionnement en mettant les capacités en circuit ouvert et les inductances en court-circuit. SPICE procède par itérations numériques pour résoudre les équations non-linéaires.

Dans l'analyse temporelle, les conditions initiales sont déterminées automatiquement par l'analyse DC, SPICE fait le calcul pour chaque nœud du circuit en fonction du temps. C'est une analyse de grands signaux où il n'y a pas de restriction sur l'amplitude du signal d'entrée.

En ce qui concerne l'analyse fréquentielle AC, SPICE fait le calcul des valeurs complexes des tensions de chaque nœud du circuit considéré [6].

III.1 Limitations et contraintes

Le simulateur SPICE est considéré en réalité comme un standard pour l'analyse des circuits. Très vite il est devenu l'outil le plus efficace d'aide à la conception. Pourtant, il comporte des limitations dans certains domaines :

III.1.1 Modélisation mixte : Le simulateur SPICE est à temps continu, donc le modèle conçu doit être à temps continu. SPICE ne peut pas supporter les représentations discrètes, et en conséquence, il n'est pas adapté pour la modélisation mixte,(temps continu et discret à la fois) sauf au moyen d'une macro-modélisation lourde.

III.1.2 Modélisation comportementale : La plupart du temps, c'est un avantage, d'une part, en terme de temps d'exécution et de mémoire demandée et d'autre part, pour simuler une partie d'un circuit dont le niveau de structure est très détaillé (structurel) ou moins détaillé (comportemental). SPICE décrit explicitement le structurel et décrit le comportemental implicitement pour un modèle analogique, en conséquence, le temps d'exécution est très long et il est très gourmand en mémoire pour le stockage des détails des composants internes.

III.1.3 Transmission de données : SPICE ne supporte que des systèmes conservatifs comme par exemple les circuits électriques qui obéissent aux lois de *Kirchoff* (loi des noeuds et loi des mailles). En ce qui concerne les flots de données (non-conservatifs), une des façons de les représenter utilise le temps discret, et cette représentation n'est pas supportée par SPICE.

III.1.4 La transparence : Il est souvent nécessaire de connaître le détail primitif du modèle qui n'est pas explicité par le langage, pour pouvoir effectuer une représentation précise du système. Les modèles élaborés sous SPCIE sont en général assez complexes et l'utilisateur ne peut alors pas contrôler les équations primitives considérées [5].

IV Langage de description matériel HDL (Hardware Description Language)

Contrairement à un langage informatique, le langage HDL ne vise pas forcément une exécution. Il sert à décrire du matériel, comme son nom l'indique, avec pour objectifs la spécification, la modélisation, la simulation, la documentation, la synthèse logique, la preuve formelle ou l'extraction (LVS : "layout versus schematic"),...

Dans un langage informatique, l'information est transportée par des variables d'usage dynamique alors que dans un HDL, l'on définit des signaux qui servent de façon statique à modéliser des équipotentielles. L'information associée à ces signaux peut être datée et c'est l'histoire de celle-ci qui permet de construire les chronogrammes. Les variables, avec un langage informatique, sont traitées par des procédures (sous-programmes ou fonctions) qui sont appelés, exécutés et oubliés. La mémoire nécessaire (avec les variables) est allouée dynamiquement. Dans un HDL, l'information est transformée par des composants qui sont utilisés de façon statique et reliée par des signaux. Ils permettent de modéliser des composants matériels et n'ont aucune raison de disparaître. Dans le modèle HDL le traitement du temps fait partie intégrante de la sémantique des modèles[8].

IV.1 Le langage VHDL (Very high scale integrated circuit Hardware Description Language)

Le langage VHDL est un standard IEEE (IEEE 1076-1993) pour la modélisation, la simulation et la synthèse des systèmes matériels logiques (HDL - *Hardware Description Language*). Il est aujourd'hui très largement utilisé et est supporté par tous les environnements d'aide à la conception de circuits et de systèmes électroniques (EDA - *Electronic Design Automation*) [7].

Le VHDL est un puissant langage de description des circuits d'électronique numérique. Avec le VHDL, il est possible de simuler et de synthétiser des circuits numériques pour différentes technologies. Toutes entités déjà créées sont archivables dans une librairie pour être modifiées ou réutilisées plus tard. Le gros avantage en matière de productivité est lorsque une librairie comporte beaucoup de composants simples prêts à être intégrés à des systèmes plus complexes[9].

IV.1.1 Modélisation numérique par le VHDL

Exemple d'un décodeur 2 vers 4.

Un décodeur est un circuit combinatoire qui a N entrées et 2^N sorties, pour notre exemple on a un décodeur 2 - 4 (2 entrées et 4 sorties). Le décodeur que nous avons présenté est réalisée avec des portes "inverseur" et "AND" (voir la figure I.1), son code sous VHDL est représenté sur l'encadré I.1.

IN0	IN1	D0	D1	D2	D3
0	0	1	0	0	0
0	1	0	0	1	0
1	0	0	1	0	0
1	1	0	0	0	1

Tableau I.1: Table de vérité.

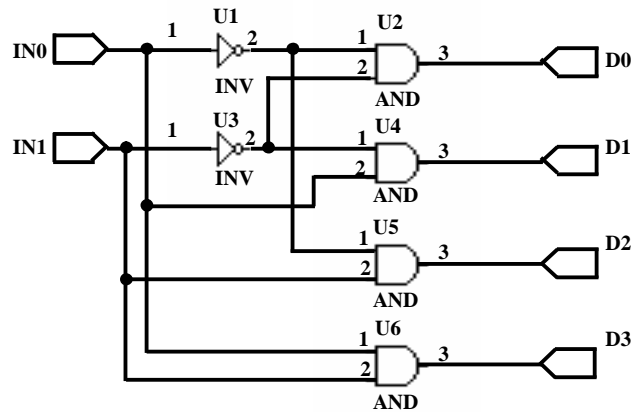


Figure I.1: Décodeur2/4.

```

ENTITY décodeur IS
--Définition de entré sorties
...
END ENTITY décodeur;
ARCHITECTURE description OF décodeur
IS
BEGIN
IN0 <= not(IN0) after 1.0 ms ;
IN1 <= not(IN1) after 2.0 ms ;
D0 <= (not(IN1) and not(IN0));
D1 <= (not(IN1) and IN0);
D2 <= (IN1 and not(IN0));
D3 <= (IN1 and IN0);
END description;

```

Encadré I.1: Code VHDL d'un décodeur

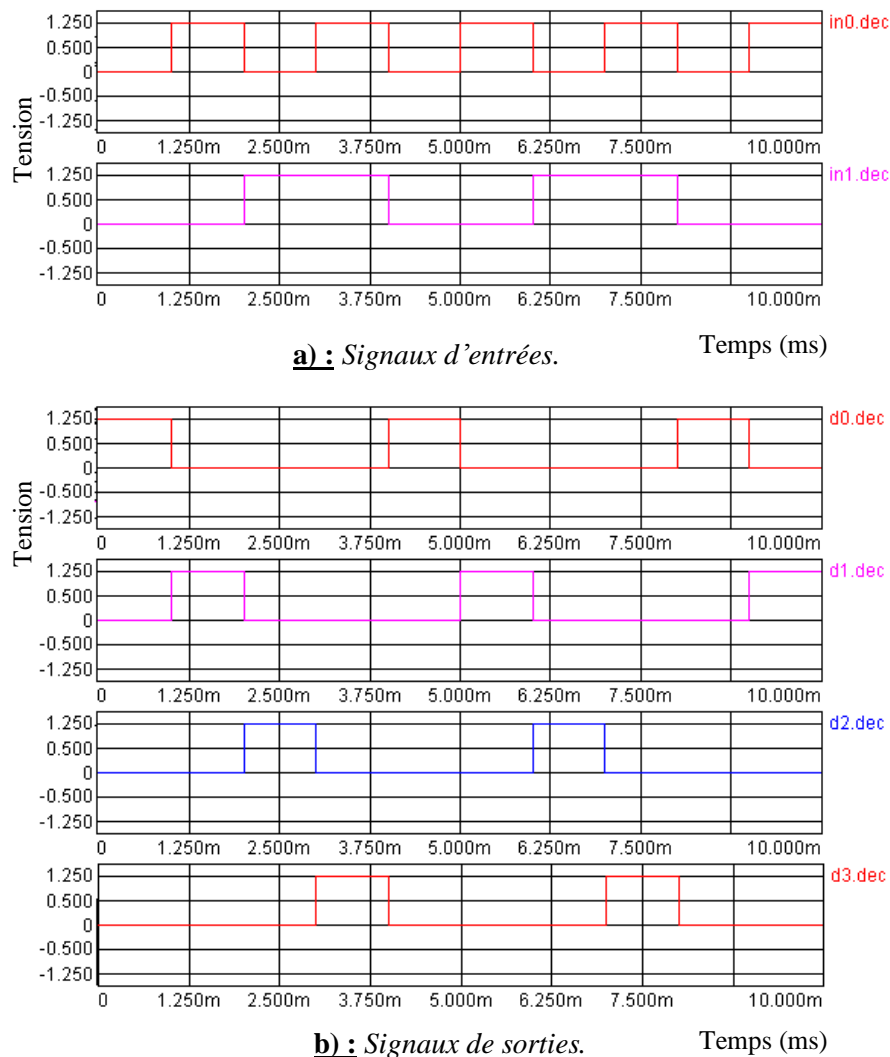


Figure I.2: Résultats de simulation d'un décodeur 2/4.

IV.2 Le langage VHDL-AMS (VHDL –Analog and Mixed Signal)

Le langage VHDL-AMS est également un standard IEEE (IEEE 1076.1-1999). Il a été développé comme une extension du langage VHDL pour permettre la modélisation et la simulation des circuits et des systèmes analogiques et mixtes logiques-analogiques [7].

Le VHDL-AMS est un langage de description hiérarchique qui permet de simuler des systèmes continus et mixtes (c'est un standard dont l'apparition a rendu possible le couplage du niveau HDL (multi-abstraction) entre les domaines analogiques et les domaines numériques en terme de modélisation). Le langage VHDL-AMS permet la description et la modélisation des systèmes conservatifs continus et mixtes (continus/discontinus) aussi bien que non-conservatifs continus et mixtes (continus/discontinus). Les algorithmes de simulation ne font pas partie du langage. Il

permet la modélisation sur trois niveaux : comportemental, fonctionnel et physique. Cette modélisation peut être appliquée dans différents domaines électriques et non électriques (multi-technologie : thermique, mécanique, hydraulique,....., etc.). Les modèles écrits en VHDL-AMS autorisent tous les types d'analyse : DC, transitoire, petits signaux,.....etc.

Les circuits analogiques modélisés sont décrits par des systèmes d'équations ordinaires différentielles algébriques (par rapport au temps): *EDA(Equations ordinaires Différentielles Algébriques)*. Il supporte les transformations de Laplace et en Z. Le VHDL-AMS sert à décrire des systèmes mixtes continus/discrets. Le caractère continu de ces systèmes est décrit par des EDAs où le temps est considéré variable indépendante. La norme VHDL-AMS ne décrit pas d'algorithme de résolution des EDAs, mais fournit une notation pour ces EDAs, il suffit que VHDL-AMS décrive le type de système d'EDA décrit par le modèle. Le VHDL-AMS ne fait que caractériser les résultats que doit obtenir l'algorithme de la solution appelé solveur analogique.

Dans le domaine numérique, les inconnues des EDAs signaux et variables, obtiennent leurs valeurs par affectation séquentielle. Mais dans le domaine analogique les inconnues des EDAs sont des fonctions analytiques du temps, c-à-d individuellement continues avec un nombre fini de discontinuités. Le solveur trouve des solutions pour toutes les inconnues en fonction du temps en convertissant d'abord, pour des valeurs précises du temps, la partie différentielle des EDAs en équations aux différences en utilisant des méthodes adéquates, puis, en résolvant simultanément les équations aux différences [6].

Remarque : Synchronisation des noyaux :

Pour la simulation mixte, il faut que les noyaux numérique et analogique puissent se synchroniser. Dans la plupart des applications, chaque noyau gère sa propre horloge mais doit conserver des liens avec l'autre pour assurer la cohérence de l'évaluation.

L'action du noyau numérique sur le noyau analogique, correspond à un événement sur un signal. Elle doit pouvoir provoquer une évaluation analogique en utilisant l'instruction *BREAK ON (s)*.

L'action du noyau analogique sur le noyau numérique est réalisée en fabriquant un événement à partir d'une quantité avec l'instruction *Q'ABOVE(ref)*.

IV.3 Utilisation des modèles VHDL-AMS par un simulateur

L'utilisation des modèles VHDL-AMS par un simulateur passe par trois étapes principales : la compilation, l'élaboration et la simulation. Il est important de comprendre ce qui différencie les opérations effectuées par les étapes de compilation et d'élaboration. La réutilisation par le support de la généricité est largement favorisée par la séparation de ces deux opérations.

IV.3.1 Compilation :

- Analyse syntaxique et sémantique.
- Unité de conception primaire avant l'unité de conception secondaire.
- Stockage en bibliothèque si réussite de la compilation.

IV.3.2 Elaboration :

- Rassemble les modèles utilisés (propriétaires ou IP(intellectual property)) définis dans la configuration.
- Vérifie les associations, fixe les génériques, crée les data-structures.
- Interconnectés les process et faire les jeux d'équations simultanées.
- Initialise les horloges.
- Initialise les objets.

IV.3.3 Simulation :

La plupart du temps deux noyaux de simulation sont utilisée afin de :

- Vérifier les contraintes dynamiques de valeur.
- Rappporter les REPORT et piloter le simulateur avec le SEVERITY.
- Vérifier les boucles infinies des process, contrôler la convergence.
- Tenir compte des BREAK.

IV.3.4 Exploitation :

- Tracé des chronogrammes, tracé des x(y).
- Auto-test des modèles.

Remarque : Critère de solvabilité :

La simulation analogique revient à résoudre un système d'équations à chaque pas de temps. Il faut s'assurer qu'à tout moment le modèle contient autant d'équations que d'inconnues. Le concepteur doit alors s'assurer que le modèle remplit le critère de solvabilité imposé par la norme.

Le nombre d'équations simultanées (SS) doit être égal au nombre de quantités THROUGH (QT) augmenté du nombre de quantités FREE (QF) et du nombre de quantités d'interface en mode OUT (Qout).

$$SS = QT + QF + Qout$$

Attention : Ce critère n'assure pas la convergence qui est une caractéristique dynamique du réseau d'équations couplés aux techniques d'analyse numériques mises en place.

En théorie ce critère est suffisant mais pas localement nécessaire, il est de ce fait assez contraignant [8].

V Aperçu de la modélisation VHDL-AMS en analogique

Le langage VHDL-AMS est donc un langage inspiré de VHDL pour permettre l'extension à l'analogique et au mixte. Les algorithmes de simulation ne font pas partie du langage. On pourra alors décrire des modèles mixtes mais aussi multi-technologiques (thermiques, mécaniques, hydrauliques, etc...). Dans ce contexte, l'objectif de notre travail est alors de permettre rapidement de développer des modèles sous VHDL-AMS. Ceci nécessite donc une certaine connaissance du langage. Cette partie décrit ce qui nous semble fondamental pour aborder la modélisation VHDL-AMS dans le domaine analogique.

V.1 Structure d'un modèle VHDL-AMS : ENTITY et ARCHITECTURE

La modélisation en VHDL-AMS de tout composant pris au sens large du terme, se fait au moyen de deux types d'objets : l'ENTITY et l'ARCHITECTURE.

- l'ENTITY décrit la vue extérieure du composant. Nous pouvons comparer l'ENTITY à une boîte noire où seules les entrées-sorties du composant sont visibles. Lors de l'écriture d'une ENTITY, nous ne déclarons que l'interface avec le monde extérieur grâce aux mots PORT et GENERIC.

GENERIC : regroupe la déclaration des paramètres du composant.

PORT : décrit l'interface avec l'environnement extérieur par l'intermédiaire des nœuds externes.

Exemple de syntaxe :

```
ENTITY nom_de_l'entité IS
  GENERIC (GENERIC_déclarations);
  PORT (PORT_déclarations);
END [ENTITY] nom_de_l'entité
```

- l'ARCHITECTURE représente une des descriptions possibles de la fonction du modèle. Une ARCHITECTURE se réfère toujours à une unique ENTITY et contient la description de la fonction réalisée par l'ENTITY. Ainsi, si la boîte noire est l'ENTITY, c'est l'ARCHITECTURE qui va dicter le comportement de cette boîte noire.

Pour une ENTITY donnée réalisant une fonction précise, il peut y avoir autant d'ARCHITECTURE que de manières de décrire la fonction à réaliser.

L'ARCHITECTURE contient donc les équations de la fonction et les déclarations de toutes les variables dites locales, c'est-à-dire qui n'ont pas de raison d'exister hors de l'ARCHITECTURE.

Exemple de syntaxe :

```

ARCHITECTURE nom_de_l'architecture OF nom_de_l'entité IS
    déclaration_des_variables
BEGIN
    déclaration_des_équations
END [ARCHITECTURE] nom_de_l'architecture
  
```

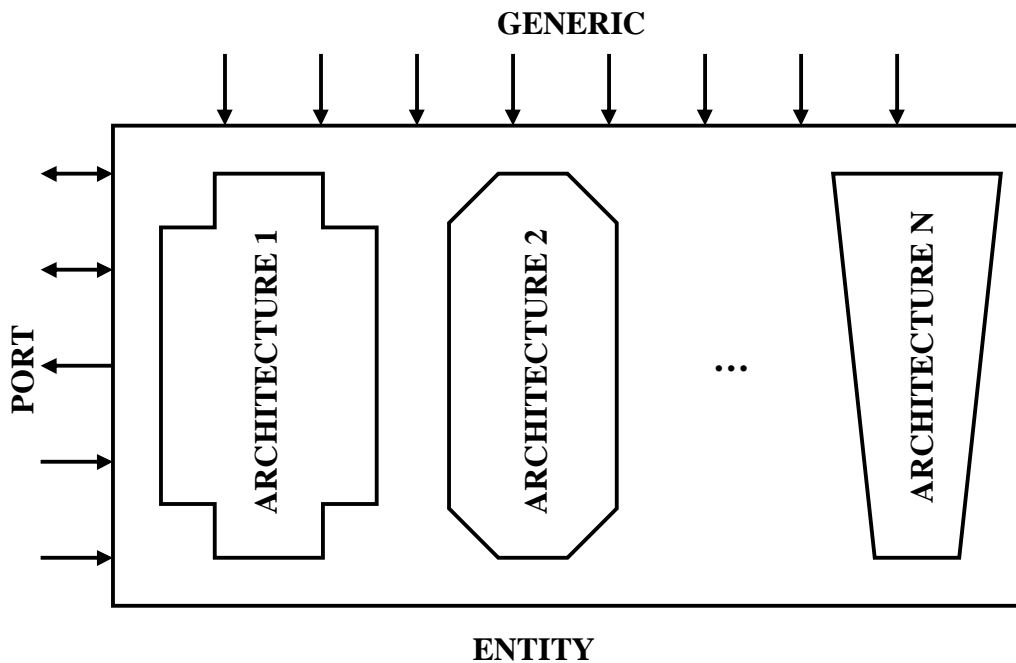


Figure I.3: Structure d'un modèle VHDL-AMS.

Il faut bien comprendre ici que l'on peut avoir autant d'architectures réalisant une fonction (celle de l'entité) que l'on peut trouver de manières de décrire cette fonction. Une fois le concept d'ENTITY et d'ARCHITECTURE assimilé, il faut maintenant se pencher sur les moyens mis à disposition par VHDL-AMS pour remplir et faire fonctionner notre boîte noire.

V.2 Les nouveaux objets par rapport au VHDL : QUANTITY et TERMINAL

a) Origine de la QUANTITY

Le VHDL-AMS sert à décrire des systèmes mixtes continus/discrets. Le caractère continu de ces systèmes est décrit par des **EDA** (*Equations ordinaires Différentielles Algébriques*) avec le temps comme variable indépendante.

Ces EDAs peuvent s'écrire sous la forme :

$$F(x, dx/dt, t) = 0$$

vecteur d'expressions
x : vecteur d'inconnues
t : temps

Les solutions analogiques des EDAs n'obéissent pas à la même méthode de résolution que le VHDL-AMS. Celui-ci introduit alors une nouvelle classe d'objets porteurs de valeurs : la **QUANTITY**, qui va représenter les inconnues des EDAs dans le domaine analogique. Dans le paragraphe suivant nous allons voir quelques propriétés et règles de syntaxe s'appliquant aux **QUANTITY**.

b) Définition de la QUANTITY

La **QUANTITY** est donc un objet, dont la valeur à temps précis est solution des EDAs. Pour ce faire, les **QUANTITY** doivent avoir des sous-éléments scalaires de type virgule flottante pour approximer les nombres réels solutions des EDAs.

Un objet **QUANTITY** peut se trouver dans une expression partout où une valeur de ce type est permise. Il existe des **QUANTITY** scalaires et d'autres composites. Les caractéristiques d'une **QUANTITY** composite sont simplement l'agrégation des caractéristiques des sous-éléments scalaires.

Syntaxe : **QUANTITY** identifieur_liste : real;
 -- la déclaration de deux quantités dites libres

Exemple : **QUANTITY** q1,q2 : real;

Syntaxe : **QUANTITY** identifieur_liste : real := flot;
 -- la déclaration d'une quantité dite libre

Exemple : **QUANTITY** q1 : real := 1.0;

Dans ce cas l'expression représente une valeur initiale de la quantité déclarée. En l'absence de la valeur initiale, une valeur par défaut est appliquée.

Chaque quantité de type scalaire et chaque sous-élément scalaire d'une quantité composite est une quantité scalaire.

b.1) PORT (QUANTITY)

Mais les **QUANTITY**s peuvent aussi être déclarées comme éléments d'interface dans une liste de **PORT**. Et à ce moment là, il s'appelle un **PORT QUANTITY** (terme analogue à celui employé en VHDL, le port signal).

Exemple de syntaxe :

```

ENTITY exemple IS
    PORT (QUANTITY x1 : IN real);
    PORT (QUANTITY x2 : OUT real);
END ENTITY exemple;
```


b.2) QUANTITY implicite

Pour chaque quantité « Q » déclarée nous avons accès à des quantités implicites telles que :

- Q'Dot : la dérivée de « Q » en fonction du temps.
- Q'Integ : l'intégrale de temps de la quantité « Q » du temps zéro au temps présent.

b.3) QUANTITY ACROSS, THROUGH, et TERMINAL

Un langage de type VHDL-AMS permet de décrire des modèles comportementaux. On tire de cette opportunité des avantages qui permettent d'étendre la notion d'analogie à la notion de multi-technologie.

Les domaines technologiques pouvant être appréhendés sont très variés. Un domaine peut être caractérisé/spécifié par les deux objets VHDL-AMS suivants : **ACROSS** et **THROUGH**. L'analogie avec le domaine électrique permet de comprendre aisément leur signification. En effet, dans le domaine électrique **ACROSS** est la tension aux bornes d'une branche et **THROUGH** est le courant circulant entre les bornes de cette branche. Le tableau I.2 présente une liste (non exhaustive) de domaines technologiques et de leurs caractéristiques. Certains domaines peuvent paraître inattendus, comme le domaine financier.

Avec VHDL-AMS, on a la possibilité de créer d'autres domaines à condition de trouver leurs objets caractéristiques **ACROSS** et **THROUGH** associés, ainsi que les équations spécifiant la relation entre ces deux objets et représentant le comportement du modèle (tableau I.2).

DOMAINE	ACROSS	THROUGH
Electrique	Tension (V)	Courant (A)
Thermique	Température (°C)	Puissance (W)
Mécanique linéaire	Position (m)	Force (N)
Mécanique rotative	Vitesse angulaire (radian/s)	Moment (N*m)
Magnétisme	Force magnétomotrice (n*A)	Flux (Wb)
Hydraulique	Pression (Pa)	Débit (l/s)
Financier	Dette (DA*mois)	Monnaie (DA)
Radiatif	Dose (rad)	(Photo) courant (A)

Tableau I.2: Quelques domaines d'application.

Les QUANTITYs de branchement représentent les inconnues dans les équations qui décrivent les systèmes conservatifs.

On a deux types de QUANTITY de branchement :

- le type **ACROSS** (aux bornes, grandeur d'effort).
- le type **THROUGH** (à travers, grandeur de flux).

Les types **ACROSS** représentent les effets de « type potentiel » comme la tension dans le domaine électrique, la pression dans le domaine hydraulique. Les types **THROUGH** représentent le courant dans le domaine électrique, le flux dans le domaine magnétique.

Une **QUANTITY** de branchement est déclarée par référence à deux **TERMINALS**. Le **TERMINAL** est le deuxième nouvel objet introduit par le VHDL-AMS. Un **TERMINAL** est déclaré comme étant de nature simple ou composite dont les sous-éléments sont de nature simple. Chaque nature représente une discipline physique : électrique, thermique, etc....

Exemple :

```

SUBTYPE voltage IS real;           -- ici "voltage" et "current" sont déclarés
SUBTYPE current IS real;          -- comme sous-type, "electrical" comme
NATURE electrical IS              -- nature.
    voltage ACROSS;
    current THROUGH;
TERMINAL t1, t2, electrical;        -- t1 et t2 sont les TERMINALS.
QUANTITY v across i1 , i2 , through t1 to t2;
                                         -- v est la tension entre ces deux
                                         TERMINALS et i1, i2 sont deux
                                         branches parallèles représentant
                                         le courant.

```

Nous venons de voir que la déclaration des **QUANTITYs** de branchements se fait par la déclaration de deux **TERMINALS** t1 et t2 avec t1 en **TERMINAL** positif et t2 en **TERMINAL** négatif. La direction d'une branche va de + vers -, direction du courant positif.

Un **TERMINAL** peut être déclaré partout où un signal est déclaré en VHDL. Il peut aussi être un élément d'interface comme nous l'avons vu avec les quantités. Dans ces conditions, on parle de **PORT TERMINAL**.

Exemple : **PORT (TERMINAL** anode, cathode : electrical);

L'association de **PORT TERMINAL** est utilisée dans la construction de nœuds dans des descriptions hiérarchisées, comme le **PORT SIGNAL** en VHDL.

V.3 Déclaration implicite

La déclaration d'une nature N crée un **TERMINAL** de référence pour tous les **TERMINALS** de cette même nature. Le **TERMINAL** de référence de la nature N est noté N^{référence}. Par

exemple pour la nature électrique, les TERMINALS électriques sont la masse comme TERMINAL de référence.

La création d'un TERMINAL T engendre deux QUANTITYs implicites :

- La QUANTITY de référence T'référence, qui est un ACROSS avec T et N'référence en TERMINALS + et -.
- La QUANTITY de contribution T'contribution, qui est un THROUGH de valeur égale à toutes les QUANTITY THROUGH incidentes à T (avec le signe qui convient). Si T apparaît comme effectif dans l'association de PORT alors les quantités de contribution correspondantes sont à ajouter à la somme.

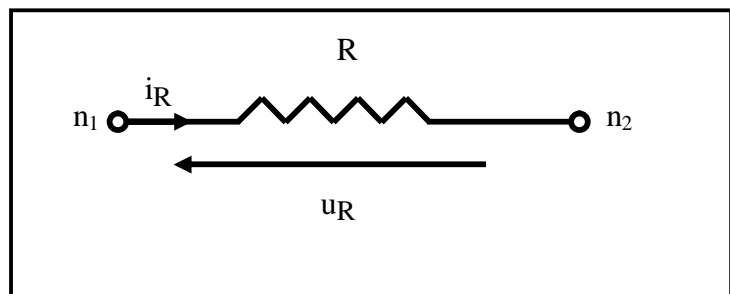
V.4 Exemple de modélisation de quelques composants élémentaires

Par différents exemples nous allons montrer les premières applications des nouveaux objets introduits ainsi que leurs utilisations dans leurs contextes [6].

a) Résistance discrète :

$$i_R(t) = u_R(t) / R$$

$$u_R(t) = R i_R(t)$$



ENTITY resistor IS

GENERIC (résistance : real := 1.0);

PORT (TERMINAL n1, n2 : electrical);

END resistor

ARCHITECTURE behav OF resistor IS

QUANTITY r_e across r_i through n1 to n2;

BEGIN

r_i == r_e/résistance;

END behav;

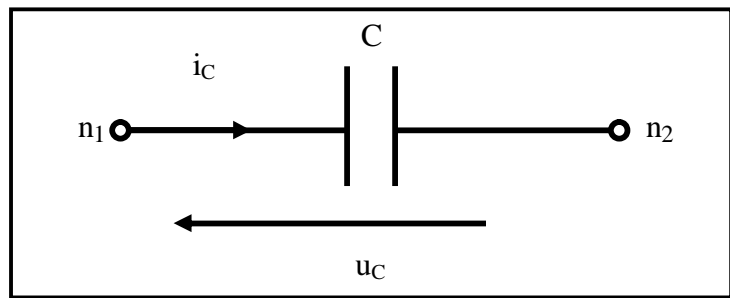
-- On déclare l'entité d'une simple résistance, on est obligé de déclarer une valeur par défaut.

-- Calcul classique du courant à travers une résistance.

b) Capacité discrète :

$$i_C(t) = C \cdot (d/dt)u_C(t)$$

$$u_C(t) = (1/C) \int i_C(t)dt + U_{C0}$$



ENTITY capacitor IS

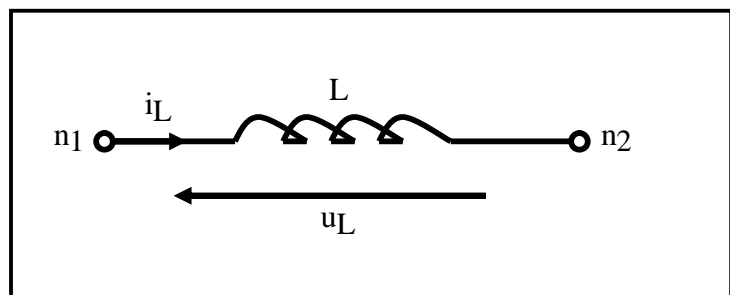
```

GENERIC (capacité : real := 10.0e-9);           -- On déclare l'entité d'une
PORT (TERMINAL n1, n2 : electrical);          simple capacité, on est
END capacitor;                                  obligé de déclarer une
ARCHITECTURE behav OF capacitor IS          valeur par défaut.
    QUANTITY c_e across c_i through n1 to n2;
BEGIN
    c_i == capacité*c_e'Dot;                       -- Calcul classique du courant
END behav;                                       à travers une capacité.
    
```

c) Inductance :

$$i_L = (1/L) \int u_L(t)dt$$

$$u_L(t) = L \cdot (di/dt)$$



ENTITY inductor IS

```

GENERIC (L : real := 1.0);                       -- valeur par défaut obligatoire.
PORT (TERMINAL n1, n2 : electrical);
END inductor;
    
```

ARCHITECTURE behav **OF** inductor **IS**

QUANTITY L_e across L_i through n1 to n2;

BEGIN

 L_i == (L_e'Integ)/L;

 -- utilisation de la **QUANTITY**

END behav;

 implicite Q'Integ.

V.5 Test bench du circuit

Le processus d'*analyse* permet d'extraire ou de vérifier les propriétés d'un système. La *simulation* est un type d'analyse dynamique pour lequel le modèle est soumis à un ensemble de stimuli. Ceci génère un certain nombre de réponses qui permettent d'extraire des propriétés du modèle est donc du système simulé.

Un *modèle exécutable* définit une procédure de calcul qui a pour effet de (simuler) un ensemble de propriétés d'un système. C'est un *simulateur*, usuellement réalisé sous la forme d'un programme logiciel, qui calcule des réponses à des stimuli appliqués de l'extérieur du modèle.

Un *modèle de test* (*test bench*) encapsule le générateur de stimuli, le modèle à tester et le traitement des réponses [7].

V.6 Instructions simultanées

Les instructions simultanées sont utilisées pour indiquer des équations différentielles et algébriques. Elles sont permises dans tout le corps des instructions d'un bloc.

a) l'instruction simultanée simple

Nous avons déjà rencontré de telles instructions dans les exemples du paragraphe précédent «Exemple de syntaxe». Ces instructions sont représentées par le symbole : '='.

Syntaxe :

 expression == expression;

b) l'instruction simultanée IF

Exemple de syntaxe :

IF condition **USE**

 partie_simultanée

ELSIF condition **USE**

 partie_simultanée

ELSE

 partie_simultanée

END USE

 -- Plusieurs structures **ELSIF**

 peuvent s'enchaîner sans

 aucune restriction.

Les expressions explicites de l'instruction **IF** sont celles de la partie_simultanée qui doit être effectuée selon les résultats des conditions [6].

VI Résultat de simulation d'un circuit RLC

Il existe plusieurs types de circuits RL, RC, RLC. A titre d'exemple nous présentons le résultat de simulation d'un circuit RLC série (figure I.4), les résultats de modélisation sous VHDL-AMS sont présentés sur la figure I.5.(a), et sous PSPICE sont présentés sur la figure I.5.(b). Les valeurs numériques sont les mêmes pour les deux applications:

$$R = 1\text{K}\Omega$$

$$L = 10\text{ nH}$$

$$C = 1\text{ nF}$$

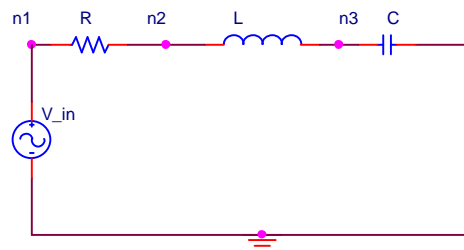


Figure I.4: Circuit RLC série.

Le circuit RLC considéré est définie sous SPICE par la netliste de l'encadré I.2, et sous VHDL-AMS avec le code représenté sur l'encadré I.3.

```
* source RLC
R_R      N00824 N005950 1k
L_L      N005950 N006171 10nH
V_V1     N00824 0
+SIN 1 10v 500 hz 0 0 0
C_C      N006171 0 1n
```

Encadré I.2: La netliste de SPICE qui représente le circuit de la figure I.4.

```
--définition de source de tension
ENTITY source is
...
END;
ARCHITECTURE behavioral OF voltg is
...
END;
-- définition de la résistance
ENTITY resistor is
END resistor
ARCHITECTURE behav of resistor is
...
END behav;
-- définition de la capacité
ENTITY capacitor is
...
END capacitor;
ARCHITECTURE behav of capacitor is
...
END behav;
-- definition de l'inductance
ENTITY inductor is
...
END inductor;
ARCHITECTURE behav of inductor is
...
END behav;
--TEST BENCH
entity circuit is
end;
architecture behavioral of circuit is
terminal n1,n2,n3: ELECTRICAL;
begin
vsrc: entity voltg (behavioral) port map (n1,
electrical_ground);
r1: entity resistor (behavioral) port map (n1, n2);
l1: entity inductor (behavioral) port map (n2, n3);
c1: entity capacitor (behavioral) port map (n3,
electrical_ground);
end;
```

Encadré I.3: Code VHDL-AMS du circuit RLC SERIE de la figure I.4.

Pour la description en langage VHDL-AMS de ce circuit, nous utilisons les principes de la conception hiérarchique à partir des composants élémentaires résistance, capacité et inductance. Par ailleurs, la définition des paramètres R, C et L comme *générique* (instruction *generic*), c'est à dire fixés seulement lors de la simulation dans un composant de hiérarchie supérieure, permet d'obtenir une description générique et réutilisable.

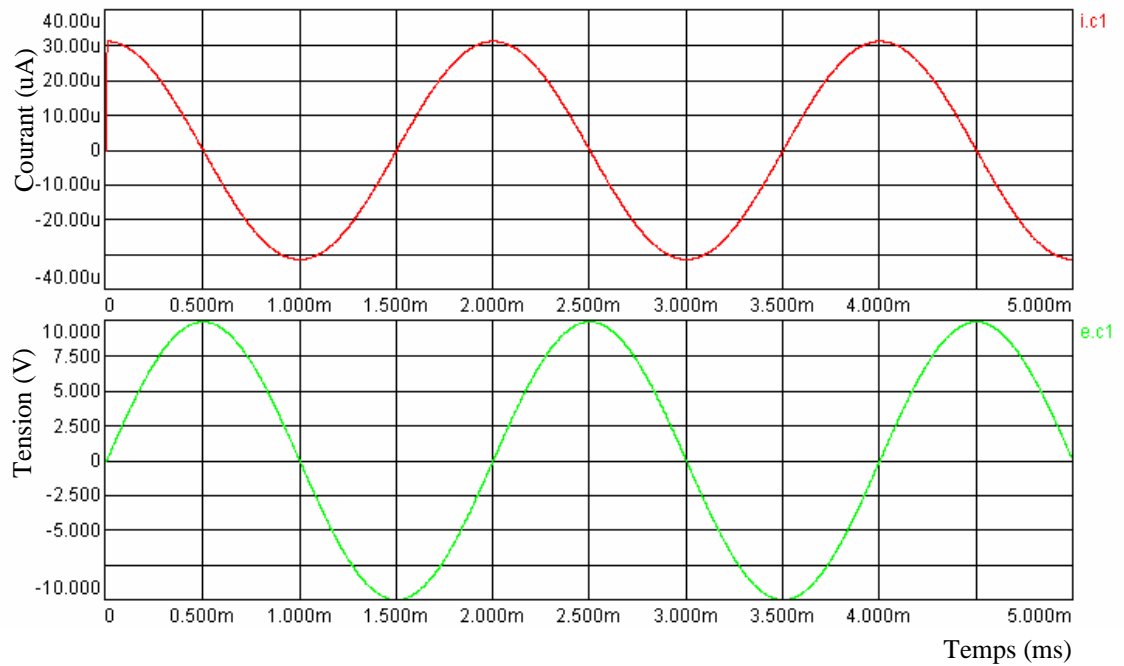


Figure I.5.(a): Résultat de simulation par VHDL-AMS d'un circuit RLC série.

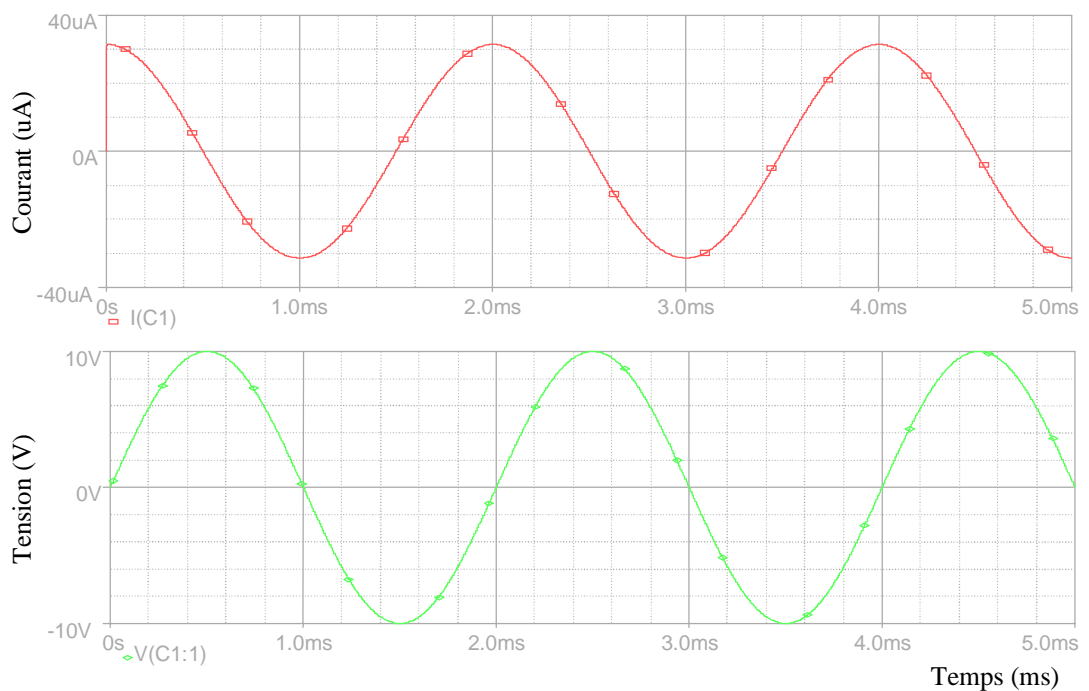


Figure I.5.(b) : Résultat de simulation par PSPICE d'un circuit RLC série.

A partir de ces figures nous pouvons constater que le VHDL-AMS est capable de nous fournir des résultats comparable à ceux donnés par SPICE.

VII Les différents niveaux d'abstraction

Grâce à la modélisation VHDL-AMS, il est possible d'utiliser trois types de modélisation VHDL-AMS : modélisation fonctionnelle, comportementale, et physique.

Nous appliquons ces types de modélisation pour le circuit redresseur suivant :

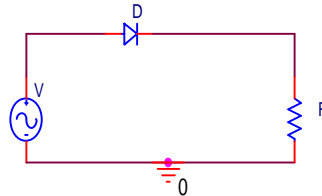


Figure I.6: Circuit de redressement.

VII.1 Les modèles fonctionnels

Ceux-ci ne sont pas spécifiques à une technologie particulière. Ils remplissent en quelque sorte une fonction mathématique, valable pour toute technologie; c'est le schéma bloc de l'automaticien.

Ces modèles peuvent être considérés comme des utilitaires, mais nous verrons également qu'ils peuvent servir de base à la spécification fonctionnelle [6].

L'encadré I.4, représente à titre d'exemple, le code VHDL-AMS pour une diode travaillant en redressement mono-alternance (figure I.7).

```

ENTITY Diode IS
END;
ARCHITECTURE functionally OF Diode IS
    constant iss : real := 192.1e-12; --paramètres de la doide
    constant rs1 : real := 0.1;
    constant n : real := 1.0;
    constant vt : real := 0.0258;
    terminal n1,n2: ELECTRICAL;
    quantity v_in across i_out through n1 TO electrical_ground;
    quantity u_D across i_D through n1 TO n2; --diode
    quantity u_r1000 across i_r1000 through n2 TO electrical_ground;
BEGIN
    v_in==1000.0 * sin (314.0 * now * 10.0); -- The sinusoidal voltage source
                                         --equation.
    i_r1000 == u_r1000/0.001; -- resistor
    i_D == iss*(exp((u_D - rs1*i_D)/(n * vt)) - 1.0); -- diode
END;
```

Encadré I.4: Code VHDL-AMS du modèle fonctionnel de la diode de la figure I.6.

VII.2 Les modèles comportementaux

Ces modèles décrivent le comportement du composant par un bloc comportemental. Le rôle du composant dans un circuit donné comme le redressement dans notre exemple.

C'est en effet dans un modèle comportemental qui sera décrit des phénomènes de nature diverse mais ayant de fortes interactions:

- Interactions numériques- analogiques dans le domaine électrique.
- Interactions multi-technologiques dont l'étude est basée sur l'analogie avec l'électricité[6].

```

ENTITY Diode IS
END;
ARCHITECTURE behavioral OF Diode IS
  terminal n1,n2: electrical;
  quantity v_in  across i_out through n1 TO electrical_ground;
  quantity u_D   across i_D   through n1 TO n2;
  quantity u_r1000 across i_r1000 through n2 TO electrical_ground;
BEGIN
  v_in==1000.0 * sin (314.0 * now * 10.0); -- The sinusoidal voltage source equation.
  i_r1000 == u_r1000/0.001;                -- resistor
  if v_in > 0.00 use                        -- diode
    u_D == 0.0;
  else
    i_D == 0.0;
  end use;
END;
```

Encadré I.5: Code VHDL-AMS du modèle comportemental de la diode de la figure I.6.

VII.3 Les modèles physiques

Ils se rapprochent des modèles de dispositifs de type SPICE, Ces modèles issus de la description de la physique du système sont analogues aux modèles phénoménologiques. Mais malheureusement ces modèles nécessitent la connaissance de tous les paramètres internes et externes du composant.

Ceci reste une limite sérieuse pour ce type de modèles [6].

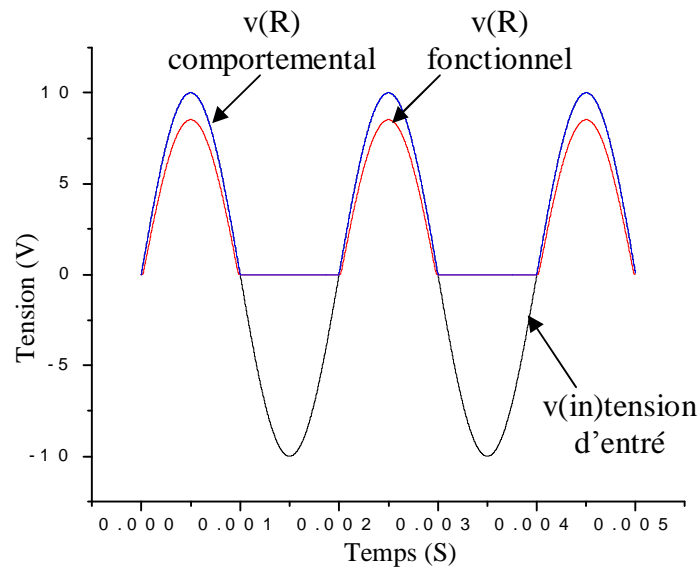


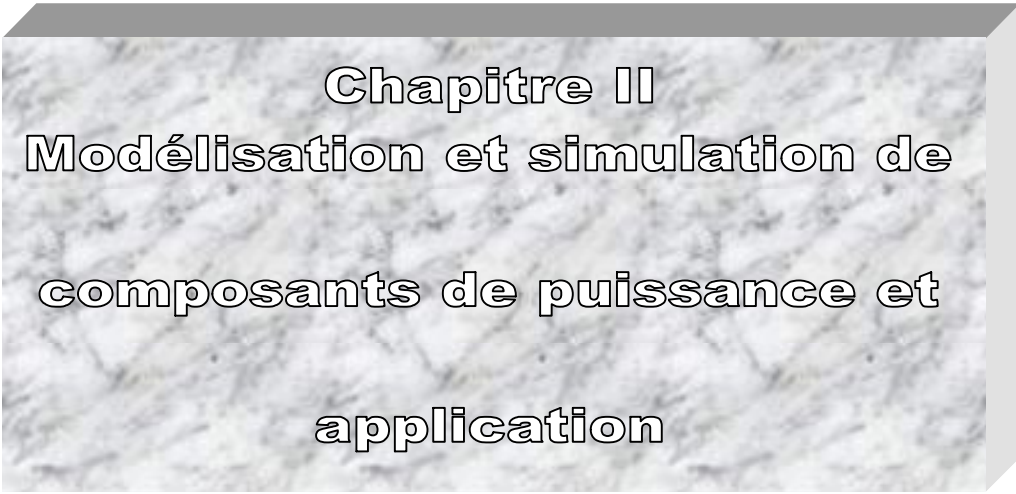
Figure I.7: Simulation comportementale et fonctionnelle de la diode en redressement.

Nous remarquons que l'amplitude du signal redressé dans le cas de la modélisation comportementale est plus supérieure que celui de la modélisation fonctionnelle. Cette différence est due à la chute de tension qui existe aux bornes de la résistance interne de la diode. En effet, dans la modélisation comportementale nous avons considéré la diode comme un interrupteur parfait donc de résistance interne nulle.

VIII Conclusion

Dans ce chapitre nous avons présenté deux types de modélisation : SPICE et VHDL-AMS. Nous nous apercevons que SPICE ne peut pas répondre aux besoins de la multi-technologie et la multi-abstraction d'une manière simple.

Nous portons notre choix pour le reste de notre travail sur le langage VHDL-AMS. Nous avons alors présenté des exemples de simulation de composants discrets sous ce même langage. La différence entre les niveaux d'abstraction (fonctionnel et comportemental) existant est illustrée sur l'exemple de la diode en redressement.



Chapitre II
Modélisation et simulation de
composants de puissance et
application

I Introduction

Il y a quelques années, le concepteur circuit était confronté à des circuits simples constitués d'un nombre restreint de portes logiques et de composants actifs. Actuellement, la densité d'intégration est telle qu'il a fallu développer un ensemble de couches d'abstractions afin de simplifier le *processus de synthèse* [10].

Ainsi dans ce chapitre nous décrivons quelques modèles de composants de puissances tels que la diode, le transistor MOS et l'IGBT. Le but est de créer une bibliothèque de composants de puissance réutilisable, dans notre application envisagée : l'intégration de puissance (chapitre 3).

Une application du modèle du TMOS en amplificateur Radio fréquence est également présentée ainsi qu'une application du transistor IGBT en onduleur monophasé.

II le transistor MOS de puissance

Le modèle SPICE du TMOS que nous considérons ici, sera modélisé sous différents langages (SPICE, VHDL-AMS, MATLAB) afin de justifier le choix du VHDL-AMS comme un outil pour notre objectif d'intégration de puissance.

II.1 Schéma équivalent et modèle électrique

La plupart des modèles de dispositifs MOS présentent le modèle basé sur le schéma électrique équivalent suivant :

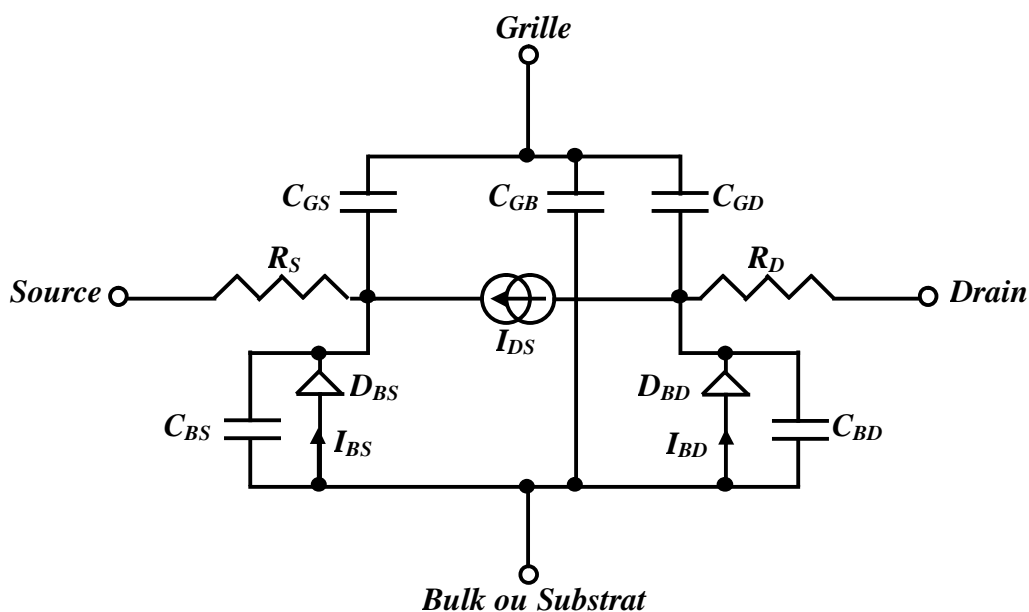


Figure II.1: Schéma électrique d'un transistor MOS.

Le schéma de la figure II.1 est valable pour les dispositifs à canal N, pour le transistor MOS à canal P, on inverse la polarisation.

Ce modèle comprend :

- Une source de courant statique drain-source I_{DS} , qui modélise le courant circulant dans le canal de conduction,
- 3 capacités relatives à la grille C_{GD} , C_{GS} , C_{GB} , qui modélisent les interactions entre charge de grille/charge de canal côté drain, charge de grille/charge de canal côté source et charge de grille/charge de substrat,
- 2 capacités relatives aux jonctions de substrat C_{BS} et C_{BD} ,
- 2 résistances d'accès côté source R_S et drain R_D ,
- Pour les caractéristiques DC (en régime statique) nous considérons en plus 2 jonctions de substrat formant 2 diodes polarisées en inverse qui fournissent les courants I_{BS} et I_{BD} . Si la source et le substrat sont polarisés au même potentiel, il est évident que ces éléments n'interviennent pas.

II.1.1 Le modèle SPICE niveau 1 du transistor MOS

Dans tout ce qui suit, les modèles sont basés sur le schéma de la figure II.1.

Le modèle SPICE du transistor MOS niveau 1 a été proposé par C.T Sah. et les équations du modèle ont été ensuite modifiées pour être implantées dans le simulateur SPICE par H.Shichman et D.Hodges [11],[12].

La caractéristique I_{DS} est modélisée dans les trois régions du domaine de fonctionnement du transistor :

-La première région de faible inversion : $V_{GS} < V_{TH}$

On suppose qu'il n'existe pas de canal de conduction, d'où :

$$I_{DS} = 0.$$

Lorsque $V_{GS} > V_{TH}$, on distingue alors deux autres régions où l'expression de la caractéristique I_{DS} est une expression linéaire (ou quadratique) de V_{GS} ; nous les appellerons donc régions linéaires (ou de saturation).

-La région linéaire : $V_{GS} \geq V_{TH}$ et $V_{DS} \leq V_{Dsat}$ avec $V_{Dsat} = V_{GS} - V_{TH}$

$$I_{DS} = \left(\frac{W}{L} \right) \cdot \left(\frac{KP}{2} \right) \cdot (1 + LAMBDA \cdot V_{DS}) \cdot V_{DS} \cdot (2 \cdot (V_{GS} - V_{TH}) - V_{DS})$$

-La région de saturation : $V_{GS} \geq V_{TH}$ et $V_{DS} \geq V_{Dsat}$

$$I_{DS} = \left(\frac{W}{L} \right) \cdot \left(\frac{KP}{2} \right) \cdot (1 + LAMBDA \cdot V_{DS}) \cdot (V_{GS} - V_{TH})^2$$

Le modèle présenté précédemment est le plus simple ; 7 paramètres électriques suffisent pour caractériser le comportement électrique (Tableau II.1).

Symbole du paramètre	Définition du paramètre	Unité
Paramètres du Processus de fabrication		
L	Longueur de canal	M
W	Largeur de canal	M
TOX	Épaisseur de l'oxyde sous la grille	M
LD	Réduction de longueur de canal par rapport à la valeur dessinée	M
NSUB	Dopage du substrat	AT/cm ³
Paramètres électriques		
UO	Mobilité des porteurs	cm ² /(V.s)
VTO	Tension de seuil à polarisation de substrat nulle	Volts
LAMBDA	Modulation de la longueur de canal	Volts ⁻¹
KP	La transconductance	A/Volts ²
CGSO	Capacité grille source à polarisation nulle	F/m
CGDO	Capacité grille drain à polarisation nulle	F/m
CGBO	Capacité grille substrat à polarisation nulle	F/m

Tableau II.1: Les paramètres MOS du SPICE niveau 1 [12].

Il existe d'autres modèles SPICE comme le modèle niveau 2,3. Le modèle niveau 2 se distingue du modèle précédent par des expressions différentes du courant I_{DS} et des capacités C_{GS} , C_{GD} et C_{GB} . Ceux-ci prennent en compte des phénomènes plus fins (effet du canal étroit, canal court, limitation de vitesse des porteurs.). Le modèle niveau 3 a par contre, des expressions des paramètres technologiques plus complexe par rapport au modèle niveau 1 et niveau 2.

Pour notre part, le modèle du MOS niveau 1 est suffisant dans notre application d'intégration de puissance.

II.2 Simulation du transistor MOS sous SPICE-ORCAD

Cette simulation consiste à décrire le comportement du composant par l'utilisation de primitives du simulateur. Pour cela nous avons choisi comme exemple le transistor de puissance l'**IRF150** dont les paramètres sont regroupés dans l'annexe A.

Le transistor a été polarisé par deux sources de tension DC (continue) V_{gs} et V_{ds} .

L'encadré II.1 présente la netliste simulant le comportement de l'**IRF150**.

```
.lib "nom.lib"
*Analysis directives:
.DC LIN V_Vds 0 10 0.001
+ LIN V_Vgs 6 9 1
.PROBE V(*) I(*) W(*) D(*) NOISE(*)
.INC ".\m-SCHEMATIC1.net"
* source M
V_Vds      N12459 0
M_M4      N12459 N12499 0 0 IRF150
V_Vgs     N12499 0
.END
```

Encadré II.1: Netliste SPICE du modèle MOS.

La figure II.2(a) représente la caractéristique du courant drain-source (i_{ds}) en fonction de la tension drain-source (v_{ds}) pour des tensions grille-source (v_{gs}) constantes.

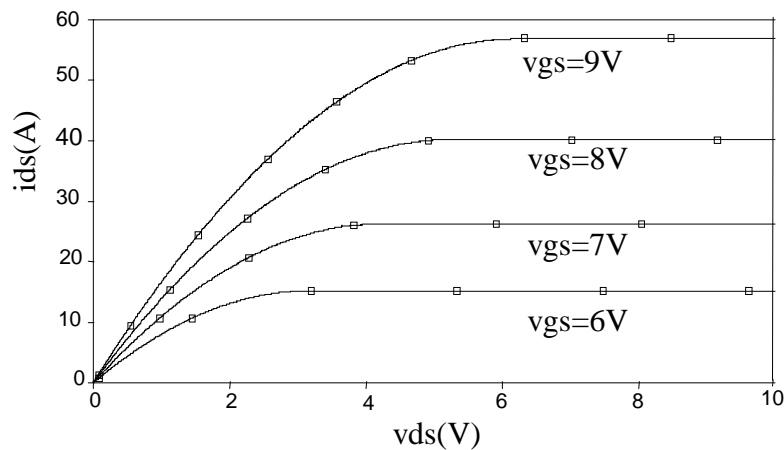


Figure II.2(a): Caractéristique $i_{ds} = f(v_{ds}, v_{gs}=cst)$.

La figure II.2(b) représente quand à elle la caractéristique du courant drain-source (i_{ds}) en fonction de la tension grille-source avec v_{ds} constante.

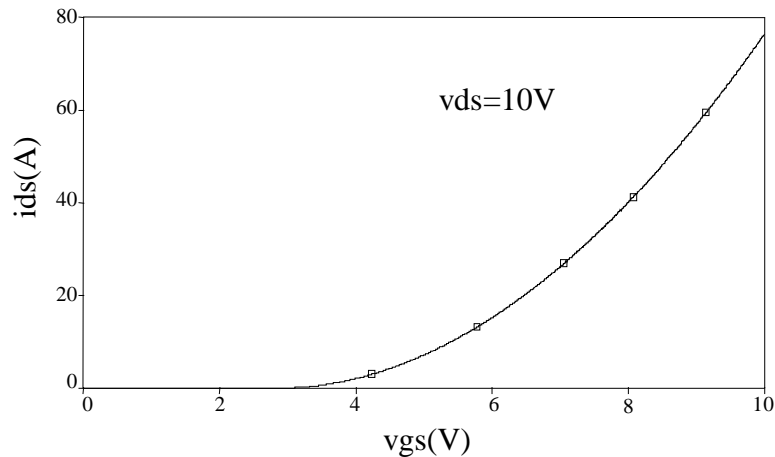


Figure II.2(b): Caractéristique $ids = f(vgs, vds=cst)$.

II.3 Modélisation du transistor MOS par le VHDL-AMS et caractéristiques statiques

a) Code VHDL-AMS du modèle SPICE niveau 1

La modélisation VHDL-AMS du transistor MOS de puissance est multi-abstraction entre le comportemental et le fonctionnel. Dans cette simulation, le modèle comportemental-fonctionnel du MOS est décrit en langage VHDL-AMS (encadré II.2)

```
entity MOS is
end ;
architecture behavioral of MOS is
  constant  cgd : real := 0.5037e-9;
  constant  cgs : real := 2.7081e-9;
  constant  rd  : real := 1.031e-3;
  constant  rs  : real := 1.624e-3;
  constant  W  : real := 0.3;
  constant  L  : real := 2.0e-6;
  constant  kp : real := 20.53e-6;
  constant  lamda : real := 0.0;
  terminal  g,d,n1,n2,n3,n4 : electrical;
  quantity vds across ids
  through electrical_ground to n3;
  quantity vgs across igs through g
  to electrical_ground;
  quantity id through n1 to n2;
  quantity urd across ird through n1 to d;
  quantity urs across irs
  through electrical_ground to n2;
  quantity urds across irds through n1 to n2;
  quantity ur_ds across ir_ds through n3 to d;
  quantity urg across irg through g to n4;
  quantity ucgd across icgd through n1 to n4;
  quantity ucgs across icgs through n2 to n4;
```

```
begin
  urd == rd*ird;
  urs == rs*irs;
  ucgd == icgd'integ/cgd;
  ucgs == icgs'integ/cgs;
  if (vgs-vt)<0.0 use
    id == 0.0;
  elsif (vds >= 0.0)and( vds <= (vgs-vt))use
    id==(W/L)*(Kp/2.0)*(1.0+(lamda*vds))*vds
      *(2.0*(vgs-vt)-vds);
  elsif (vds >(vgs-vt))use
    id == (W/L)*(Kp/2.0)*(1.0+(lamda*vds))*
      ((vgs-vt)*(vgs-vt));
  end use;
end architecture behavioral;
```

Encadré II.2: Code VHDL-AMS de la modélisation du transistor MOS de puissance.

b) Caractéristiques électriques

Le transistor MOS de puissance que nous considérons dans cette étude est le même que précédemment.

Les résultats de simulation du code de l'encadré II.2 sont présentés sur la figure II.3(a) et II.3(b).

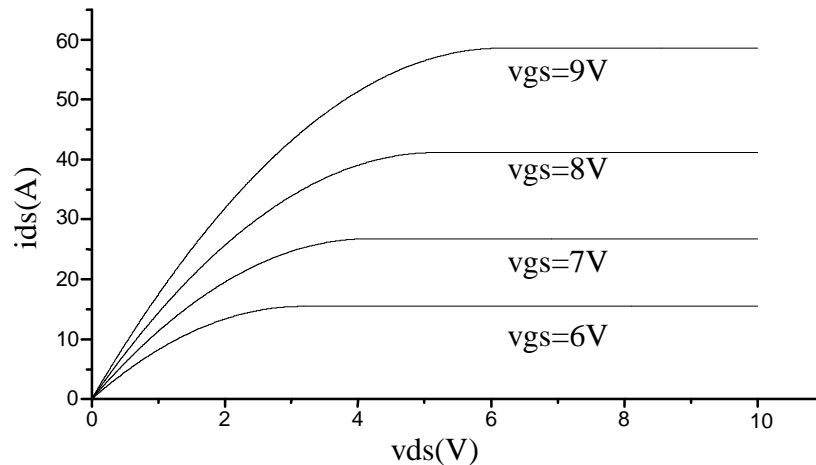


Figure II.3(a): Caractéristique $i_{ds} = f(v_{ds})$ sous VHDL-AMS.

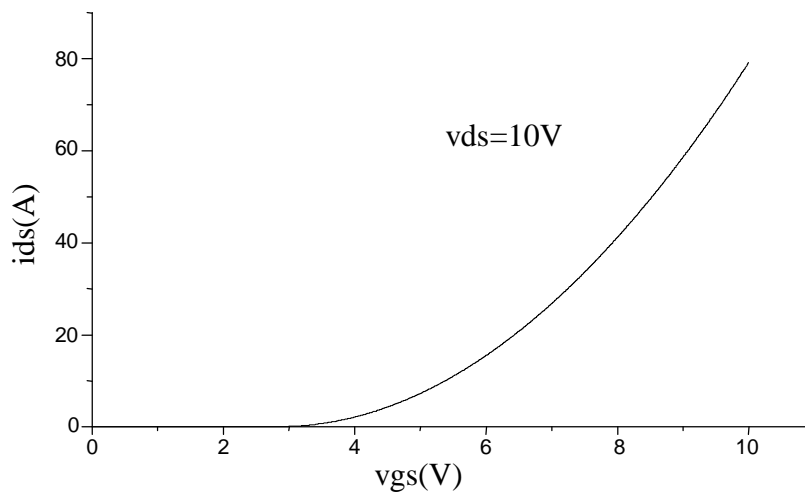


Figure II.3(b): Caractéristique $i_{ds} = f(v_{gs}, v_{ds}=cst)$ sous VHDL-AMS.

II.4 Modélisation du transistor MOS par MATLAB

Dans cette partie nous présentons la simulation du transistor **IRF150** avec le même stimulus.

La figure II.4(a) représente la caractéristique du courant drain-source (i_{ds}) en fonction de la tension drain-source (v_{ds}) à des tensions grille-source (v_{gs}) constantes.

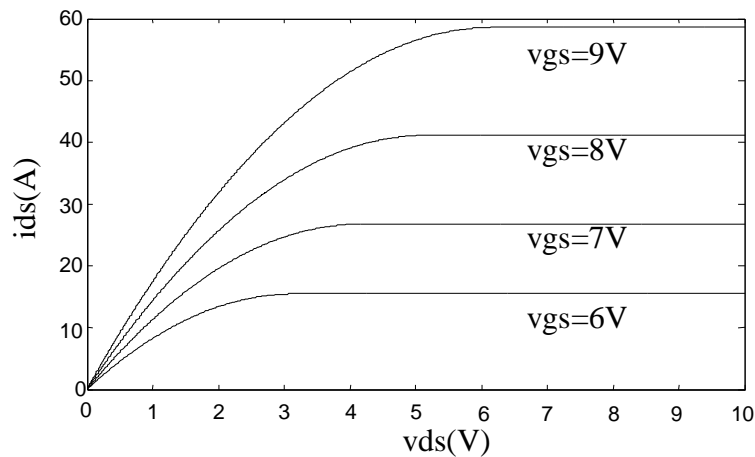


Figure II.4(a): Caractéristique $ids = f(vds, vgs=cst)$.

La figure II.4(b) représente quand à elle, la caractéristique du courant drain-source (ids) en fonction de la tension grille-source avec vds constante.

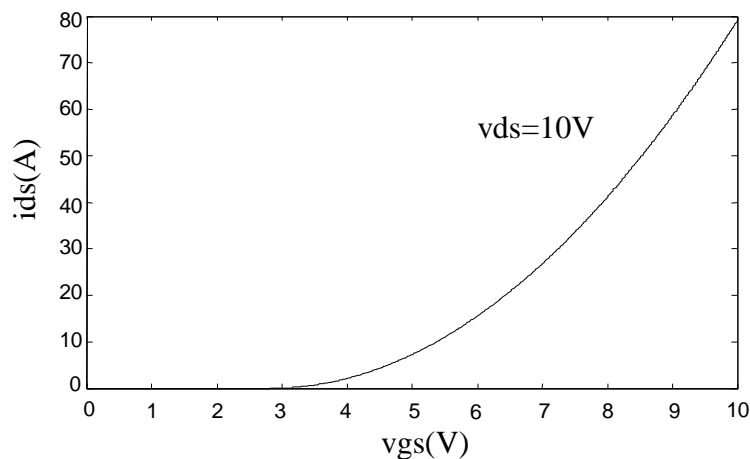


Figure II.4(b): Caractéristique $ids = f(vgs, vds=cst)$.

Bien que les outils utilisés soient différents, la méthode de modélisation et les résultats obtenus sont tout à fait comparables.

En rajoutant à ceci l'avantage considérable que présente le VHDL-AMS par rapport à SPICE ou MATLAB et qui réside dans la transportabilité du modèle élaboré d'un simulateur à un autre. Il suffit de le considérer comme "Package".

Cette principale conclusion nous permet de considérer dorénavant le langage VHDL-AMS comme outil pour notre objectif d'intégration de puissance.

III Application du transistor MOS de puissance en amplification radio fréquence

Le choix du type de transistor pour l'amplification de puissance haute fréquence s'oriente de plus en plus vers celui des transistors MOS; en effet ils présentent moins de variations de valeurs d'impédance d'entrée et de sortie que les transistors bipolaires. Ils sont également supérieurs, au niveau de la stabilité thermique. Ceci explique en grande partie leur utilisation de plus en plus fréquente dans les domaines d'amplification de puissance [13].

La finalité des amplificateurs est la commande d'un actionneur (haut-parleur, moteur, inductance...) sans déformation du signal appliqué en entrée. Dans l'étude d'un amplificateur de puissance, il faudra souvent faire des compromis entre la recherche de la qualité de la reproduction et des considérations économiques (coût, rendement).

Une première application du modèle que nous considérons ici est l'étude d'un amplificateur radio-fréquence.

III.1 Amplificateur radio-fréquence

L'amplificateur considéré est à base du transistor MOS de puissance SXP1301. (Tableau II.2).

$KP(A/V^2)$	$VT0(V)$	$CGD(pf)$	$CGS(pf)$	$CDS(pf)$
1.02	5.46	22	17	115

Tableau II.2: Principales caractéristiques du SXP1301

Les performances électriques de l'amplificateur sont mises en évidence grâce à une analyse temporelle sous VHDL-AMS.

La polarisation continue du TMOS permet de choisir le point de fonctionnement du transistor ($v_{gs} = 10V$, $v_{ds} = 30V$).

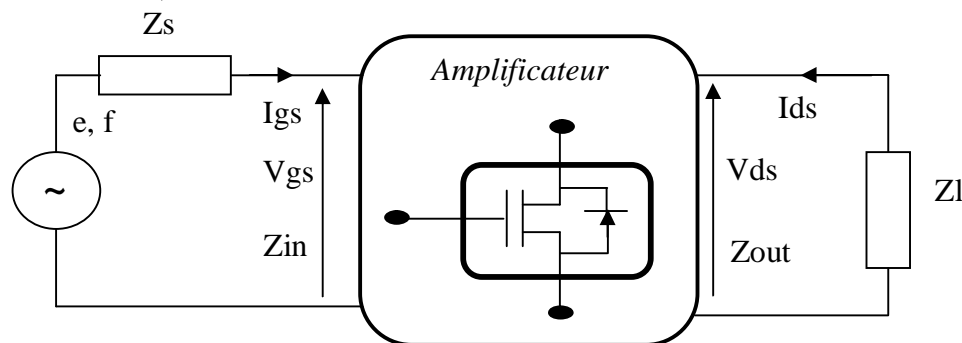


Figure II.5: Schéma bloc d'un amplificateur radio fréquence.

La figure II.5 présente la configuration de l'amplificateur radio-fréquence. Z_s et Z_L sont les impédances de source et de charge. Elles sont déterminées pour une amplification avec un transfert maximal de puissance entre :

- i) D'une part, le générateur "source" et l'entrée du composant, c'est à dire sa grille,
- ii) D'autre part, le drain du composant et la charge en sortie. Un effet fondamental rentre en jeu ici ; c'est *l'adaptation d'impédance*.

Nous avons optimisé les valeurs qui permettent de réaliser cette adaptation (Tableau II.3)[13].

<i>Impédance de source Z_s</i>		<i>Impédance de charge Z_L</i>	
$R_s(\Omega)$	$L_s(nH)$	$R_L(\Omega)$	$L_L(nH)$
0.07	0.201	20	0.335

Tableau II.3: *Impédances de source et de drain réalisant l'adaptation d'impédance.*

Le support de base de cette étude est donc le modèle du transistor MOS établi précédemment.

L'analyse proposée est effectuée dans le domaine temporel, modélisé à l'aide du langage de description comportemental VHDL-AMS.

III.2 Résultats de simulation

Les simulations sont effectuées sous l'environnement hAMSter de SIMEC.

L'étage de l'amplification est alimenté par un signal radio fréquence sinusoïdal d'une fréquence de 950 Mhz et une amplitude de 1V [14].

L'amplification de puissance de l'étage est mise en évidence par l'obtention d'un gain en tension de 10, à une fréquence de 950Mhz. (Figure II.6(b))

La tension de sortie $V_s \approx 10V$ pour une tension d'entrée $V_e \approx 1V$

Les simulations sont effectuées pour une période d'échantillonnage (min step size =10ps et max step size = 10ps) avec des itérations de 20 avec une erreur de 0.1us, les figures (II.6.a,b) présente le résultat de simulation sur 20ns.

Utilisant la méthode d'Euler comme méthode d'intégrateur et la méthode de Newton Raphson pour la linéarisation.

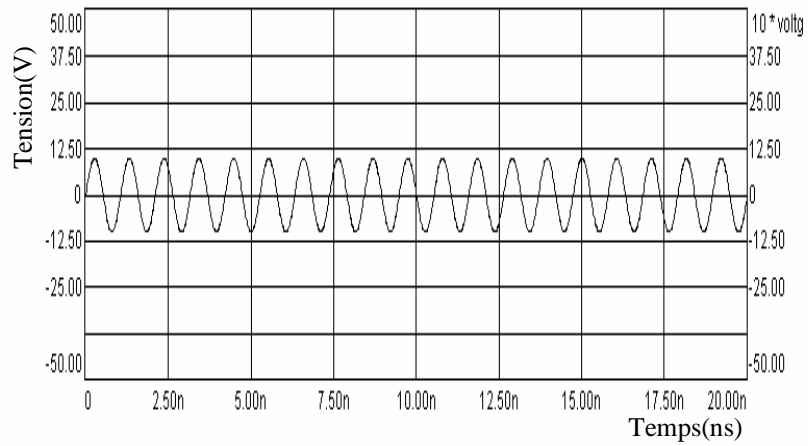


Figure II.6(a): La tension a l'entrée de l'amplificateur radio fréquence (multiplier par 10) .

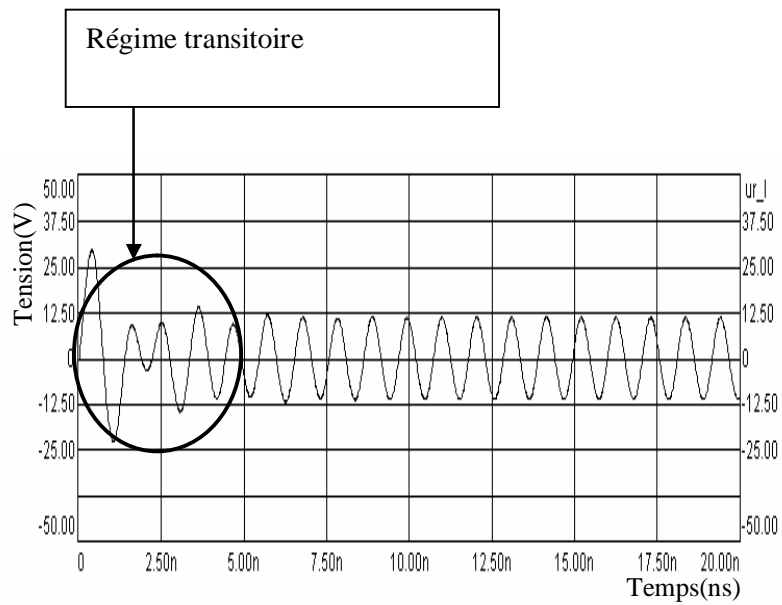


Figure II.6(b): La tension a la sortie de l'amplificateur radio fréquence.

IV Le transistor IGBT(*Insulated Gate Bipolar Transistor*)

IV.1 Historique

Un interrupteur idéal doit avoir les caractéristiques suivantes: impédance nulle à l'état fermé et infinie à l'état ouvert. De plus, la puissance consommée et le temps de commutation sont considérés nuls. On peut donc affirmer qu'un interrupteur idéal n'existe pas aujourd'hui et n'existera pas davantage demain.

Les deux plus célèbres composants électroniques réalisant la fonction interrupteur sont: le transistor bipolaire et le transistor MOS. Le premier présente comme avantages une faible chute de tension à l'état passant (appelé : tension de "déchet"), et le pouvoir de commuter de forts courants, mais nécessite une puissance de commande non négligeable et sa fréquence de travail est relativement basse. Le TMOS quant à lui, connu pour des fréquences de travail plus élevées et une puissance de commande presque nulle, est limité par sa chute de tension qui est importante pour des dispositifs mettant en jeu des hautes tensions (quelques centaines de Volts). Depuis la fin des années 70, s'est développée l'idée d'intégrer sur une même puce un transistor MOS et un transistor bipolaire afin de profiter des avantages de chacun des deux dispositifs en évitant au mieux leurs inconvénients. Cet assemblage a donné naissance à une variété de dispositifs:

- IGT (Insulated Gate Transistor) [15].
- GEMFET (Gain Enhanced MOSFET).
- COMFET (Conductivity Modulated FET) [16].

Tous ont permis d'aboutir vers ce qu'on appelle aujourd'hui l'IGBT (Insulated Gate Bipolar Transistor).

L'IGBT de part ses caractéristiques est un composant avantageux pour les applications utilisant la commutation. Sa suprématie dans le domaine de la moyenne puissance n'est plus contestée et il est de plus en plus utilisé dans les applications à forte puissance faisant concurrence au GTO (Gate Turn Off). Enfin, en faible puissance les IGBTs vont également se développer pour concurrencer les MOSFETs dans certains domaines. La figure II.7 représente l'enveloppe des applications de l'IGBT, en fréquence et en puissance, et ses éventuelles évolutions, et compare ses performances à ceux des autres dispositifs [17].

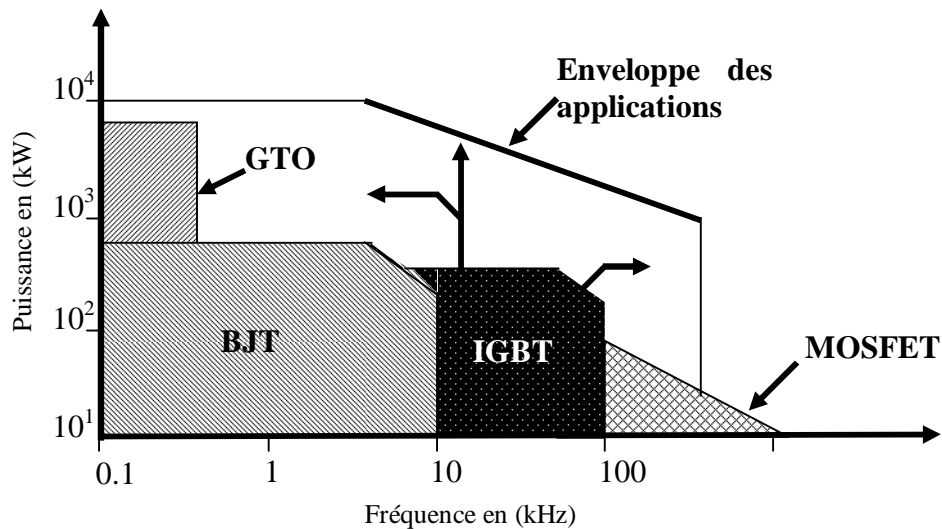


Figure II.7: Domaine d'application de l'IGBT et des autres dispositifs de commutation concurrents.

IV.2 Le schéma équivalent

La figure II.8 représente le circuit équivalent du transistor IGBT [18]. La grille de la structure MOS permet de créer un canal en surface entre la couche n^{++} et la couche N^- . La jonction Pn étant normalement polarisée en inverse, un effet JFET apparaît alors du fait de l'existence des zones de charge d'espace. Par la suite, nous négligerons cet effet qui est minime [19] et nous ne le représenterons plus dans le schéma équivalent. La présence de la couche P^+ (anode) implique l'existence d'un transistor PNP ayant pour base la couche N épaisse et peu dopée et pour jonction collecteur-base la jonction N^+P^+ normalement polarisée en inverse. Les trois couches $n^{++}PN^-$ constituent une structure de transistor bipolaire NPN provoquant avec le PNP^+ un effet thyristor parasite. Afin d'éliminer les effets de cet élément parasite, un contact en surface est réalisé technologiquement entre les couches n^{++} et P par la cathode, court-circuitant ainsi la jonction émetteur-base du transistor NPN.

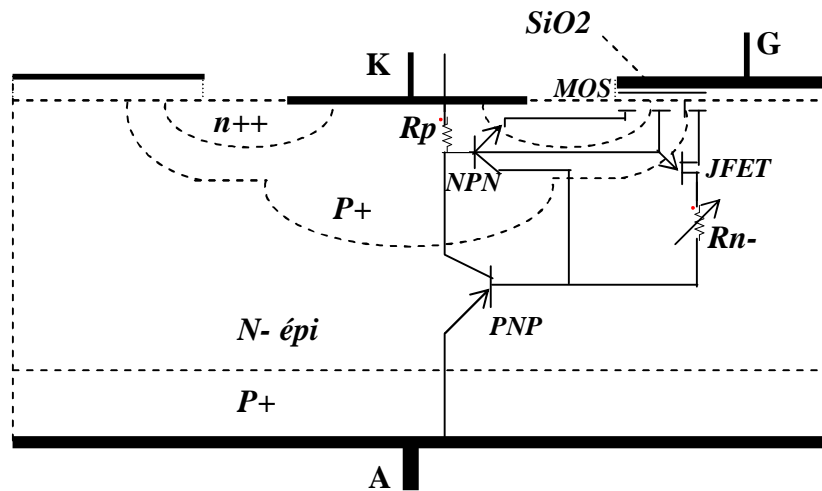


Figure II.8: Structure de l'IGBT avec son schéma équivalent déduit d'une demi-cellule.

La résistance R_p correspond au puits P situé en dessous de la couche n^{++} . Sa valeur doit être rendue la plus faible possible afin d'éviter le déclenchement du thyristor parasite. La résistance R_{N^-} , symbolisant la couche épitaxie N^- , est modulée par l'injection de porteurs minoritaires (trous) depuis la couche P^+ (Anode). Sa valeur est alors rendue très faible comparée à celle d'un MOS de puissance d'un calibre équivalent. R_{N^-} ne constitue plus qu'une résistance d'accès à la base du transistor PNP.

En tenant compte des simplifications technologiques précisées ci-dessus, le schéma équivalent d'un IGBT se réduit alors à celui de la figure II.9 [20]. L'effet thyristor apparaît quand la tension aux bornes de R_p atteint la tension V_{bi} (seuil de la jonction base émetteur du NPN). Dans ce cas, cette jonction est polarisée en direct et le transistor NPN est conducteur, ce qui entraîne le déclenchement de l'effet thyristor. Dans les IGBTs modernes, cette résistance est rendue suffisamment faible pour que le thyristor ne soit plus déclenché dans le domaine de fonctionnement garanti par le constructeur. Le transistor NPN n'a alors plus d'influence sur le fonctionnement de l'IGBT dans ce domaine et le schéma équivalent se réduit alors à un transistor bipolaire PNP commandé par un MOSFET dans une configuration "pseudo-darlington". La figure II.10 symbolise alors le fonctionnement normal de l'IGBT.

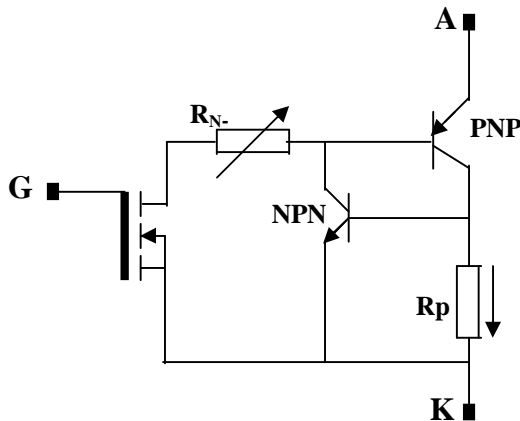


Figure II.9: Circuit équivalent d'un IGBT incluant le transistor bipolaire NPN parasite.

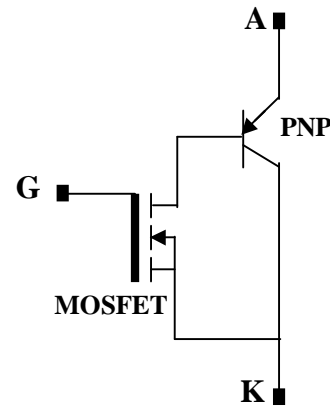


Figure II.10 : Circuit équivalent simplifié.

IV.3 Principe de fonctionnement

En fonctionnement normal, la cathode d'un IGBT à canal n (Figure II.8) est reliée à la masse et une tension positive est appliquée sur la grille pour créer une couche d'inversion dans le puits P sous l'électrode de la grille formant ainsi un canal type n. Pour une tension d'anode suffisamment grande, des électrons sont injectés depuis la source n^{++} vers la région N^- à travers le canal créé, et des trous sont injectés dans la région N^- depuis le substrat P^+ (anode).

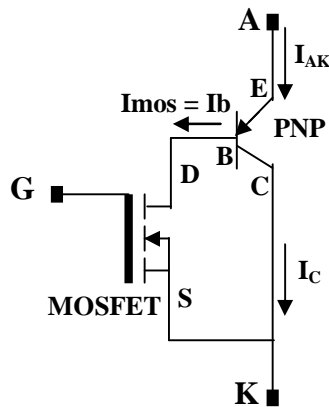


Figure II.11: Circuit équivalent montrant le sens des différents courants dans l'IGBT.

Le courant d'électrons, transitant par le canal est le courant drain-source (I_{mos}) du MOSFET, il représente également le courant de base du transistor PNP (I_b) (Figure II.11). Le courant de trous

constitue le courant du collecteur du transistor PNP (I_c). Le courant total de l'IGBT (I_{AK}) est la somme des courants de trous et d'électrons.

$$I_{AK} = I_{mos} + I_c = I_b + I_c \quad (2.1)$$

L'équation (2.1) peut se réécrire en introduisant le gain en courant, $b = I_c / I_b$, du transistor bipolaire PNP:

$$I_{AK} = (b+1)I_b = (b+1)I_{mos} \quad (2.2)$$

Le courant I_{mos} peut être explicité en utilisant comme première approximation l'équation simplifiée gouvernant le fonctionnement du MOSFET en régime de conduction ohmique:

$$I_{mos} = m \frac{Z}{L} C_{ox} \left(V_{GS} - V_{th} - \frac{V_{DS}}{2} \right) V_{DS} \quad (2.3)$$

$$\text{Avec : } V_{DS} = V_{AK} - V_{EB} \quad (2.4)$$

ou Z : largeur du canal;
 L : longueur du canal;
 C_{ox} : capacité d'oxyde sous grille formée à la surface de grille;
 V_{th} : tension de seuil;
 m : mobilité effective.

Comme on peut le constater sur le circuit équivalent (Figure II.10), la chute de tension aux bornes de l'IGBT, V_{AK} , peut être modélisée par la somme des deux composantes. La première liée à la chute de potentiel dans la jonction P^+N^- (base-émetteur du PNP). La seconde correspond à la chute de tension dans le canal du MOSFET. Ainsi, contrairement au MOSFET de puissance, la chute de tension aux bornes d'un IGBT en polarisation directe ne peut pas descendre en dessous de la tension de seuil de la diode, V_{bi} . Si cette limitation peut être un inconvénient en basse tension, elle devient vite négligeable pour des tensions élevées. La présence de la couche P^+ dans le cas de l'IGBT permet de moduler sa conductivité et ainsi réduire la tension de déchet. L'absence de cette couche sur le transistor MOS de puissance amène une chute de potentiel plus importante aux bornes de la couche épitaxiée N^- . [21]

IV.4 Modélisation du transistor IGBT par le VHDL-AMS et caractéristiques

IV.4.1 Code VHDL-AMS du modèle fonctionnel de l'IGBT

Le présent code décrit le modèle fonctionnel de l'IGBT. Celui-ci est basé sur l'utilisation de l'équation (2.1).

Nous avons choisi comme exemple d'IGBT l'**IRG4RC10K** (cf annexe A).

Le modèle fonctionnel de l'IGBT est décrit en VHDL-AMS dont le code est représenté sur l'encadré II.3

```

entity igbt is
port (terminal p, m: electrical);
end entity igbt;
architecture behavioral of igbt is
quantity vak : real;
quantity ids : real;
quantity vgk : real;
    constant w : real:= 100.0e-6;
    constant l : real:= 100.0e-6;
    constant kp : real:= 0.580427;
    constant lamda : real:= 0.0;
    constant vbe : real:= 0.6;
    constant beta : real:= 7.20054;
begin
vak==1000.0*now;
vgk==15.0;
if vak < vbe use
ids == 0.0;
elsif (vak >= vbe)and( vak <= (vgk-6.5))use
ids == (beta+1.0)*(w/l)*(kp/2.0)*(1.0+(lamda*
(vak-vbe)))*(vak-vbe)*(2.0*(vgk-6.5)-(vak-vbe));
elsif (vak >(vgk-6.5))use
ids == (beta+1.0)*(w/l)*(kp/2.0)*(1.0+(lamda*
(vak-vbe)))*((vgk-6.5)*(vgk-6.5));
else
ids == 0.0;
end use;
end;

```

Encadré II.3: Code VHDL-AMS de la modélisation fonctionnel du transistor IGBT.

IV.4.2 Caractéristiques électriques

La figure II.12 montre un réseau de caractéristiques courant-tension $I_{AK}=f(V_{AK}, V_{GK})$ obtenu pour l'IGBT **IRG4RC10K**. On peut constater, que le courant dans l'IGBT reste pratiquement nul tant que la tension V_{AK} est inférieure à V_{bi} . En effet, d'après les équations (2.2) et (2.3) le courant I_{AK} n'apparaît que si $V_{DS} > 0$, ce qui correspond à (équation 2.4) à des tensions $V_{AK} > V_{EB}$.

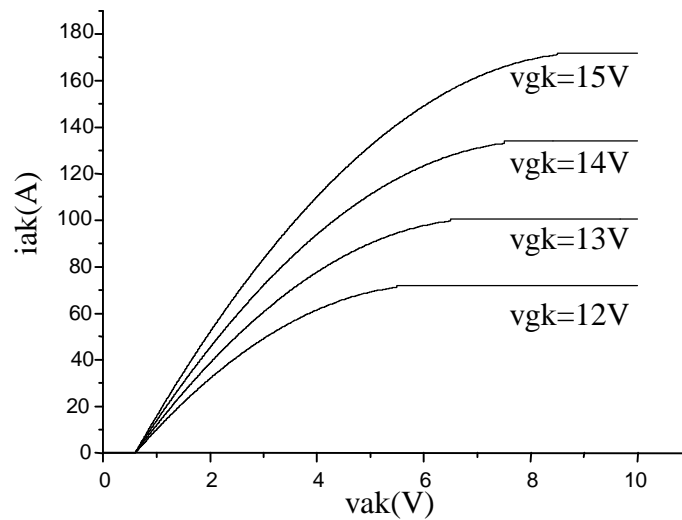


Figure II.12: Caractéristique $I_{AK} = f(V_{AK})$ sous VHDL-AMS

IV.5 Modélisation du transistor IGBT par MATLAB

Dans cette partie nous présentons la simulation de l'IGBT **IRG4RC10K** avec le même stimulus que précédemment.

La figure II.13 représente la caractéristique du courant I_{AK} en fonction de la tension V_{AK} à des tensions V_{GK} constantes.

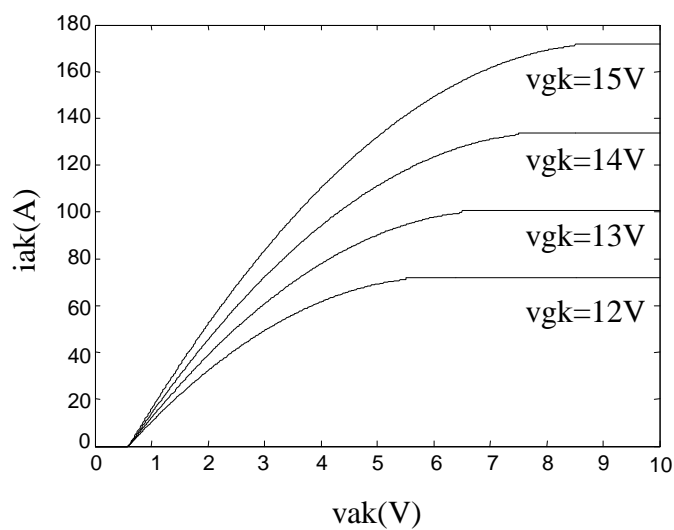


Figure II.13: Caractéristique $I_{AK} = f(V_{AK})$ sous MATLAB.

IV.6 Simulation du transistor IGBT sous SPICE-ORCAD

La simulation de l'IGBT sous SPICE-ORCAD se fait suivant la netliste présenté dans l'encadré II.4. Les caractéristiques électriques obtenues alors pour l'IGBT **IXGH40N60 NIG** (cf annexeA) sont présentées sur la figure II.14.

```
.lib "nom.lib"
*Analysis directives:
.DC LIN V_vds 0 20 0.5
+ LIN V_vgs 6 9 1
.PROBE V(*) I(*) W(*) D(*) NOISE(*)
.INC ".\igbt-SCHEMATIC1.net"
* source IGBT
Z_Z1      N00707 N00689 0 IXGH40N60
V_vds     N00707 0 12
V_vgs     N00689 0 8
.END
```

Encadré II.4: Netliste SPICE du modèle IGBT.

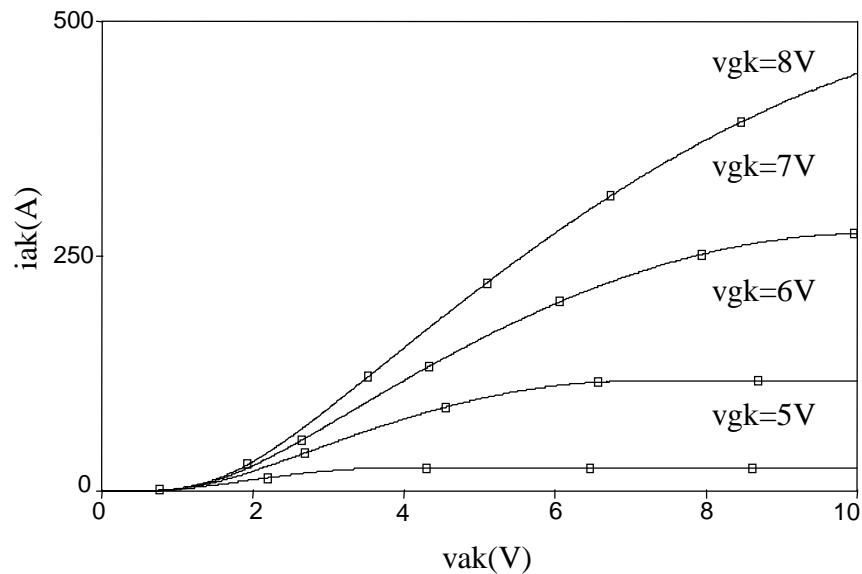


Figure II.14 : Caractéristique $I_{AK} = f(V_{AK})$ sous SPICE

Les mêmes conclusions que celles relatives au MOS sont à considérer ici les caractéristiques obtenues sous VHDL-AMS et SPICE sont comparables, mais pour des raisons de transportabilité, nous considérons dorénavant VHDL-AMS.

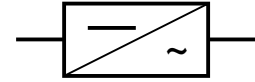
V Modélisation comportementale d'un bras d'onduleur a base d'IGBT

Cette application consiste à modéliser le comportement d'un bras d'onduleur à base d'IGBT.

V.1 Principe de l'onduleur autonome

Un onduleur et un convertisseur statique permettant l'échange d'énergie entre une grandeur continue et une grandeur alternative.

Symbole : son symbole est représenté sur la figure suivante :



Il est dit autonome car il impose sa propre fréquence à la charge.

V.2 Principe de l'onduleur de tension

Celui-ci est représenté sur la figure II.15.

On ferme alternativement les deux interrupteurs K1 et K2 de façon à imposer une tension alternative (ou de forme carrée) à la charge. De plus la commande est symétrique.

V 2.1 Onduleur de tension à 2 interrupteurs

Les interrupteurs K1 et K2 sont remplacés par deux transistors T1 et T2. En pratique, on rajoute deux diodes en antiparallèle aux transistors pour permettre la circulation du courant lorsqu'il est négatif. Dans le cas d'une charge inductive, les diodes D1 et D2 permettent de renvoyer l'énergie vers l'alimentation (figure II.16).

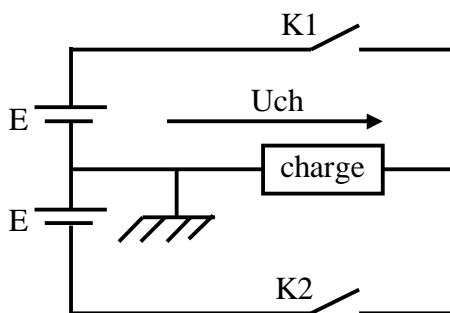


Figure II.15 : Principe de l'onduleur de tension.

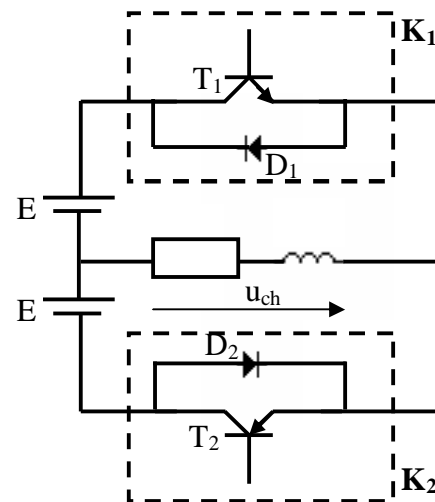


Figure II.16 : Onduleur à 2 interrupteurs sur charge RL.

La figure II.16 représente le bras d'onduleur que nous considérons, il présente une charge RL.

Les tensions d'entrées E sont continues et de valeur 300V pour chacune d'elles (figure II.17.(a)).

les deux transistors sont commandés par une horloge (CLK). (figure II.17.(b)),

Les valeurs de la charge RL sont fixées comme suit : [22]

$R = 1 \Omega$, $L = 0.1\text{mH}$

L'analyse proposée est effectuée dans le domaine temporel, modélisé à l'aide du langage de description comportemental VHDL-AMS.

V.3 Résultats de simulation

Les simulations sont effectuées toujours sous l'environnement hAMStEr de SIMEC.

Les simulations sont effectuées pour une période d'échantillonnage (min step size = 10us, max step size = 10ms) avec une itération de 20 avec un erreur de 10ms. Les figures (II.17a,b),(II.18),(II.19,a,b) présentent le résultat de simulation sur 5ms.

Utilisant la méthode d'Euler comme méthode d'intégrateur et la méthode Newton Raphson pour la linéarisation.

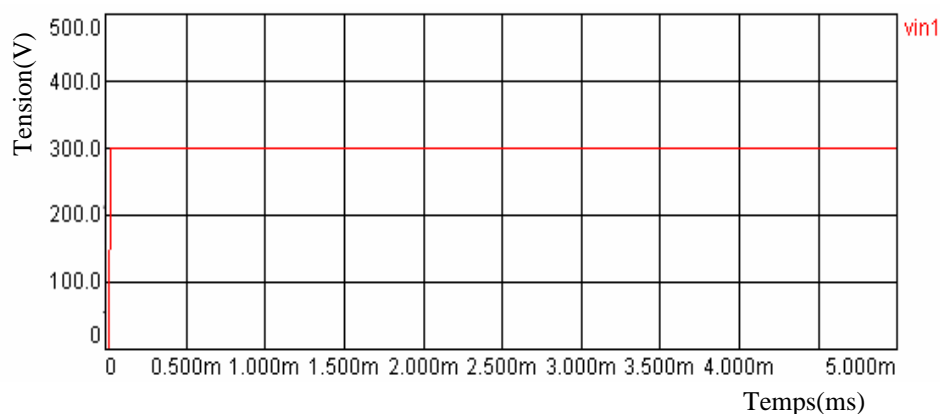
Le signal de commande est donc un signal d'horloge évaluant entre 0 et 1 (figure II.17.(b)). Il permet d'avoir le signal de sortie représenté sur la figure II.18.

Dans ce cas là, la forme du courant est différente de celle de la tension. En effet si la tension bascule presque instantanément suit la commande, le courant quand à lui varie progressivement.

L'augmentation des temps de montée et de descente (retard) est due essentiellement à la présence de l'inductance. En effet, le courant à travers une inductance ne peut subir de discontinuités.

Nous avons constaté qu'il y a un échange d'énergie entre la source et la charge dans les deux sens. En effet, une partie de l'énergie fournie à la charge est stockée dans l'inductance puis restituée à la source : on dit qu'il y a récupération d'énergie.

La figure II.19 présente le cas d'un bras d'onduleur avec une charge résistive ($R = 1 \Omega$), nous avons remarqué que le courant suit la forme de la tension c'est à dire qu'il ne présente pas de retard comme dans le cas d'une charge RL.



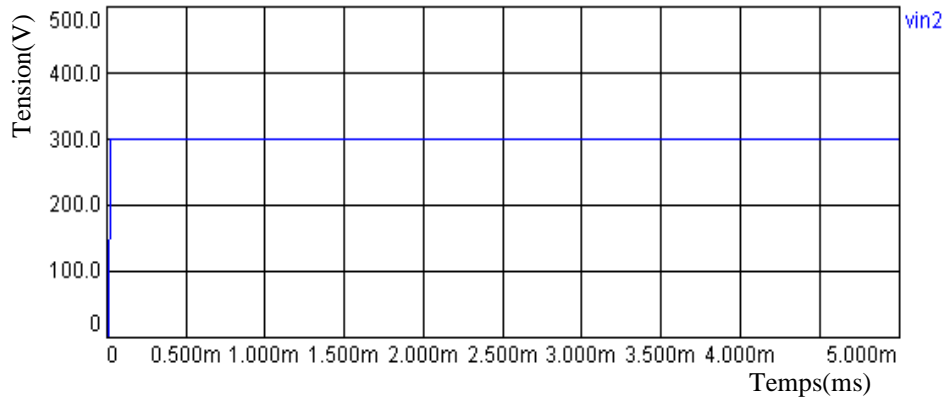


Figure II.17(a): Signaux d'entrer vin1 et vin2 dans le cas d'un onduleur.

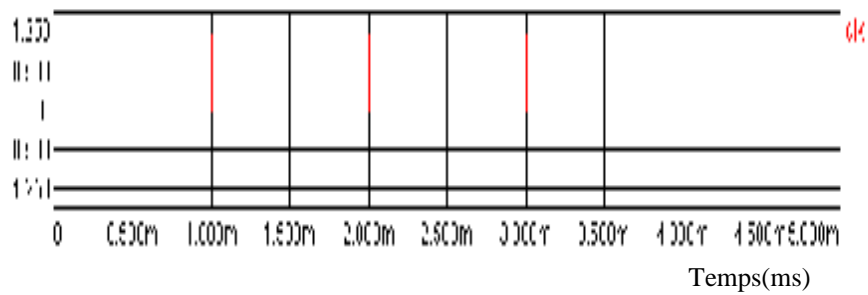


Figure II.17(b) : Signal de commande.

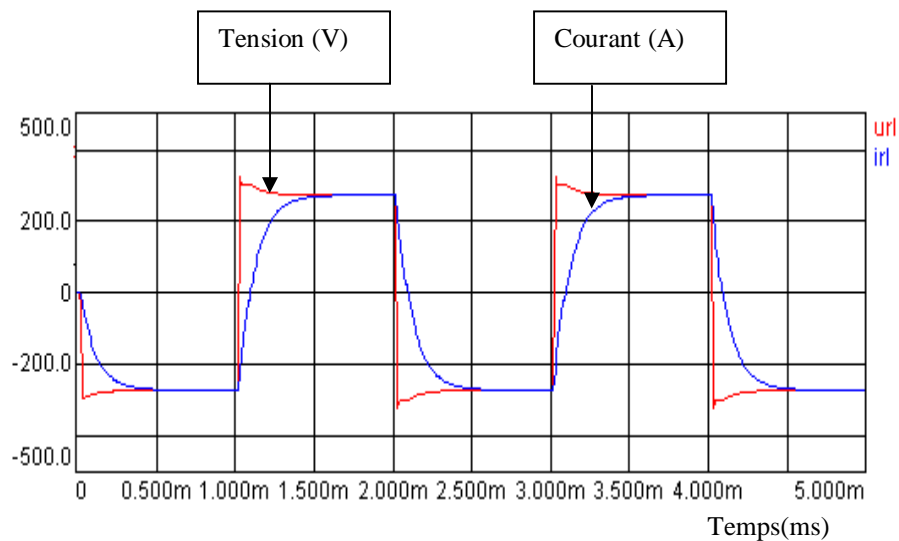


Figure II.18: Evolution de la tension et du courant dans la charge RL.

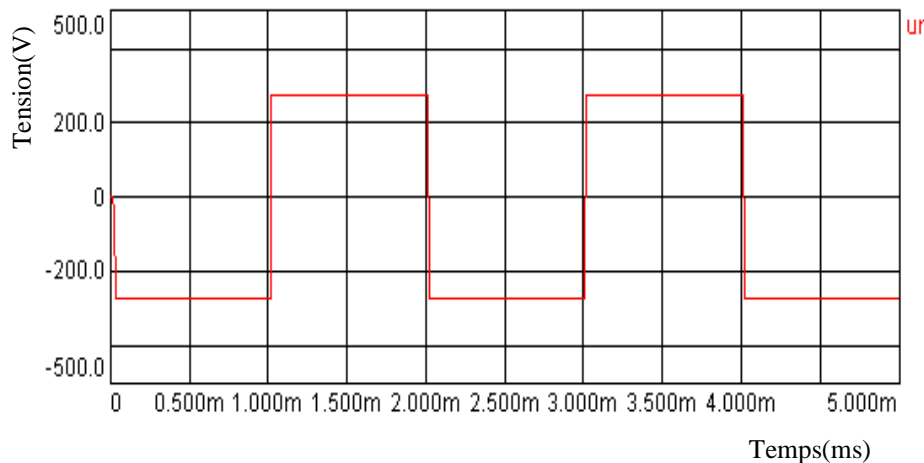


Figure II.19(a) : Evolution de la tension au borne de la charge R..

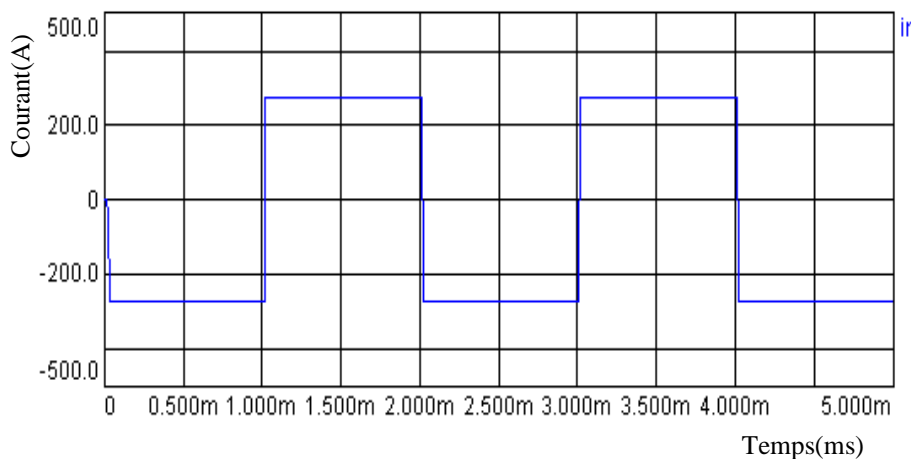


Figure II.19(b) : Le courant a travers la charge R..

VI Conclusion

A partir des résultats obtenus dans ce chapitre concernant la modélisation par le VHDL-AMS de l'IGBT, du TMOS, et des différentes applications considérées, nous pouvons conclure que ce langage est un outil efficace pour la modélisation de composants et de circuits électroniques. De plus, il présente des avantages certains par rapport à SPICE et MATLAB comme la bonne lisibilité ainsi que sa tolérance de la généricité c'est à dire le fait de pouvoir exprimer un modèle avec des paramètres qui ne sont connus qu'au moment de l'utilisation effective.



Chapitre III
Modélisation d'un onduleur
triphase

I Introduction

Dans ce chapitre, nous présentons un environnement de conception et de simulation analogique/numérique décrit par le langage VHDL-AMS. Nous montrons alors comment modéliser une implantation d'un système sur ASIC (Application Specific Integrated Circuit), en tenant compte de son environnement global. Notre concepte c'est l'exploitation de la modélisation analogique/numérique et la simulation de l'environnement de notre application, dit conception/simulation mixte [10], nous utilisons les éléments de la bibliothèque de composants analogiques dédiés aux systèmes électriques de commande que nous avons étudié dans le deuxième chapitre. Cette bibliothèque englobe les principaux composants constituant un tel système. A partir de ces composants nous modélisons l'intégration du système de commande d'une machine asynchrone.

En parallèle aux évolutions constantes sur les outils informatiques (Softwer et/ou Hardwer) et les technologies des circuits intégrés spécifiques, l'intégration des composants de puissance se développe de plus en plus dans la volonté d'accroître la fiabilité des systèmes, d'en simplifier le montage et la maintenance tout en réduisant le coût [4].

Pour le schéma synoptique global de la figure III.1, il s'agit de développer une approche technique et technologique permettant l'intégration sur un composant unique des blocs de commande (bloc numérique), des circuits d'interfaçage (bloc analogique) et de l'onduleur de tension (bloc de puissance).

L'intégration globale d'un système de commande de machines alternatives peut s'avérer très complexe au vu des éléments de natures différentes le constituant (numérique et analogique). Pour regrouper ces éléments sur une même puce de silicium, une méthodologie de conception mixte, analogique et numérique, doit être développée.

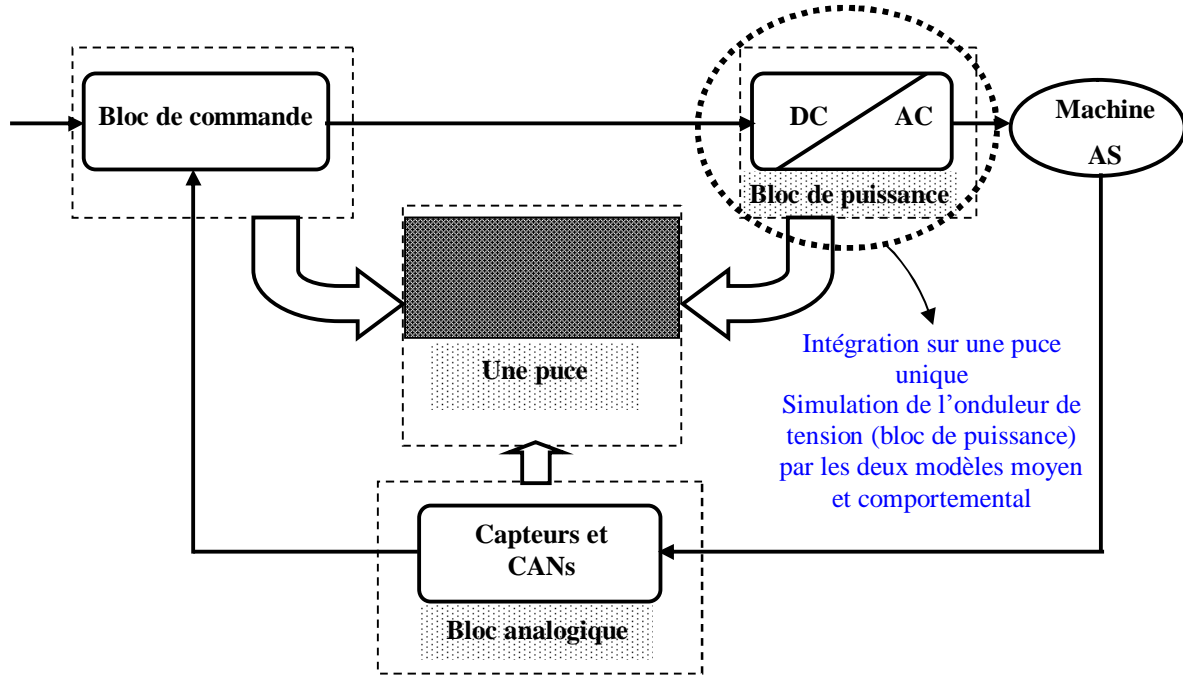


Figure III.1: Synoptique de la structure de commande à intégrer.

II Commande directe du couple (DTC) d'une machine asynchrone

Le Contrôle Direct du Couple, ou Commande Directe du Couple, souvent notée DTC pour l'abréviation anglaise Direct Torque Control, est une méthode de réglage du couple de la machine asynchrone, basée sur l'estimation, la régulation et l'orientation du flux statorique à partir de mesures effectuées au niveau du stator de la machine. Elle se rapproche de la méthode dite du contrôle vectoriel à flux statorique orienté. Elle a été introduite au Japon par Takahashi et en Allemagne par Depenbrock, il y a près de 15 ans [22].

La figure III.2, présente la structure générale de l'algorithme du Contrôle Direct du Couple.

Dans le cas de la structure DTC basée sur l'orientation du flux statorique, le découplage entre le flux et le couple est obtenu en élaborant, à partir d'une table de sélection, des vecteurs tension de sortie de l'onduleur. A chaque période de contrôle, le flux et le couple sont comparés à leurs valeurs de référence [23]. La position vectorielle du flux est estimée dans le repère statorique fixe $S(\alpha, \beta)$. Celle-ci permet de sélectionner les commutations adéquates des bras de l'onduleur de tension (cf. Annexe B).

Les conditions de contrôle dynamique du couple de la machine asynchrone peuvent être mises en évidence, par le modèle vectoriel de la machine. Pour cela, on reprendra les expressions vectorielles de la machine. On utilise le modèle vectoriel ramené au stator dans un référentiel est lié au stator (S).

$$\mathbf{V}_S = R_S \cdot \mathbf{I}_S + \frac{d\mathbf{j}_s}{dt} \quad (3.1)$$

Ou :

\mathbf{V}_S : Vecteur tension statorique délivré par l'onduleur.

R_S : Résistance statorique.

\mathbf{I}_S : Vecteur courant statorique.

φ_S : Vecteur flux statorique.

$$\mathbf{V}_R = 0 = R_R \cdot \mathbf{I}_R + \frac{d\mathbf{j}_R}{dt} - j \cdot \omega \cdot \mathbf{j}_R \quad (3.2)$$

Ou :

\mathbf{V}_R : Vecteur tension rotorique.

R_R : Résistance rotorique.

ω : Pulsation mécanique.

φ_R : Vecteur flux rotorique.

A partir de ces derniers, on peut tirer :

$$\mathbf{I}_R = \frac{1}{S} \left(\frac{\mathbf{j}_R}{L_R} - \frac{L_m}{L_R L_S} \mathbf{j}_s \right) \quad (3.3)$$

L'équation (3.1) devient alors :

$$\frac{d\mathbf{j}_R}{dt} + \left(\frac{1}{\sigma \cdot \tau_R} - j\omega \right) \mathbf{j}_R = \frac{L_m}{L_S} \frac{1}{\sigma \cdot \tau_R} \mathbf{j}_s \quad (3.4)$$

Ou :

σ : coefficient de dispersion. $\sigma = 1 - \frac{L_m^2}{L_S L_R}$

τ_R : Constant du temps rotorique.

L_m : Mutuelle inductance cyclique entre stator et rotor.

L_R : Inductance cyclique rotorique.

L_S : Inductance cyclique statorique.

Ces relations montrent que :

- On peut contrôler le vecteur \mathbf{j}_s à partir du vecteur \mathbf{V}_S (en module et en position à une chute de tension $R_S \cdot \mathbf{I}_S$ près).
- Le flux \mathbf{j}_R suit les variations de \mathbf{j}_s avec une constante de temps $\sigma \cdot \tau_R$.

Le principe de la commande DTC se base sur le calcul instantané du flux et du couple de la machine asynchrone dans un référentiel statorique triphasé. En utilisant la transformation de

D'après les expressions (3.5) et (3.6), nous pouvons observer que les contrôles du flux statorique et du couple électromagnétique sont réalisés par une sélection appropriée du vecteur de tension \mathbf{V}_S . Le choix du vecteur est effectué à chaque période de calcul T_e (temps d'un cycle de calcul entre l'acquisition des données et l'envoi d'un vecteur tension). \mathbf{V}_S est délivré par un onduleur de tension dont l'état des interrupteurs est contrôlé par 3 grandeurs booléennes de commande, (S_a, S_b, S_c).

$$\mathbf{V}_S = \sqrt{\frac{2}{3}} U_0 [S_a + S_b e^{-\frac{j2p}{3}} + S_c e^{\frac{j4p}{3}}] \quad (3.7)$$

Les combinaisons des 3 grandeurs (S_a, S_b, S_c) permettent de générer 8 positions du vecteurs \mathbf{V}_S dont 2 correspondent au vecteur nul (S_a, S_b, S_c) = (1,1,1) ou (0,0,0), (cf. figure III.3).

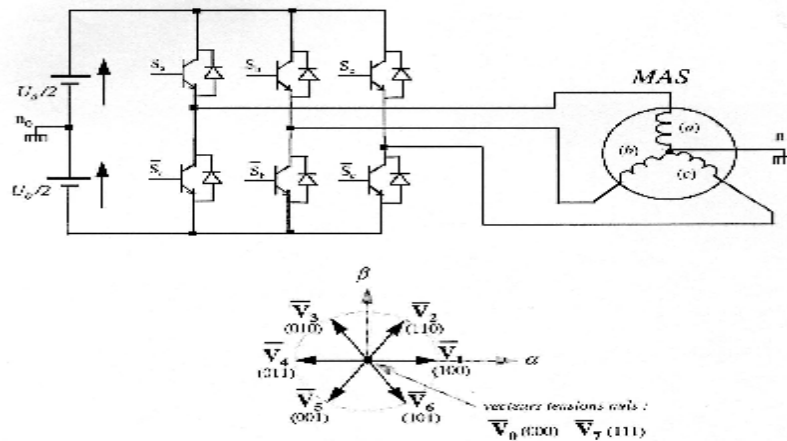


Figure III.3 : Elaboration des vecteurs \mathbf{V}_S (S_a, S_b, S_c) à partir de l'onduleur de tension.

III La CNA et la CAN

III.1 Le convertisseur numérique analogique CNA

Malgré la prédominance actuelle du domaine numérique à la base, les signaux ont toujours une nature analogique. Le domaine analogique va donc toujours exister au moins en amont de toute chaîne de traitement. Parfois, on a aussi besoin d'un signal analogique en sortie de cette chaîne de traitement : il faudra alors reconverter les données numériques en signaux analogiques. Le passage d'un type de donnée à l'autre se fera par des convertisseurs, composants « mixtes », qui vont traiter des signaux logiques en entrée et des tensions analogiques en sortie.

III.2 Le convertisseur analogique numérique CAN

Le gros avantage apporté par la numérisation des signaux est la possibilité de stockage, de transformation et de restitution des données sans qu'elles ne soient altérées. Le passage d'un type de donnée à l'autre se fera par des convertisseurs, composants « mixtes », qui vont manipuler des tensions analogiques en entrée et des signaux logiques en sortie [10].

La Figure III.4 présente le fonctionnement comportementale d'un CAN simple qui fait convertir un signal analogique pour le niveau de 5V en un signal numérique, c'est à dire que la sortie est égale à 1 lorsque l'entrée est supérieure à 5V est égale à 0 lorsque l'entrée est inférieure a 5V.

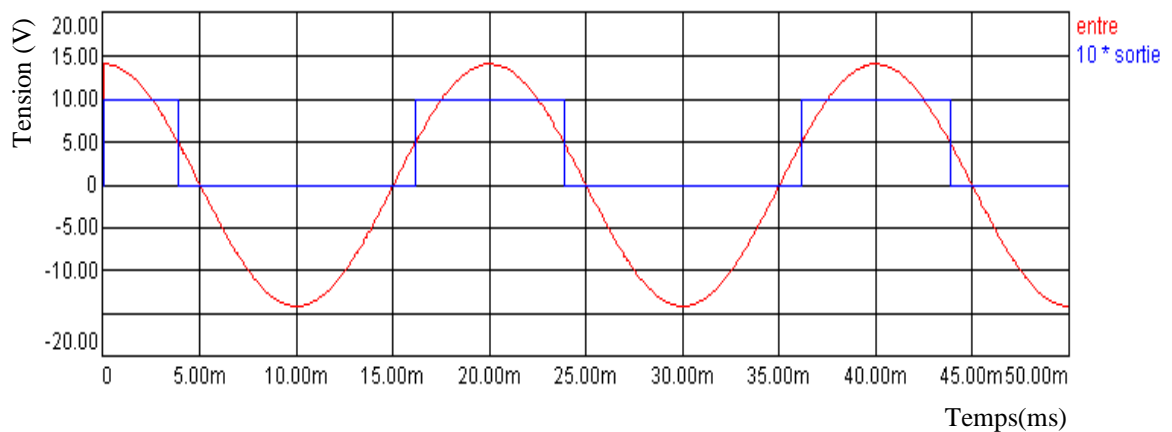


Figure III.4: Résultat de simulation comportementale d'un CAN

IV L'onduleur de tension

L'onduleur de tension est un convertisseur statique d'énergie qui transforme une tension DC constante en une tension AC polyphasée de fréquence et d'amplitude variables.

L'architecture du convertisseur statique de puissance polyphasé se compose de plusieurs bras. Chaque bras comporte un ensemble d'interrupteurs de puissance. Ces interrupteurs découpent la tension DC d'entrée en un signal idéalement carré de largeur variable.

Diverses topologies existent mais le cas le plus fréquent est l'onduleur triphasé à trois bras. La structure la plus simple d'un onduleur de tension triphasés est représenté sur la figure III.5 qui est formé de six interrupteurs commandables, chacun monté avec une diode en tête bêche [24].

L'élément de base de l'onduleur, est l'interrupteur de puissance, le choix de ce dernier est effectué en fonction de la puissance commutée et de la fréquence de commutation. Parmi les

composants les plus utilisés, nous citons le **MOS** de puissance, le **GTO** (Gate Turn Over) et l'**IGBT** (Insulated Gate Bipolar Transistor).

IV.1 Principe de fonctionnement

La commutation dans l'onduleur de tension correspond aux passages de l'état passant à l'état bloqué et réciproquement de ces interrupteurs selon une commande appropriée, et chaque forme d'onde à son propre ordre de commutation.

Les interrupteurs sont déclenchés à des temps correspondant au sixième de période dans l'ordre suivant : T1, T6, T2, T4, T3, T5. Le déblocage de T1, pour $t = 0$ sépare A de N et le relie à 'M' ; le déblocage de T4, pour $t = T/2$ fait l'inverse. Les autres groupes reproduisent le même fonctionnement avec des retards de un tiers et deux tiers de période plus tard [24].

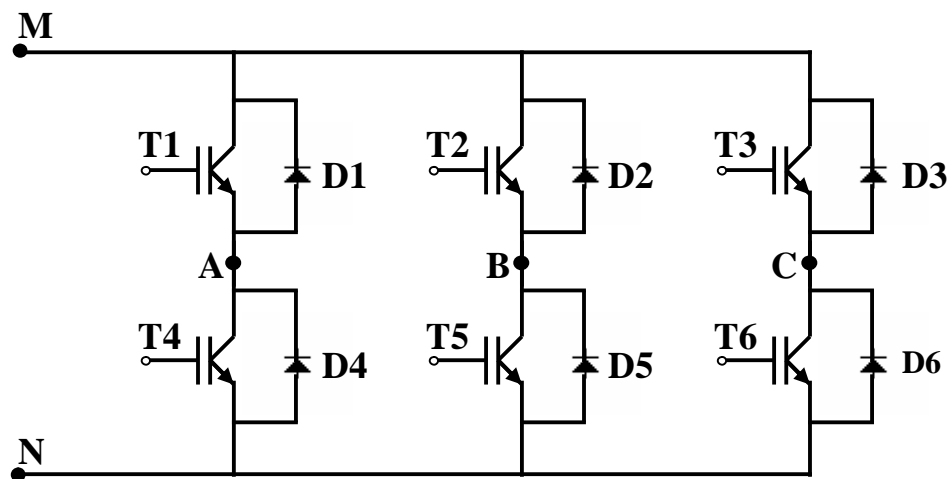


Figure III.5 : Structure d'un onduleur de tension triphasé.

Dans cette étude, nous modélisons le comportement d'un onduleur de tension triphasé constitué de trois cellules de commutation et une charge inductive en étoile équilibrée correspond à la machine à induction (figure III.6). Nous avons alimenté le circuit avec une source de tension à point milieu et nous avons visualisé la tension et le courant dans la charge.

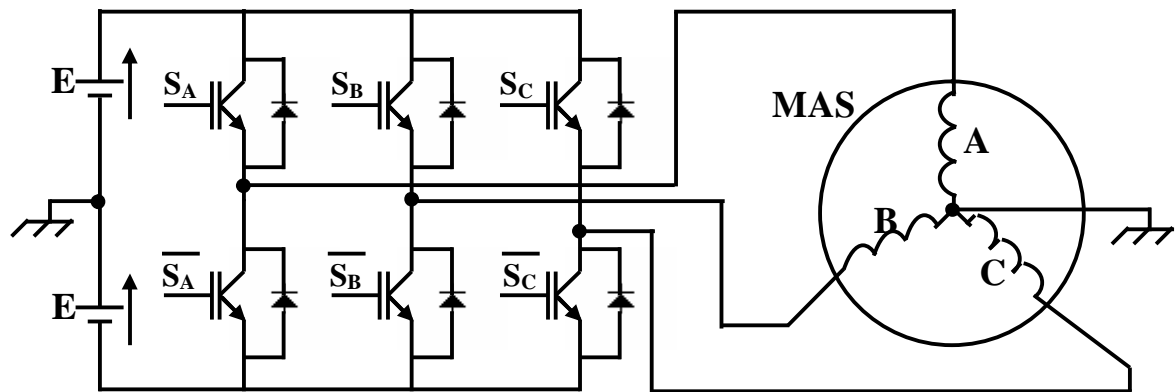


Figure III.6 : Onduleur de tension triphasé avec une charge RL équilibrée en étoile.

IV.2. Code VHDL-AMS d'un bras d'onduleur (modèle comportementale)

```

terminal a, n1,n2,m1,m2: electrical;
-----diode1-----
quantity vd1 across id1 through n1 to m1 ;
quantity vdr1 across idr1 through m1 to a ;
-----diode2-----
quantity vd2 across id2 through a to m2 ;
quantity vdr2 across idr2 through m2 to n2 ;
-----igbt1-----
quantity vds1 across ids1 through n1 to a ;
-----igbt2-----
quantity vds2 across ids2 through a to n2 ;
begin
if (clk1 = '1') use --igbt1
vds1 == rson*ids1;
else
ids1 == 0.0;
end use;
break on clk1;
if (clk1 = '0') use --igbt2
vds2 == rson*ids2;
else
ids2 == 0.0;
end use;
break on clk1;
-----diode1-----
if vds1'above(-1.1) use
id1 == 0.0;
else
id1 == (vds1 + 1.1) / rdon;
end use;
-----diode2-----
if vds2'above(-1.1) use
id2 == 0.0;
else
id2 == (vds2 + 1.1) / rdon;
end use;

```

IV.3. Résultats de simulation du modèle comportemental de l'onduleur avec une charge RL équilibrée

Paramètres de la simulation :

Sources de tension à point milieu : $V_{in1} = V_{in2} = 300V$.

Pas d'échantillonnage : min step size = 10 μ s, max step size = 1 ms.

Erreur = 1ms.

Nombre d'itérations : 20.

$R = 1 \Omega$, $L = 0.0001H$

L'intégration des équations du modèle est effectuée par la méthode d'Euler et une linéarisation par la méthode de Newton Raphson.

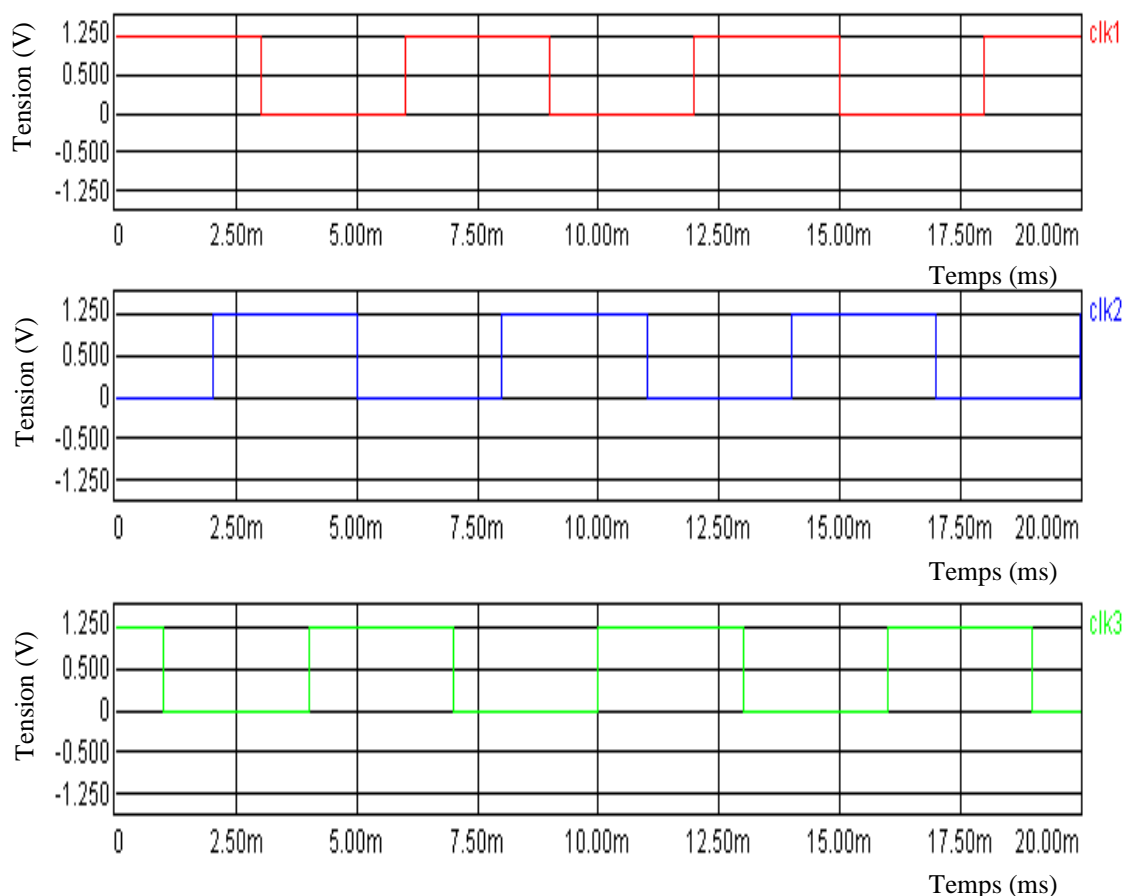


Figure III.7.a : Les signaux de commande des trois bras d'onduleur décalé l'un par rapport à l'autre de $2\pi/3$.

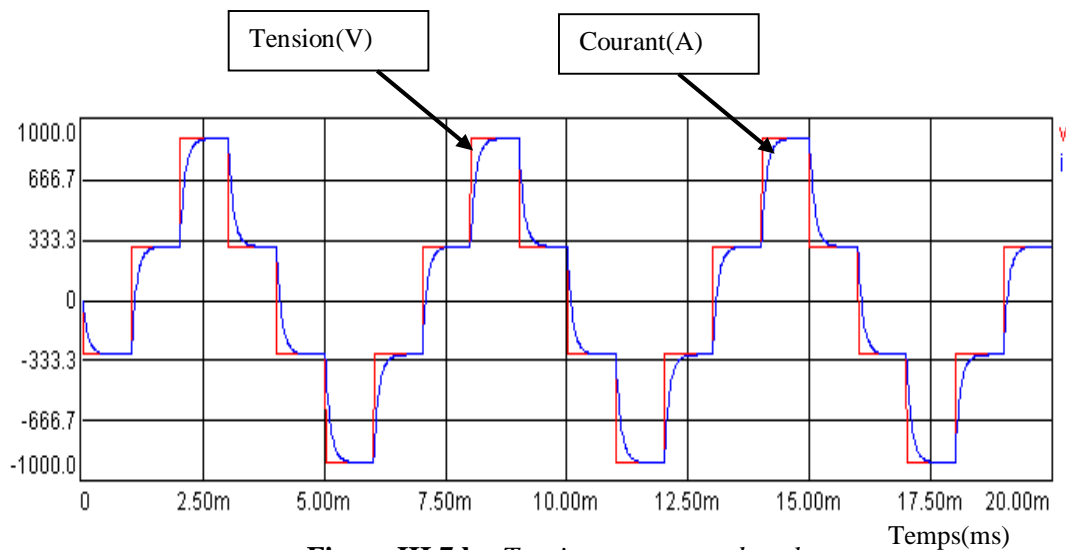


Figure III.7.b : Tension et courant dans la charge RL

La forme du courant est différente de celle de la tension parce que le courant à travers une inductance ne peut subir de discontinuité. En effet si la tension peut changer subitement de valeur, le courant, du fait de l'inductance du circuit, va varier progressivement.

V Elaboration du contrôle direct du couple

On présente dans ce qui suit les résultats de simulation obtenus à partir du modèle comportemental et celui du modèle moyen de l'onduleur connecté à la machine asynchrone et modélisé par le VHDL-AMS, illustrant le comportement de la structure de contrôle direct du couple d'une machine asynchrone.

L'écart du contrôleur à hystérésis imposé au contrôleur de couple est de $\Delta\Gamma = 2\text{Nm}$. La valeur de référence du flux est dans ce cas égale 0.8Wb , avec un contrôleur à hystérésis d'écart :

$$\Delta\phi = 0.03\text{Wb}.$$

V.1 Modèle comportemental de l'onduleur dans la DTC et résultats de simulation :

Dans cette étude nous avons établi une modélisation comportementale d'un onduleur de tension triphasé à point milieu (figure III.6), et associé à un algorithme DTC, en visualisant l'évolution du couple électromagnétique C_{elm} vis-à-vis le couple de référence C_{ref} .

Les simulations sont effectuées pour une période d'échantillonnage (min step size = 100us, max step size = 100us) avec 200 itération et une erreur de 0.1ms, la figures III.8, présente le résultat de simulation sur 0.2s du couple électromagnétique pour trois échelons de consigne (20Nm, 40Nm et 10Nm) et un flux fixé à une valeur de référence de 0.8Wb.

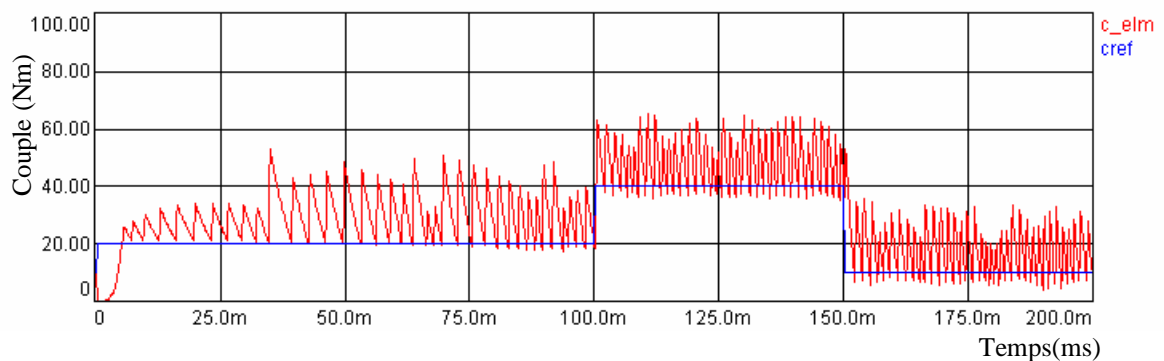


Figure III.8 : Evolution du couple électromagnétique C_{elm} selon le couple de référence C_{ref} .

V.2 Modèle moyen de l'onduleur de tension

La plupart des algorithmes de contrôle reposent sur le modèle idéal de l'onduleur de tension, c'est à dire sans pertes, avec des temps de commutation nuls et sans temps mort. En fait, l'onduleur est modélisé la plupart du temps par un simple gain (unitaire).

Dans cette partie nous avons présenté un autre modèle de l'onduleur de tension, dit "*modèle moyen*", qui repose sur une modélisation à moyenne d'état [25],[26].

Cette méthodologie repose sur une approche mathématique et fait appel aux représentations par les graphes de liens et les réseaux de *Petri* [25].

Toutefois le fait de *moyenner* l'état ne permet pas de distinguer les variables lentes des variables rapides.

Il convient d'analyser le montage de l'onduleur de manière à aboutir à un modèle de cellules élémentaires, pour cette raison nous émettons deux principales hypothèses :

Hypothèse 1 : les condensateurs de découplage sont suffisamment efficaces pour fournir la totalité de l'énergie pendant les phases de commutation sans que la tension à leur borne ne varie de manière significative.

Hypothèse 2 : le courant dans la charge varie très lentement par rapport à la fréquence de commutation. Il peut être considéré constant durant ces phases.

Nous pouvons conclure qu'aucun des bras de l'onduleur n'est influencé par les commutations des deux autres.

a. Identification des paramètres du modèle moyen

Les seules caractéristiques nécessaires sont les caractéristiques statiques du constructeur, et l'allure des retards virtuels en fonction des conditions courant/tension [25], de la température et

des valeurs des inductances parasites de chaque composant à semi-conducteur. Ces deux paramètres sont fixés par le régime nominal.

Pour définir les caractéristiques statiques des IGBTs et des diodes $V_{ce}(I_{out})$ et $V_d(I_{out})$ nous avons utilisé les approximations suivants [25] :

$$V_{ce}(I_{out}) = U_{TT} \cdot \ln\left(1 + \frac{I_{out}}{I_{ST}}\right) + R_T \cdot I_{out}. \quad (3.8)$$

$$V_d(I_{out}) = U_{TD} \cdot \ln\left(1 + \frac{I_{out}}{I_{SD}}\right) + R_D \cdot I_{out}. \quad (3.9)$$

Pour les paramètres du modèle, nous renvoyons le lecteur en Annexe C.

Les retards virtuels permettent de prendre en compte la dynamique de la tension, celle-ci dépend des caractéristiques des composants et des impédances de câblage de l'onduleur. Les retards virtuels $\delta_{T,V}$ et $\delta_{T,I}$ peuvent être déterminés à partir d'une simulation fine du comportement du convertisseur (éléments actifs, passifs, selfs de liaison), ou par la mesure des courant/tension propres à chaque composant en commutation.

On peut considérer les retards virtuels comme constants. L'approximation est d'autant plus justifiée que le temps mort est important devant les retards virtuels [26].

b. Algorithme du modèle moyen d'un bras d'onduleur

Nous allons donc établir le modèle moyen d'un bras d'onduleur de la figure III.9.

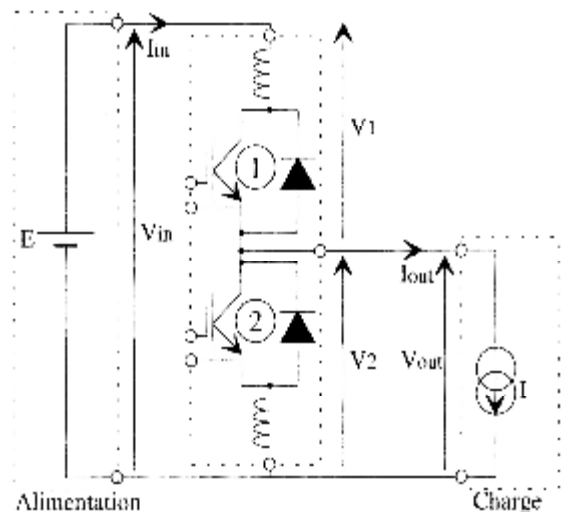


Figure III.9: Le bras d'onduleur à modéliser.

-Etape 1: Identification des variables d'entrée et sortie au bloc de commutation (bras) :

La source de tension E impose la tension V_{in} .

La source de courant I impose le courant I_{out} .

Ce sont nos deux variables d'entrées. Le modèle doit donc fournir la valeur de I_{in} et V_{out} .

-Etape 2: *Séquences de commutation* :

En fait, dans ce cas le bloc de commutation correspond à tous les composants actifs et passifs situés entre les deux sources idéales V_{in} et I_{out} .

La séquence de commande des interrupteurs est la suivante (notation binaire).

$$S = \{ \overline{T_1 T_2}, \overline{T_1} \overline{T_2}, \overline{T_1 T_2}, \overline{T_1} \overline{T_2} \} \quad (3.10)$$

-Etape 3: *Calcul de la valeur moyenne des variables de sortie du bloc de commutation*:

Il nous faut maintenant calculer l'intégrale de chaque variable de sortie sur une période de découpage, en utilisant la notion de retard virtuel.

Nous pouvons nous ramener à une formulation explicite de ces intégrales :

Pour I positif :

$$\frac{1}{T} \int_T V_{out} = (r_1 + \frac{\delta_{T,V}}{T}) \cdot [V_{in} - V_{ce}(I_{out})] + [1 - (r_1 + \frac{\delta_{T,V}}{T})] \cdot [-V_d(I_{out})] \quad (3.11)$$

$$\frac{1}{T} \int_T I_{in} = (r_1 + \frac{\delta_{T,I}}{T}) \cdot I_{out} \quad (3.12)$$

Pour I négatif :

$$\frac{1}{T} \int_T V_{out} = [1 - (r_2 + \frac{\delta_{T,V}}{T})] \cdot [V_{in} + V_d(I_{out})] + (r_2 + \frac{\delta_{T,V}}{T}) \cdot [V_{ce}(I_{out})] \quad (3.13)$$

$$\frac{1}{T} \int_T I_{in} = [1 - (r_2 + \frac{\delta_{T,I}}{T})] \cdot I_{out} \quad (3.14)$$

r_1 et r_2 représentent les rapports cycliques de la commande rapprochée appliqué sur les IGBT 1 et 2. Ils s'expriment par rapport au temps mort r_m et la commande de bras r par :

$$r_1 = r - r_m \quad (3.15)$$

$$r_2 = 1 - r - r_m \quad (3.16)$$

$$\text{avec : } T r_1 + T r_2 + 2 \cdot T \cdot r_m = T \quad (3.17)$$

Donc ce modèle tient compte des paramètres parasites (résistances de câblage, inductances de câblage...) qui ont une influence sur la dynamique de la tension, ce qui permet d'avoir une approche fonctionnelle à l'intégration de puissance.

V.3 Résultat de simulation du modèle moyen de l'onduleur dans la DTC

les simulations sont effectuées pour une période d'échantillonnage (min step size = 100us, max step size = 100us) avec 200 itération et une erreur de 0.1ms, la figure III.10, présente le résultat

de simulation sur 0.2s du couple électromagnétique pour trois échelons de consigne (20Nm, 40Nm et 10Nm) et un flux fixé à une valeur de référence de 0.8Wb.

Le temps mort est fixé à 6 μ s. cette valeur supérieur à la valeur nécessaire (environs 3 μ s) nous permet d'apprécier les effets du aux temps morts.

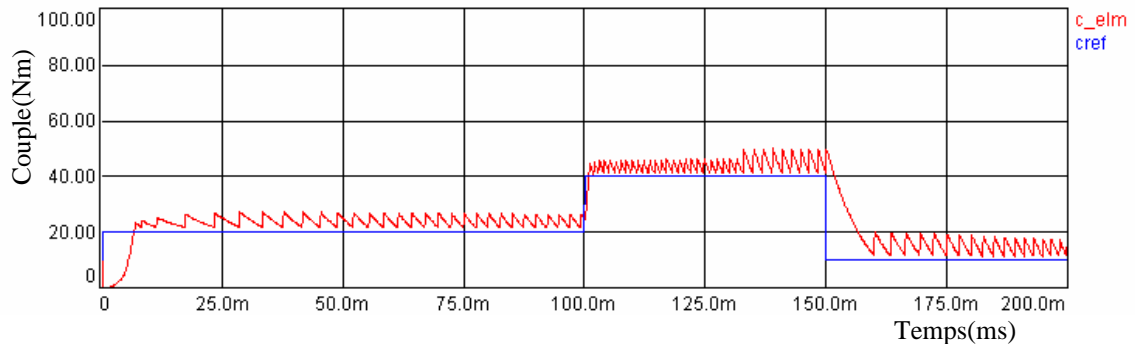


Figure III.10 : Evolution du couple électromagnétique C_{elm} selon le couple de référence C_{ref} .

Les deux figures III.8 et III.10 montrent la réponse du couple électromagnétique pour une consigne de trois échelons. On peut noter les très bonnes performances de contrôle du couple qui suit précisément sa référence.

V.4 Comparaison entre les deux résultats du modèle moyen et du modèle comportemental

Dans cette section nous avons essayé de comparer les deux modèles comportemental et fonctionnel, c'est à dire un système de commande d'une machine asynchrone avec un modèle comportemental de l'onduleur de tension et le même système avec le modèle moyen ou fonctionnel du même onduleur.

La figure (III.11) présente les allures du couple électromagnétique des deux modèles (fonctionnel et comportemental) et la référence de ce couple.

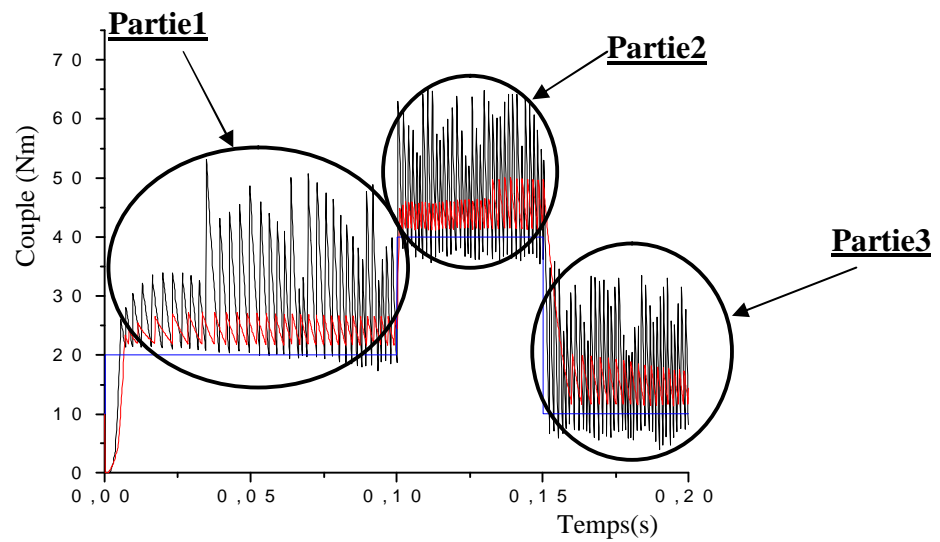
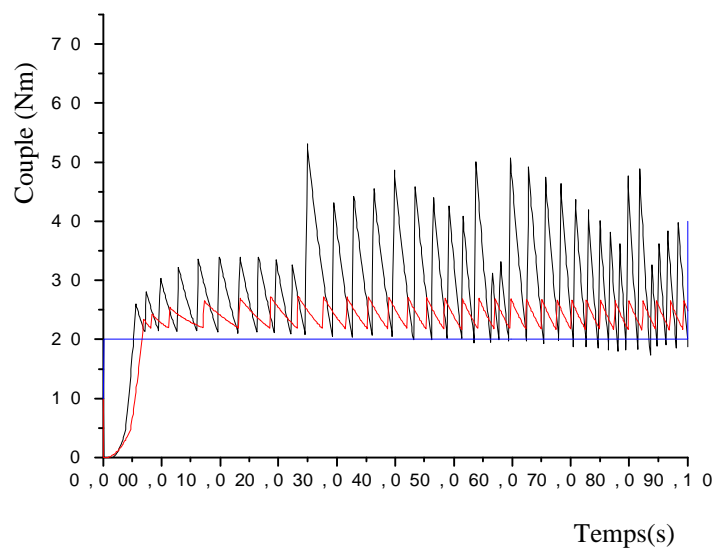


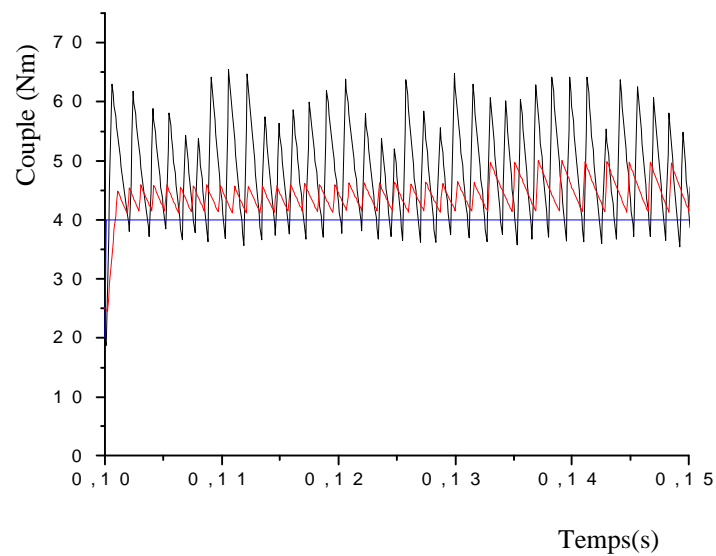
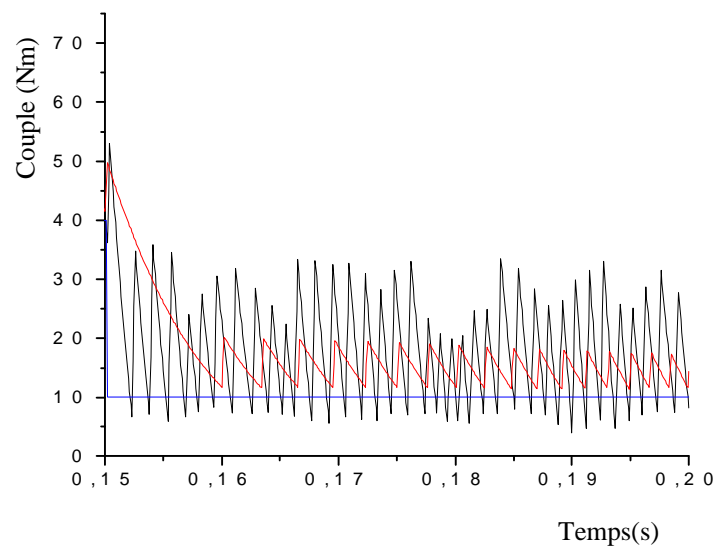
Figure III.11 : Evolution du couple électromagnétique C_{elm} de deux modèles selon le couple de référence C_{ref} .

- Référence
- Modèle moyen ou fonctionnel
- Modèle comportemental

Pour mieux visualiser la différence entre les deux modèles en essaye de faire une zoom des trois partie de ces courbes.



Partie1

**Partie2****Partie3**

A partir de ces résultats on peut remarquer que les résultats des deux modèles (comportemental et moyen) ont des réponses de couple électromagnétique qui suivent la référence de la charge. Les perturbations montrées par le modèle moyen sont moins importantes que celles visualisées pour le modèle comportemental du fait de sa simplicité, et sa manière implicite de représenter quelques phénomènes physiques (inductance de câblage, résistance de câblage...). Il peut donner une idée moyenne de comportement (comportement moyen : c'est de moyenner les phénomènes transitoires, pertes ...etc.), donc on peut considérer ce modèle comme une étape intermédiaire avant le développement d'un modèle physique des composants du système.

V.5 Modèle physique de l'onduleur de tension

Il aurait été intéressant de faire également la modélisation physique de l'onduleur de tension à base de transistors IGBT. Pour cela, il faut disposer au préalable des paramètres physiques et technologiques de ce type de composants afin de modéliser sous VHDL-AMS le schéma équivalent du transistor IGBT (figure III.12) et l'incorporer dans l'onduleur. Nous pensons à cette alternative comme perspective future de notre travail.

La méthode proposée pour présenter le schéma de la figure III.12 est l'analyse des caractéristiques du composant en définissant des domaines de fonctionnement dans lesquels le comportement MOSFET peut être dissocié du comportement bipolaire. Ces domaines de fonctionnement sont approximatés par des segments de droite. Le modèle complet provient d'une combinaison du modèle statique ainsi obtenu avec les modèles de capacités (linéaires ou non linéaires) entre les électrodes [27].

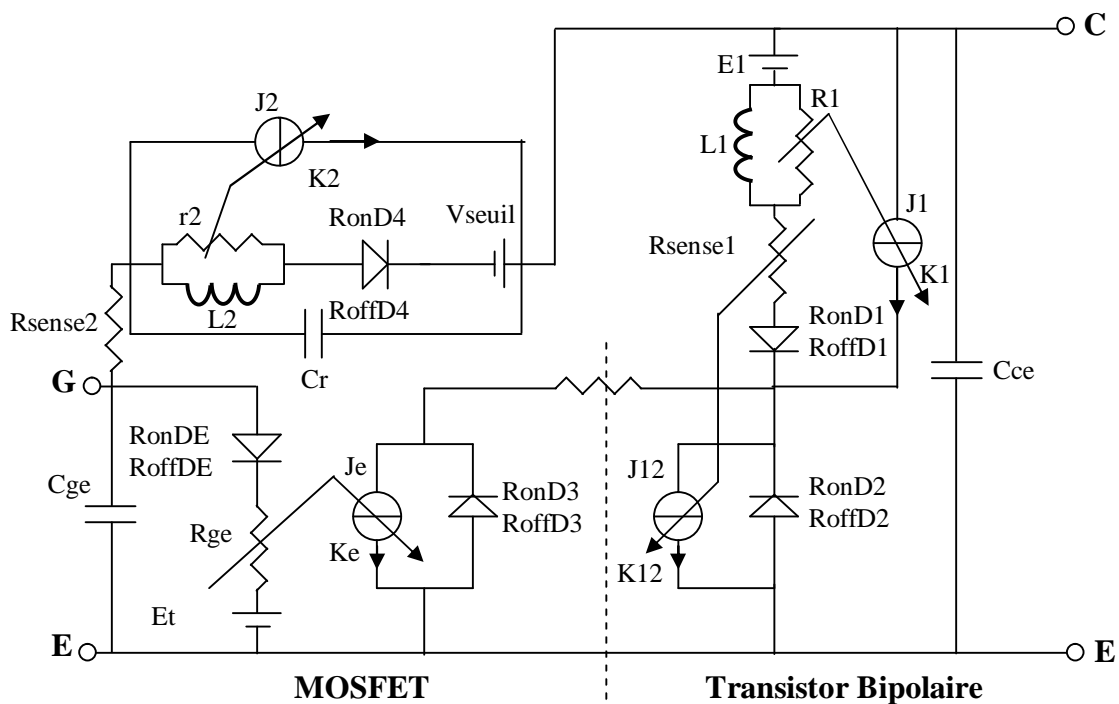


Figure III.12 : *Modèle complet d'approximation linéaire de l'IGBT.*

VI Conclusion

Dans ce chapitre nous avons présenté la structure générale de la commande a intégré puis nous avons défini quelques blocs de cette commande tels que les convertisseurs (CAN et CNA), la DTC et l'onduleur.

Dans un premier temps nous sommes intéressés à la modélisation comportementale d'un onduleur a six transistor IGBT commandé par trois signaux décalés de $2\pi/3$ sous VHDL-AMS.

Après nous avons donné les résultats de simulations (couple électromagnétique) d'un modèle comportemental de l'onduleur introduit dans la DTC et connecté à la machine.

Ensuite nous avons donné des résultats de simulation du modèle moyen de l'onduleur considéré connecté a la machine asynchrone, ont permet de visualiser l'allure du couple électromagnétique, Enfin nous avons fait une comparaison entre les deux résultats de simulation (couple électromagnétique) du modèle moyen et du modèle comportemental de l'onduleur.

Conclusion générale

CONCLUSION GENERALE

Les circuits intégrés contiennent des systèmes toujours plus complexes comportant à la fois des fonctions numériques et analogiques. De plus, l'augmentation du nombre de composants par puce qui croît d'une façon exponentielle avec le temps (quelques milliers de transistors à quelques millions), fait que l'utilisation d'une méthodologie de conception hiérarchique soit indispensable.

Cette méthodologie est basée sur la modélisation comportementale de chaque composant du circuit considéré, il faut choisir donc un outil de modélisation afin de réduire le temps de simulation, de conception et d'améliorer la fiabilité dans les deux domaines analogique et numérique. Cela est aujourd'hui possible grâce à l'offre récente de puissants langages de modélisation comportementale analogique et mixte.

L'avènement récent d'outils basés sur le nouveau standard VHDL-AMS vise la modélisation du système complet, à divers niveaux d'abstraction, (comportementale, fonctionnelle et physique) intégrant les différents domaines technologiques (électrique, mécanique, thermique ...). Leur but est la validation du produit fini dans les conditions extrêmes de fonctionnement.

La première phase de ce travail a porté sur une initiation au nouveau langage de description matériel : le langage VHDL-AMS. Pour cela, nous avons commencé par présenter des exemples de modélisation d'éléments passifs tels que la résistance, la self inductance et la capacité, puis nous nous sommes intéressés à des éléments actifs tels que la diode, et finalement à des éléments numériques tels que le décodeur. Nous avons également, présenté les différents niveaux de modélisation tel que la modélisation comportementale, fonctionnelle et physique.

Pour montrer la portée de ce langage nous avons comparé les résultats obtenus avec une simulation par le logiciel SPICE.

Dans le deuxième chapitre nous avons abordé une modélisation de composants actifs :

- Une modélisation comportementale d'un transistor MOS de puissance : l'IRF150 de la bibliothèque SPICE. Une application du modèle élaboré a été de le considérer dans un circuit amplificateur radio fréquence de puissance.
- Une modélisation fonctionnelle du transistor IGBT seul puis intégré dans un onduleur autonome à base d'IGBT. Pour cela, nous avons considéré une modélisation comportementale.

Dans les deux cas, les résultats obtenus ont été confortés par une comparaison avec des simulations SPICE et MATLAB.

L'avantage qu'offre VHDL-AMS par rapport à ces deux logiciels réside dans la transportabilité du modèle élaboré d'un simulateur à un autre. Il suffit de le considérer comme un "Package".

La phase finale de notre travail concerne une application à l'intégration d'un système de commande de puissance, qui était notre but principal. Ainsi, nous avons commencé par la modélisation comportementale d'un onduleur a trois bras contenant six transistors IGBT, puis nous avons présenté une modélisation fonctionnelle de l'onduleur considéré dans la DTC. Nous avons commencé par considérer un modèle comportemental, puis dans un second cas un modèle fonctionnel (dit modèle moyen) de l'onduleur. Dans les deux cas, l'onduleur est connecté à une machine asynchrone.

La comparaison des deux modèles a permis de fixer les avantages et les limites présentés par chacun; notamment par rapport aux temps de montée, de descente et les fluctuations autour du signal référence.

Comme perspective à notre travail, il serait intéressant d'aller vers la modélisation physique de l'onduleur connecté à la machine asynchrone. Cette perspective permettra d'aller vers ce qu'on appelle l'intégration d'un système de commande de puissance ou l'intégration de puissance sur une seule puce c'est-à-dire la conception d'un ASIC (circuit intégré a application spécifique).

RESUME

La conception de systèmes embarqués passe par différents niveaux de modélisation (fonctionnelle, comportementale et physique). Pour cela, il est indispensable de faire appel à des langages de modélisation multi-technologique tel que le VHDL et le VHDL-AMS.

Le langage VHDL-AMS est un standard IEEE de même que le VHDL, il a été développé comme une extension du VHDL pour donner la possibilité de faire la modélisation et la simulation de circuits analogiques et mixtes logiques-analogiques.

Notre travail a permis de faire une description matérielle par le VHDL-AMS pour la conception de modèles analogiques et mixtes.

Nous avons développé d'une part, une bibliothèque de composants adaptée à la modélisation des circuits de puissance. La bibliothèque est constituée d'éléments passifs tel que résistance, self et capacité, et d'éléments actifs tels que la diode, le transistor MOS, transistor IGBT, ..., etc.

Cette bibliothèque facilite la tâche de conception d'un ASIC qui tient compte de la partie numérique de la commande, de la partie analogique, du conditionnement des signaux et de la partie puissance.

D'autre part, une partie de notre travail concerne l'étude d'un onduleur triphasé à base d'IGBT.

Les résultats permettent de mettre en évidence l'apport de la modélisation comportementale par rapport à une modélisation fonctionnelle et l'inverse.

Mots Clefs :

VHDL-AMS, DTC, Modélisation comportementale, Onduleur.

Abstract:

The design of the integrated systems passes by various levels of modelling (functional, behavioural and physical). Thus, it is essential to use multi-technological modelling languages such as VHDL and VHDL-AMS.

VHDL-AMS language is an IEEE standard just as VHDL. VHDL-AMS is an extension of the VHDL, it's main purpose is to give the possibility of modelling and simulating analogical and mixed logic-analogical circuits.

Our work has made it possible to make a material description by the VHDL-AMS for the design of analogical and mixed models.

On one hand, we developed a library of components adapted for the modelling of the power circuits. ¶The library constitute of passive elements such as resistance, coil and capacity, and of active elements such as diode, transistor MOS, transistor IGBT...etc.

This library facilitates the task of design of ASIC which takes account of the digital part of the commande, the analogical part, the conditioning of the signals and the power part.

On the other hand, part of our work relates to the study of a three-phase inverter containing IGBT.

The results obtained helped us to highlight the contribution of behavioural modelling compared to a functional modelling as well as the reverse.

Key Words:

VHDL-AMS, DTC, Behavioural Modelling, Inverter.



Bibliographie

Bibliographie

- [1] F. Lémery, “Modélisation Comportementale des Circuits Analogiques et Mixtes”, *Thèse de doctorat, Institut National Polytechnique De Grenoble, 20 décembre 1995.*
- [2] A.-M. Trullemans-Anckaert, “Méthodologie de Validation de Systèmes Mixtes, en Environnement Réaliste”, *Actes du Colloque international sur Techniques et Technologies Fondamentales de la Nouvelle Economie’2002 (TTFNE’2002), Albena, Bulgaria, 15-18 sept, pp 197-202. 2002.*
- [3] Y. Hervé, “VHDL-AMS Applications et Enjeux Industriels”, *Cours et exercices corrigés 2^{ème} et 3^{ème} cycles écoles d’ingénieurs de paris, 2002.*
- [4] R. Benachour, “Contribution a L’integration des Systemes de Commande de Machines a Courant Alternatifs”, *Mémoire de magister, Faculté des sciences de l’ingénieur, Institut de l’électronique, Université de Constantine, 2002.*
- [5] S. Jemmali, “Contribution à l’Elaboration de Méthodologies et d’Outils d’aide à la Conception de Systèmes Multi-Technologiques”, *Thèse de doctorat, Ecole Nationale Supérieure des Télécommunications de Paris, novembre 2003.*
- [6] O. Alali, “Modélisation VHDL-AMS Analogique et Simulation SPICE”, *Thèse de doctorat, Ecole Nationale Supérieure des Télécommunications de Paris, novembre 1998.*
- [7] A. Vachoux, “Modélisation de Systèmes Analogiques et Mixte introduction a VHDL-AMS”, *Notes de Cours à Option 2^{ème} cycle, Ecole Polytechnique Fédérale de Lausanne, Été 2003.*
- [8] Y. Hervé, “VHDL-AMS Applications et Enjeux Industriels”, *Cours et exercices corrigés 2^{ème} et 3^{ème} cycles écoles d’ingénieurs de paris, 2002.*
- [9] www-ensps.u-strasbg.fr/CoursEN/option3A/vhdlamsb.htm.
- [10] Y. Kebbati, “Développement d’une Méthodologie de Conception Matériel à Base de Modules Génériques VHDL/VHDL-AMS en Vue d’une Intégration de Systèmes de Commande Electriques”, *Thèse de doctorat, Ecole Doctorale Sciences Pour l’Ingénieur, Université Luis Pasteur Strasbourg, Décembre 2002.*
- [11] H. Shichman, D.A. Hodges, “Modeling and Simulation of Insulated-Gate Field-Effect Transistor Switching Circuits”, *IEEE Journal Solid-State Circuits, Volume: 3 Issue: 3 , Sep 1968, page(s):285 .289.*
- [12] D. P. Foty, “MOSFET modeling with SPICE, Principe and Practice”, *653 pages, Prentice Hall PTR, New Jersey, USA, 1997.*

- [13] S. Latreche, “Le Transistor Métal-Oxide-Semiconducteur a Canal Vertical en Régime Non Linéaire d’Amplification Haute fréquence de Puissance”, *Thèse de doctorat 3^{ème} cycle, Université de Paul Sabatier Toulouse, 1985.*
- [14] K. Kassmi, “Transistor Vdmos pour Amplification de Puissance en Bande UHF”, *Thèse de doctorat, Université Paul Sabatier de Toulouse, 1993.*
- [15] B. J. BALIGA, M. S. ADLER, R. P. LOVE, P. V. GRAY, and M. D.ZOMMER “The Insulated Gate Transistor, a New Three-Terminal- MOS-controlled Bipolar Power Device”, *IEEE Trans. Electron Devices, vol. ED-31, pp. 821-828, 1984.*
- [16] J. P. RUSSEL and al. “The COMFET- A New High Conductance MOS Gated Device”, *IEEE Electron Device Lett, vol EDL-4, pp.63-65, Mar. 1983.*
- [17] R. Neale, “The Lastest IGBTs set to Seriously Damage the Health of GTOs”, *Electronic Engineering; pp 31-34, December 1995.*
- [18] H. Yilmaz, K. Omyang, M. Chang, J. Benjamin and R. Van Dell “Recent Advances in Insulated Gate Bipolar Transistor Technology”, *IEEE Trans on Industry Applications, Vol 26 No5, pp 831-834, Sep/Oct 1990.*
- [19] J.P Charte “Eléments de Physique sur le Composant de Puissance IGBT”, *Séminaire technique SEE sur le composant IGBT, 22 sept 1989.*
- [20] B. K. BOSE “Evaluation of Modern Power Semiconductor Devices and Future Trends of Converters”, *IEEE Trans on Industry Application, Vol 28 n° 2, pp 403-414, march/april 1992,*
- [21] O. Elmazria, “Caractérisation et Simulation de l'IGBT Dans le But d'Optimiser Ses Performances au Moyen d'Irradiation par Electrons ”, *Thèse de doctorat, Ecole Doctorale: Promen, Université de Metz et Supelec, Académie de Nancy-Metz, 15 novembre 1996.*
- [22] Y. A. Chapuis, “Contrôle Directe du Couple d’une Machine Asynchrone par l’Orientation de son Flux Statorique”, *Thèse de doctorat, Institut National Polytechnique de Grenoble, Janvier 1996.*
- [23] F. Zidani, M. S. N. Said, “Etude Comparative par Simulation Numérique des Performances d’un Pilotage Vectoriel et Scalaire d’une Machine à Induction”, *Proceeding of the IEEA '97, vol. Electronical Engineering, pp. 323-327, Decembre 1997.*
- [24] G. Séguier, “L’électronique de Puissance : les Fonctions de Base et leurs Principales Applications”, *5^e édition , Edition Dunod, Paris, 1985.*
- [25] P. Lautier, “Modélisation des Convertisseurs à Découpage pour la Conception et la Commande : Application à l’Onduleur”, *Thèse de doctorat, , Institut National des Sciences Appliquées de Lyon, N° 98 ISAL 0001, 1998.*

- [26] J. M. Retif, “Commande des Systèmes Electrotechniques”, *Rapport de synthèse, Institut National des Sciences Appliquées de Lyon*, 2000.
- [27] A. Komiakpé, “Modélisation et Mise en Oeuvre de l’IGBT dans un Onduleur de Moyenne Puissance “”, *thèse de doctorat, Institut National Polytechnique de Lorraine I.N.P.L, Génie Electrique*, 1996.

Annexe A

ANNEXE. A

MODEL IRF150 NMOS

(Level=3 Gamma=0 Delta=0 Eta=0 Theta=0 Kappa=0 Vmax=0 Xj=0
 +Tox=100n Uo=600 Phi=.6 Rs=1.624m Kp=20.53u W=.3L=2uVto=2.831
 +Rd=1.031m Rds=444.4K Cbd=3.229n Pb=.8 Mj=.5 Fc=.5 Cgso=9.027n
 +Cgdo=1.679n Rg=13.89 Is=194E-18 N=1 Tt=288n)
 *Int'l Rectifierpid=IRFC150 case=TO3
 *88-08-25 bam creation

MODEL IXGH40N60 NIGBT

+ TAU=287.56E-9
 + KP=50.034
 + AREA=37.500E-6
 + AGD=18.750E-6
 + VT=4.1822
 + KF=.36047
 + CGS=31.942E-9
 + COXD=53.188E-9
 + VTD=2.6570

MODEL IGBT IRG4RC10K

cgso => 2.11227e-6,
 kp => 0.580427,
 lambda => 0.0,
 l => 100.0e-6,
 vto => 6.5,
 w => 100.0e-6)
 bf => 7.20054,
 br => 0.999923,
 cjc => 1.94801e-10,
 cje => 3.89602e-9,
 eg => 0.5,
 ikf => 36.2174,
 ikr => 1000.0,
 irb => 1006.78,
 is0 => 3.03107e-16,
 isc => 9.99996e-12,
 ise => 4.051e-11,
 mjc => 0.526487,
 mje => 0.9,
 nc => 1.99997,
 ne => 2.12269,
 nf => 1.5,
 nr => 0.97982,
 rb => 0.0001,

rbm => 0.0001,
rc => 0.00100411,
re => 0.000994796,
tf => 3.1632e-07,
vaf => 161.933,
var => 104.518,
vjc => 0.4,
vje => 0.4,
xtb => 0.0615215,
xti => 2.95886)

Annexe B

ANNEXE. B

Le Contrôle Direct du Couple

Le principe à été validé au chapitre III paragraphe II.

I. CONTROLE DU VECTEUR FLUX STATORIQUE

On utilisera alors la formulation en équation d'état d'un système linéaire continu à coefficients constants dont le référentiel est lié au stator (S).

$$\text{L'équation d'état est donnée par : } \frac{d\mathbf{X}(t)}{dt} = \mathbf{A} \mathbf{X}(t) + \mathbf{B} u(t) \quad (\text{B.1})$$

A partir de cette expression en intégrant l'équation de tension statorique :

$$\int_0^t d\mathbf{j}_s = \int_0^t (\mathbf{V}_s - R_s \mathbf{I}_s) dt \quad (\text{B.2})$$

Lorsque t varie dans l'intervalle de contrôle $[0, T_e]$, ou le vecteur tension sélectionné par la commande est constant .

d'où :

$$\mathbf{j}_s(t) = \mathbf{j}_s(0) + \mathbf{V}_s t - \int_0^t (R_s \mathbf{I}_s) dt \quad (\text{B.3})$$

Par hypothèse on considère la résistance statorique R_s comme constante au cours du temps.

* Pour simplifier l'étude, on considère la chute de tension dans l'enroulement statorique $R_s \mathbf{I}_s$ comme négligeable devant la tension \mathbf{V}_s (se qui se vérifie à la vitesse suffisamment élevée).

On constate alors que sur un intervalle $[0, T_e]$; l'extrémité du vecteur \mathbf{j}_s se déplace sur une droite dont la direction est donnée par le vecteur \mathbf{V}_s sélectionné pendant T_e . figure B.1

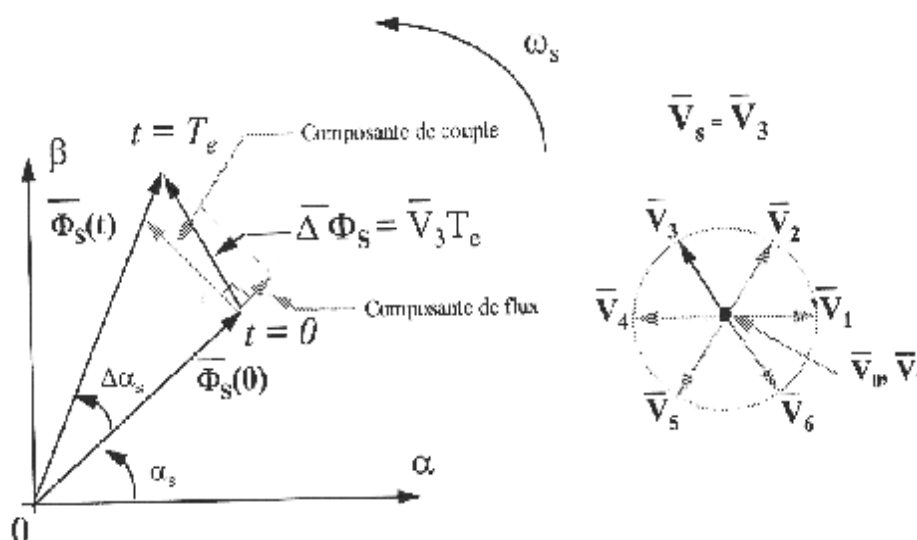


Figure B.1: Exemple de l'évolution de l'extrémité de \mathbf{j}_s pour $R_s \mathbf{I}_s$ négligeable.

- La composante de flux: c'est la composante radiale du vecteur tension fait varier l'amplitude de \mathbf{j}_s .
- La composante de couple: c'est la composante tangentielle du vecteur tension fait varier la position \mathbf{j}_s .

En choisissant une séquence adéquate des vecteurs \mathbf{V}_S , sur les périodes de commande T_e , il est donc possible de fonctionner avec un module de flux j_s pratiquement constant en faisant suivre à l'extrémité de j_s une trajectoire presque circulaire, *si la période T_e est très faible devant la période de rotation du flux statorique.*

Lorsque le vecteur tension \mathbf{V}_S sélectionné est nul, la direction du déplacement de l'extrémité de j_s est donnée par sa dérivée $\frac{dj_s}{dt}$, correspondant à la force électromotrice \mathbf{E}_S .

Supposant le terme $R_S \cdot \mathbf{I}_S$ comme négligeable, on montre que le vecteur $\frac{dj_s}{dt}$ est pratiquement égal au vecteur tension ($\mathbf{V}_S \# \frac{dj_s}{dt}$), la vitesse de déplacement de l'extrémité du flux j_s est donnée par l'amplitude de la dérivée du vecteur flux, qui est égal à $\sqrt{\frac{2}{3}} U_0$.

Par conséquent, l'extrémité du flux statorique suit la direction donnée par la force électromotrice $\frac{dj_s}{dt}$, on représente trois directions possibles de ce vecteur flux j_s .

La vitesse de rotation de j_s dépend fortement de choix de \mathbf{V}_S , elle est maximal si la force électromotrice $\frac{dj_s}{dt}$ est perpendiculaire à la direction du vecteur j_s .

II. DESCRIPTION DE LA STRUCTURE DE CONTROLE

II.1. Sélection du vecteur tension \mathbf{V}_S

Le choix du vecteur tension \mathbf{V}_S dépend de la position de j_s dans le référentiel (S), de sens de rotation de j_s , de la variation souhaitée pour le module de j_s , et également de l'évolution souhaitée pour le couple électromagnétique.

L'extrémité du flux j_s peut être contrôlée et déplacée de manière à maintenir l'amplitude du vecteur flux à l'intérieur d'une certaine fourchette (bande).

L'espace d'évolution de j_s dans (S) est décomposé en six zones i , avec $i = [1,6]$; telle que représentées sur la figure B.2.

Lorsque le vecteur flux j_s se trouve dans une zone i , le contrôle du flux et du couple peut être assuré en sélectionnant l'un des huit vecteurs tensions suivants :

- *Si \mathbf{V}_{i+1} est sélectionné alors j_s croît et Γ_{elm} croît .
- *Si \mathbf{V}_{i-1} est sélectionné alors j_s croît et Γ_{elm} décroît .
- *Si \mathbf{V}_{i+2} est sélectionné alors j_s décroît et Γ_{elm} croît .
- *Si \mathbf{V}_{i-2} est sélectionné alors j_s décroît et Γ_{elm} décroît .
- *Si \mathbf{V}_0 et \mathbf{V}_7 sont sélectionné alors la rotation du flux j_s est arrêtée ,d'ou une décroissance du couple alors que le module du vecteur j_s reste inchangé .

Quel que soit le sens d'évolution du couple ou du flux, dans une zone de position $N = i$, les deux vecteurs tensions \mathbf{V}_i et \mathbf{V}_{i+3} ne sont jamais utilisés .

Ce qui signifie que lors du déplacement du flux j_s sur une zone $N = i$, un bras de l'onduleur ne commute jamais.

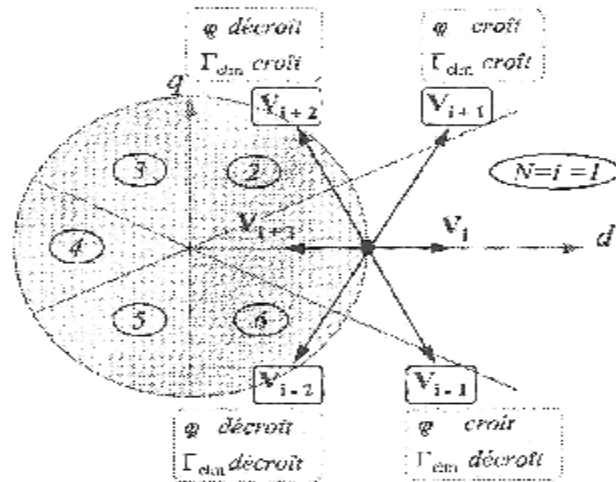


Figure B.2: Sélection du vecteur tension selon $N=i$.

Le niveau d'efficacité des vecteurs tensions appliqués dépend également de la position du vecteur flux de la zone i .

En effet en début de la zone, les vecteurs V_{i+1} et V_{i-2} , sont perpendiculaires à j_s d'où une évolution rapide du couple mais une évolution lente de l'amplitude du flux j_s , alors qu'en fin de zone, l'évolution est inverse. Avec les vecteurs V_{i-1} et V_{i+2} , il correspond une évolution lente du couple et rapide de l'amplitude de j_s en début de zone, alors qu'en fin de zone c'est le contraire.

II.2. Estimation du flux statorique

On définit les étapes de calcul nécessaires à l'estimation de l'amplitude du flux statorique.

A partir de l'expression ((3.6) chapitre III) on établira la décomposition du vecteur flux j_s , suivant les axes (α, β) , soit :

$$j_s = j_{s\alpha} + j \cdot j_{s\beta} \quad (\text{B.4})$$

$$j_{s\alpha} = \int_0^t (V_{s\alpha} - R_s \cdot I_{s\alpha}) dt \quad (\text{B.5})$$

$$j_{s\beta} = \int_0^t (V_{s\beta} - R_s \cdot I_{s\beta}) dt \quad (\text{B.6})$$

Côté expérimental l'estimation du flux peut être réalisée à partir des mesures des grandeurs statoriques courants et de la tension de la machine.

On obtient les tensions $V_{s\alpha}$ et $V_{s\beta}$ à partir des commandes (S_a, S_b, S_c) , de la mesure de la tension U_0 et en appliquant la transformée de CONCORDIA :

$$V_s = V_{s\alpha} + j \cdot V_{s\beta} \quad (\text{B.7})$$

$$V_{s\alpha} = \sqrt{\frac{2}{3}} \cdot U_0 \cdot (S_a - \frac{1}{2}(S_b + S_c)) \quad (\text{B.8})$$

$$V_{s\beta} = \frac{1}{\sqrt{2}} \cdot U_0 \cdot (S_b - S_c) \quad (\text{B.9})$$

De même les courants $I_{s\alpha}$ et $I_{s\beta}$ sont également obtenus par la transformation de CONCORDIA, à partir des courants i_{sa} , i_{sb} et i_{sc} mesurés, soit :

$$I_s = I_{s\alpha} + j \cdot I_{s\beta} \quad (\text{B.10})$$

$$I_{s\alpha} = \sqrt{\frac{2}{3}} \cdot i_{sa} \quad \text{et} \quad I_{s\beta} = \frac{1}{\sqrt{2}} \cdot (i_{sb} - i_{sc}) \quad (\text{B.11})$$

Le module du flux statorique s'écrit :

$$j_s = \sqrt{j_{sa}^2 + j_{sb}^2} \quad (\text{B.12})$$

II.3. Elaboration du correcteur de flux

De manière à obtenir de très bonnes performances dynamiques, le choix d'un correcteur à hystérésis à deux niveaux semble être la solution la plus simple et la mieux adaptée à la commande étudiée. En effet, avec ce type de contrôleur, on peut facilement contrôler et maintenir l'extrémité du vecteur flux φ_s dans une couronne circulaire, comme le montre la figure B.3 (a).

La sortie du correcteur de flux, donnée par la grandeur booléenne $cflix$, indique les dépassement supérieur et inférieur de l'amplitude du flux, comme le montre la figure B.3 (b).

Ainsi, le comparateur à hystérésis à deux niveaux, appliqué sur le flux, permet de détecter les dépassement de la zone de contrôle et de respecter $|\varphi_{sref} - \varphi_s| \leq \Delta\varphi_s$, avec φ_{ref} la consigne de flux et $\Delta\varphi_s$ l'écart d'hystérésis du correcteur.

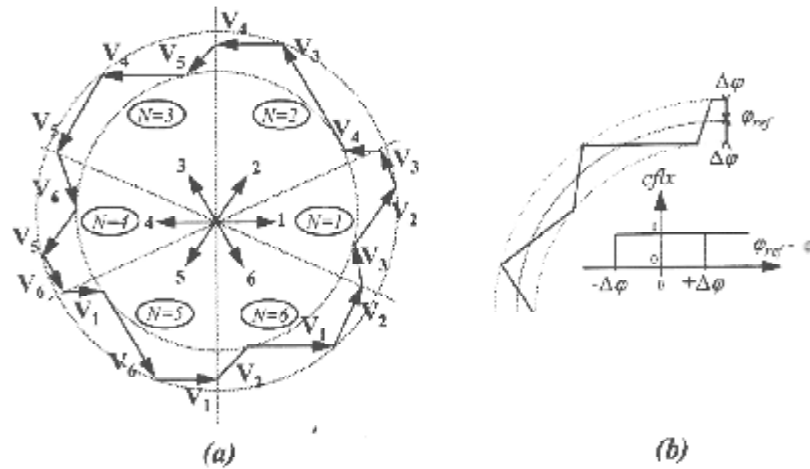


Figure B.3: (a) Sélection des tensions V_s correspondant au contrôle de l'amplitude φ_s .
(b) Contrôleur à hystérésis à deux niveaux.

II.4. Estimation du couple électromagnétique

L'expression générale du couple électromagnétique qui est la suivant :

$$\Gamma_{elm} = Pp. L_m [\mathbf{I}_R(s) \wedge \mathbf{I}_S(s)] \quad (\text{B.13})$$

Permet d'estimer le couple Γ_{elm} , uniquement à partir des grandeurs statoriques flux et courant. A partir des composantes α et β des grandeurs flux et courant, le couple peut se mettre sous la forme :

$$\Gamma_{elm} = Pp. [\varphi_{s\alpha} \cdot I_{s\beta} - \varphi_{s\beta} \cdot I_{s\alpha}] \quad (\text{B.14})$$

II.5. Elaboration du contrôleur de couple

Dans l'étude du contrôleur, appliqué au couple, deux types de comparateur à hystérésis peuvent être envisagé pour obtenir la dynamique souhaitée sur le couple soit :

- un correcteur à action à trois positions .
- un correcteur à action à deux positions .

l'état de sortie logique $ccpl$ du comparateur suivant l'évolution du couple électromagnétique Γ_{elm} par rapport au signe du couple de référence Γ_{ref} .

l'utilisation de structure de commande, pour des applications de type traction, permet de choisir un comparateur à hystérésis à deux niveaux, pour le correcteur de couple. En effet, dans ce cas, seuls deux quadrants sont utilisés à la fois.

La grande simplicité de l'implantation de cet outil de contrôle est également un élément important dans le choix du comparateur à deux niveaux. De plus, les considérations énergétiques sur le convertisseur imposent un nombre restreint de communications. Or, pour une même largeur d'hystérésis de contrôle, le comparateur à deux niveaux nécessitera un nombre moins élevé de communications.

II.6. Table de vérité et structure du contrôle direct du couple

II.6.1. ELABORATION DE LA TABLE DE VERITE

La table de commande est construite en fonction de l'état des variables $cflx$ et $ccpl$, et la zone N de position de j_s . Elle se présente donc sous la forme suivante :

N		1	2	3	4	5	6	Correcteur	
cflx = 1	ccpl = 1	V ₂	V ₃	V ₄	V ₅	V ₆	V ₁	2 niveaux	
	ccpl = 0	V ₇	V ₀	V ₇	V ₀	V ₇	V ₀		
	ccpl = -1	V ₆	V ₁	V ₂	V ₃	V ₄	V ₅	3 niveaux	
cflx = 0	ccpl = 1	V ₃	V ₄	V ₅	V ₆	V ₁	V ₂	2 niveaux	
	ccpl = 0	V ₀	V ₇	V ₀	V ₇	V ₀	V ₇		
	ccpl = -1	V ₅	V ₆	V ₁	V ₂	V ₃	V ₄	3 niveaux	

Tableau B.1: Table de commande.

En sélectionnant l'un des deux vecteurs nuls V_0 ou V_7 , la rotation du flux j_s est arrêtée et entraîne une décroissance du couple Γ_{elm} . On choisit alternativement V_0 et V_7 de manière à minimiser le nombre de commutation de l'onduleur.

II.6.2. STRUCTURE GENERALE DU CONTROLE DIRECT DU COUPLE

La structure complète de la commande, pour un sens de rotation donné de j_s , est représentée sur la figure B.4. la table de vérité de la structure est représentée dans le cas d'un correcteur à hystérésis à deux niveaux, pour la correction du couple.

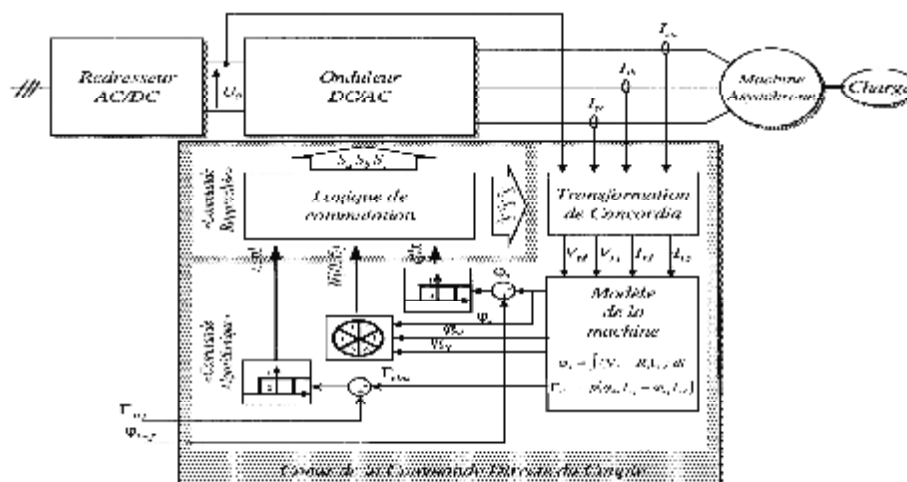


Figure B.4 : Schéma de la structure générale du Contrôle Direct du Couple.

Annexe C

ANNEXE. C

Paramètres du modèle moyen d'onduleur de tension

Caractéristiques de l'IGBT : ces paramètres sont obtenus d'un relevé expérimental (*CGELY*) sur le module de *Mitsubishi* le CM150DY-12H, 150A/600V.

- ∅ Courant de saturation du modèle logarithmique de l'IGBT : $I_{ST} : 353 \mu\text{A}$
- ∅ Tension de seuil du modèle logarithmique de l'IGBT : $U_{TT} : 139 \text{ mV}$
- ∅ Résistance série du modèle logarithmique de l'IGBT : $R_T : 477 \mu\Omega$
- ∅ Retard virtuel pour le courant dans l'IGBT : $\delta_{T,I} : 0.4 \mu\text{s}$
- ∅ Retard virtuel pour la tension aux bornes de l'IGBT : $\delta_{T,V} : 0.13 \mu\text{s}$

Caractéristiques de la diode : ces paramètres sont obtenus d'un relevé expérimental (*CGELY*) sur le même module de *Mitsubishi* le CM150DY-12H,

- ∅ Courant de saturation du modèle logarithmique de la diode : $I_{SD} : 80.4 \mu\text{A}$
- ∅ Tension de seuil du modèle logarithmique de la diode : $U_{TD} : 180 \text{ mV}$
- ∅ Résistance série du modèle logarithmique de la diode : $R_D : 419 \mu\Omega$