

REPUBLIQUE ALGERIENNE DEMOCRATIQUE ET POPULAIRE
MINISTERE DE L'ENSEIGNEMENT SUPERIEUR
ET DE LA RECHERCHE SCIENTIFIQUE
UNIVERSITE MENTOURI - CONSTANTINE
FACULTE DES SCIENCES DE L'INGENIEUR
DEPARTEMENT D'ELECTRONIQUE

N° d'ordre : / Mag /2005
Série : / ELC /2005

MEMOIRE

*Présenté pour obtenir le diplôme de Magister
En Electronique*

OPTION

Semi-conducteurs

Par

Rachida BENSEGUENI

THEME

*Etude de composants MOS
à oxyde très mince par le logiciel ISE*

Devant le Jury :

<u>Président:</u>	Mme.	F. Hobar	Prof.	Univ. Constantine
<u>Rapporteur :</u>	Mme.	S. LATRECHE	Prof.	Univ. Constantine
<u>Examineur :</u>	Mme.	M. BENOAKTA	Prof.	Univ. Constantine
	Mr.	M. BOUCHEMAT	Prof.	Univ. Constantine

Soutenu le : 13/ 04/ 2005

Remerciements

Ce travail a été effectué au Laboratoire Hyperfréquences et semiconducteurs (L.H.S) de l'Université de Constantine sous la direction du professeur S. LATRECHE, qu'elle trouve ici l'expression de ma profonde reconnaissance pour la confiance qu'elle m'a témoigné en m'accueillant au sein de son équipe, pour m'avoir confié ce sujet, pour ses précieux conseils, ainsi que sa compréhension.

Mes vifs remerciements vont à Mme F. HOBAR, Professeur au département d'Electronique, Université de Constantine pour l'honneur qu'elle me fait d'accepter de présider le jury chargé d'examiner ce mémoire.

Je tiens à remercier Mme M. BENOAKTA, Professeur au département d'Electronique, Université de Constantine, qui m'a fait l'honneur d'accepter de juger mon travail.

Je remercie également Mr. M. BOUCHMAT, Professeur au département de d'Electronique, Université de Constantine, pour l'intérêt qu'il a bien voulu porter à ce travail en acceptant de le juger.

Mes sincères remerciements à tous les membres de ma promotion de magister chacun en son nom, à mes amies et mes collègues pour leurs encouragements et soutien dans la réalisation de ce travail.

Enfin je tiens à remercier l'ensemble des enseignants ayant contribué de près ou de loin à ma formation.

Sommaire

	Page
LISTE DES FIGURES	
INTRODUCTION GENERALE	1
 CHAPITRE I :	
<i>Phénomènes inhérents à l'évolution de la technologie CMOS</i>	
I INTRODUCTION	3
II STRUCTURE ET PRINCIPE DE FONCTIONNEMENT DE TMOS	3
III CARACTERISTIQUES ELECTRIQUES DE SORTIE	5
III-1 Mode linéaire	5
III-2 Mode saturé	6
III-3 Régime sous seuil	7
IV EVOLUTION DE LA TECHNOLOGIE CMOS	9
V CONTRAINTES POUR LES GENERATIOIS FUTURES	9
VI COURANTS DE FUITES DANS LE CAS DE GRILLE MINCE	13
VI-1 Conduction limitée par le volume du matériau	13
VI- 1-1 Effet Poole- Frenckel	13
VI- 1-1 Conduction par saut de porteurs(Hopping)	15
VI-2 Conduction limitée par l'interface	17
VI- 2-1 Emission Schottky	17
VI-2-2 Effet tunnel dans les oxydes minces	18
VII CONCLUSION	22
 CHAPITRE II :	
<i>Présentation du logiciel ISE-TCAD</i>	
I INTRODUCTION	23
II PRESENTATRION DE GENESISe	23
II-1 GENESISe : Organisation des projets de simulation	23

II-2	Création d'un projet sous GENESISe	24
II-3	Simulation d'un projet :	24
II-3-1	Construction d'une simulation	24
II-3-2	Spécification de simulation	25
II-4	Présentation de l'outil de simulation	26
II-4-1	Outil de simulation technologique DIOS	27
II-4-2	Outils de maillage MDRAW	28
II-4-3	Outil de simulation électrique DESSIS	29
II-4-4	Outils de visualisation	33
II-4-4-1	Tecplot-ISE	34
II-4-4-2	INSPECT : traçage et analyse	34
III	CONCLUSION	34

CHAPITRE III :

Processus de fabrication d'un TMOS submicronique

I	INTRODUCTION	35
II	ENCHAINEMENT DES ETAPES TECHNOLOGIQUES " n mos process "	35
II-1	Définition du substrat	34
II-2	La croissance LOCOS	37
II- 2-1	Définition des zones actives	37
II-2-2	Implantation iso bore	38
II-2-3	Oxydation localisée et formation des caissons rétrogrades	39
II-3	Dopage du canal	40
II-4	Formation de la grille	42
II-4-1-	Croissance de l'oxyde de grille et dépôt du polysilicium	42
II-4-2-	Définition de la grille	43
II-5	Formation drain/ source	44
II-5-1:	LDD du NMOS	44
II-5-2	Réalisation des espaceurs	45
II-5-3	Formation finale de la source et du drain	46
II-6	Interconnexions	47

II- 6-1	Isolation électrique	47
II-6-2	Ouverture des contacts	48
II-6-3	Métallisation	48
II-6-4	Gravure des contacts	49
III	CONCLUSION	50

CHAPITRE IV :

Analyse des effets de réduction des paramètres technologiques sur les caractéristiques électriques des TMOS

I	INTRODUCTION	51
II	CARACTERISTIQUE DE SORTIE COURANT-TENSION	51
II-1	Effet du dopage du canal	51
II-2	Réduction de la longueur du canal	54
II-3	Influence de l'épaisseur de l'oxyde	57
III	OPTIMISATION DE LA TENSION DE SEUIL DU TMOS	61
III-1	Effet de l'épaisseur de l'oxyde sur V_T	61
III-2	Effet de la dose d'implantation du canal	62
III-3	Effet de la longueur du canal	64
IV	COURANTS DE FUITES A TRAVERS LA GRILLE	65
IV-1	Influence de l'épaisseur de l'oxyde	65
IV-2	Influence de la longueur du canal	67
V	CONCLUSION	68
	CONCLUSION GENERALE	69

Liste des figures

		Page
I-1	Structure d'un TMOS	3
I-2	Mode de fonctionnement d'un transistor MOS	4
I-3-a	Zone active du transistor MOSFET	5
I-3-b	Caractéristiques de sortie des différents types de MOS	8
I-4	Evolution espérée des principales caractéristiques des TMOS	11
I-5	Schéma caractéristique de l'effet Poole - frenckel	14
I-6	Schéma caractéristique de l'effet Poole	15
I-7	Diagramme de bande représentant des états occupés ou vide près du niveau de fermi	16
I-8	Modification de la position énergétique du site accepteur provoquée par un champ électrique E	17
I-9	Injection d'électrons à travers l'oxyde par conduction thermoionique.	17
I-10	Barrière vue par les électrons lorsqu'ils traversent un milieu isolant.	19
I-11	Longueur effective de la barrière vue par les électrons lorsqu'ils traversent un milieu isolant par effet Fowler- Nordheim.	20
I-12	Les processus typiques de conduction en film diélectrique mince.	22
II-1	Création d'un projet sous GENESISe	24
II-2	Construction d'une simulation	25
II-3	Présentation d'une simulation complète (process et électrique)	26
II-4	Extrait d'une étape d'oxydation du fichier dio.cmd	27
II-5	Présentation de l'outil de maillage MDRAW	28
II-6	Différentes sections d'un fichier d'entrée de DESSIS	29
III-1	Définition du substrat	36
III-1-c	Profil de dopage du substrat	36
III-2	Schéma d'un "bec d'oiseau"	37

III-2-1	Définition des zones actives	37
III-2-2-1	Implantation iso-bore	38
III-2-2-2	Profils de dopage pour différentes doses d'implantation du Bore	39
III-2-3	Oxydation localisée et formation des caissons rétrogrades	40
III-3-1	Dopage du canal	40
III-3-2	Profils de dopage pour différentes doses d'implantation du Bore	41
III-4-1	Croissance de l'oxyde de grille	42
III-4-1-C	Profil de dopage du polysilicium de la grille	43
III-4-2	Définition de la grille	43
III-5-1	LDD du NMOS	44
III-5-1-2	Profil de dopage du LDD du NMOS	44
III-5-1-3	Structure LDD MOS	45
III-5-1-4	Zone de charge d'espace dans (a) un MOS et (b) un LDD MOS	45
III-5-2	Réalisation des espaceurs	46
III-5-3-1	Formation du drain/ source	46
III-5-3-2	Profil du dopage du drain /source	47
III-6-1	Isolation électrique	48
III-6-2	Ouverture des contacts	48
III-6-3	Métallisation	49
III-6-4	Gravure des contacts	49
IV-1	Caractéristiques $I_D(V_D)$ paramétrées par la dose(dopage du canal) : $L=0.35\mu\text{m}, T_{\text{ox}}=3\text{nm}, V_g=\{ 0, 1.0, 1.5, 1.8, 2.0\text{V} \}$	52
IV-2	Caractéristiques $I_D(V_G)$ paramétrées par la dose(dopage du canal) : $L=0.35\mu\text{m}, T_{\text{ox}}=3\text{nm}, V_D=\{ 0.1, 0.5, 1.0, 1.5, 2.0\text{V} \}$	53
IV-a	Evolution de la transconductance en fonction du dopage du canal	54
IV-3	Caractéristiques $I_D(V_D)$ paramétrer par L (longueur du canal) : $T_{\text{ox}}=3\text{nm}, V_g=\{ 0, 1.0, 1.5, 1.8, 2.0\text{V} \}$	55
IV-4	Caractéristiques $I_D(V_G)$ paramétrer par L (longueur du canal) : $T_{\text{ox}}=3\text{nm}, V_D=\{ 0.1, 0.5, 1.0, 1.5, 2.0\text{V} \}$	56
IV-5	Caractéristiques $I_D(V_D)$ paramétrer par T_{ox} : $L= 0.35\mu\text{m}, V_g=\{ 0.0, 1.0, 1.5, 1.8, 2.0\text{V} \}$	58
IV-6	Caractéristiques $I_D(V_G)$ paramétrer par T_{ox} (capacité d'oxyde) : $L= 0.35\mu\text{m}, V_D=\{ 0.1, 0.5, 1.0, 1.5, 2.0\text{V} \}$	59

IV-b	Evolution de la transconductance en fonction de l'épaisseur d'oxyde	61
IV-7	Evolution de la tension de seuil en fonction de l'épaisseur d'oxyde de	62
IV-8	Evolution de la tension de seuil en fonction du dopage du canal	63
IV-9	Evolution de la tension de seuil en fonction de la longueur du canal	64
IV-10-a	Variation de l'épaisseur d'oxyde en fonction du temps d'oxydation	65
IV-10-b	Evolution du courant de grille I_g en fonction de l'épaisseur d'oxyde	66
IV-11	Evolution du courant de grille I_g en fonction de la longueur du canal	67

Introduction générale

Le développement de la microélectronique durant ces 30 dernières années est de plus en plus spectaculaire. Ce succès résulte en grande partie d'un savoir-faire et d'une maîtrise technologique de plus en plus poussés alliée à l'aide indispensable qu'offre les logiciels de simulations.

Le transistor MOS (Metal Oxyde Semiconducteur) est à la fois le principal acteur et le vecteur de cette évolution technologique. Il est à la base de la conception des circuits intégrés à très large et ultra large échelle (VLSI-ULSI), et a mené la technologie CMOS (Complementary MOS) au rang incontesté de technologie dominante de l'industrie du semi-conducteur.

Au fil des années, la complexité des circuits intégrés a augmenté de façon continue, principalement grâce aux performances accrues des nouvelles générations de transistors MOS(TMOS). La réduction constante des dimensions de ces composants est le moteur de cette course à la performance. En fait, c'est cette volonté de toujours réduire la taille des transistors MOS qui a entraîné toute l'industrie du semi-conducteur à se surpasser et à se projeter en performance dans le futur.

La réduction des dimensions des transistors MOS s'accompagne de la réduction de l'épaisseur d'oxyde de grille, de manière à augmenter le couplage capacitif entre la grille et le canal et garder ainsi le contrôle de la couche d'inversion. Or, l'épaisseur des oxydes de grille actuels correspond à quelques couches atomiques seulement, ce qui se traduit par l'apparition d'un courant de fuite important, mettant en péril les futures générations 0,1 μ m et au-delà.

Notre travail s'attache à l'étude des composants de type (métal /oxyde/ semiconducteur) MOS, et concerne plus particulièrement celle des TMOS fortement submicroniques c'est à dire à oxyde de grille très mince (<50 Å). A travers cette étude nous allons montrer les différents phénomènes engendrés lors de la miniaturisation de ces composants.

L'outil de notre travail est le logiciel ISE(Integrated Systems Engineering) que le laboratoire hyperfréquence et semiconducteur (L.H.S) vient d'acquérir.

Notre mémoire est structuré comme suit :

Nous rappelons, dans le premier chapitre la structure et le principe de fonctionnement du TMOS. Nous abordons notamment l'évolution de la technologie CMOS et les limites pour les générations futures des TMOS. Puis nous proposons une synthèse des courants de fuites présents dans le cas de grille mince.

Le second chapitre est consacré à la présentation du logiciel ISE. Nous présentons en particulier le module " DIOS " qui permet de réaliser la conception technologique du composant, le module « MDRAW » qui génère le maillage ainsi que le module "DESSIS " qui permet d'effectuer les simulations électriques. La visualisation des résultats se fait par les modules " INSPECT " (1D) et " TECPLOT " (3D).

Le troisième chapitre présente brièvement les principales étapes technologiques permettant la réalisation du transistor MOS. Nous utilisons pour simuler ces étapes de fabrication, le module de conception technologique "DIOS". Tous les profils de dopage correspondants à chaque étape de fabrication sont visualisés en utilisant "TECPLOT".

Le but du chapitre quatre, est de simuler les différents phénomènes parasites engendrés lors de la réduction des dimensions du TMOS par "DESSIS". Nous nous intéressons plus particulièrement à ceux dus à la réduction de l'épaisseur d'oxyde et la longueur du canal. Les résultats de la simulation électrique sont tracés par le module "INSPECT".

Nous terminons notre travail par une conclusion générale.

I- INTRODUCTION :

Aujourd'hui le transistor MOS constitue, par sa simplicité de fabrication et ses petites dimensions, l'élément fondamental des circuits intégrés numériques à large échelle.

Le but de ce premier chapitre est de présenter la structure et le principe de fonctionnement du transistor MOSFET, ainsi qu'une information sur les phénomènes inhérents à l'évolution de la technologie CMOS, et les contraintes pour les générations futures.

II- STRUCTURE ET PRINCIPE DE FONCTIONNEMENT DE TMOS :

Le transistor MOSFET (Métal Oxyde Semiconducteur Fieled effect Transistor) est un dispositif unipolaire, le courant n'est assuré que par un seul type de porteur : électron pour les NMOS, trous pour les PMOS.

La figure (I-1) schématise la structure d'un transistor MOSFET. Le principe de fonctionnement de cette structure repose sur le contrôle d'un courant qui passe entre deux électrodes (source / drain) au travers d'un étroit passage : le canal. Le contrôle de ce courant s'effectue grâce à un effet capacitif. Celui-ci permet de faire varier l'épaisseur du canal, en attirant ou en repoussant les charges électriques suivant une polarisation appliquée sur l'électrode de grille séparée du canal par un diélectrique de faible épaisseur [1].

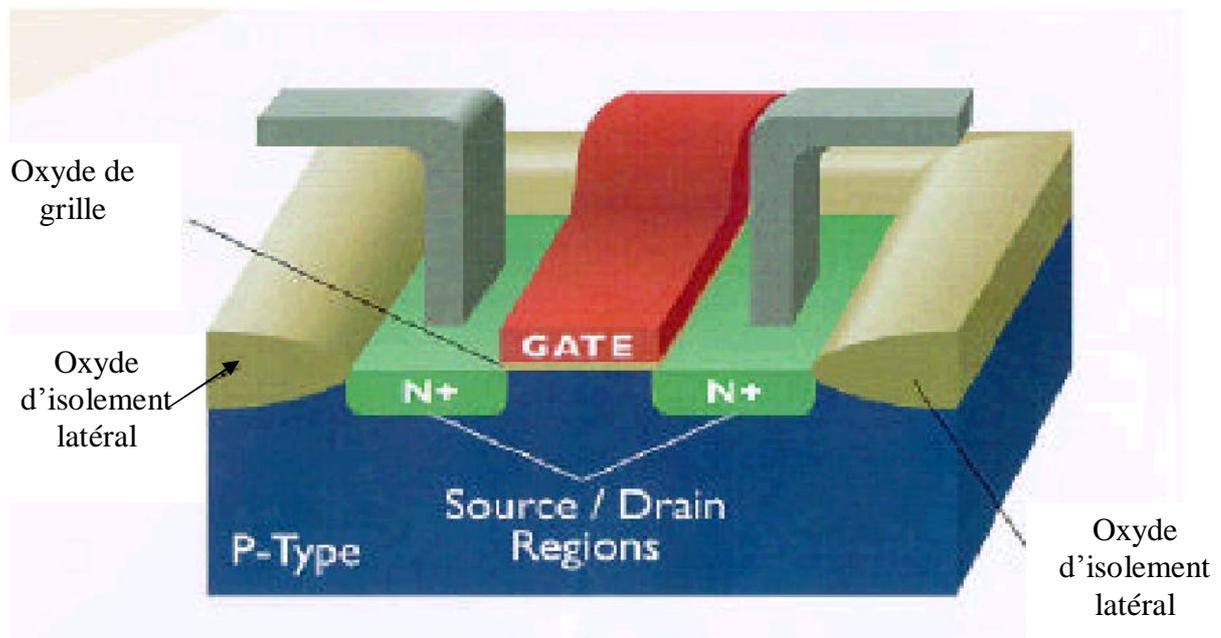


Figure I-1 : structure d'un TMOS

✎ Pour un TMOS idéal à enrichissement, si la tension de grille V_G est nulle, le transistor est équivalent à deux jonctions PN^+ . Aucun courant ne passe entre la source et le drain tant qu'il n'y a pas inversion du type du canal. L'application d'une tension positive sur la grille fait passer le transistor par ses différents régimes de fonctionnement à mesure que cette tension augmente : transistor bloqué, régime faible inversion et régime de forte inversion (figure I- 2)

En effet le transistor commence à conduire à partir du moment où la tension de grille est supérieure à la tension de 'bandes-plates' V_{FB} . Puisque l'inversion du canal s'amorce et celui-ci devient conducteur.

✎ Dès que la tension de grille dépasse la tension de seuil, le canal est en forte inversion. Cependant selon la valeur de la tension de drain, nous pouvons avoir trois modes de fonctionnement : [2] mode linéaire (figure I-2-b), zone de transition (figure I-2-c) et mode saturé (figure I-2-d)

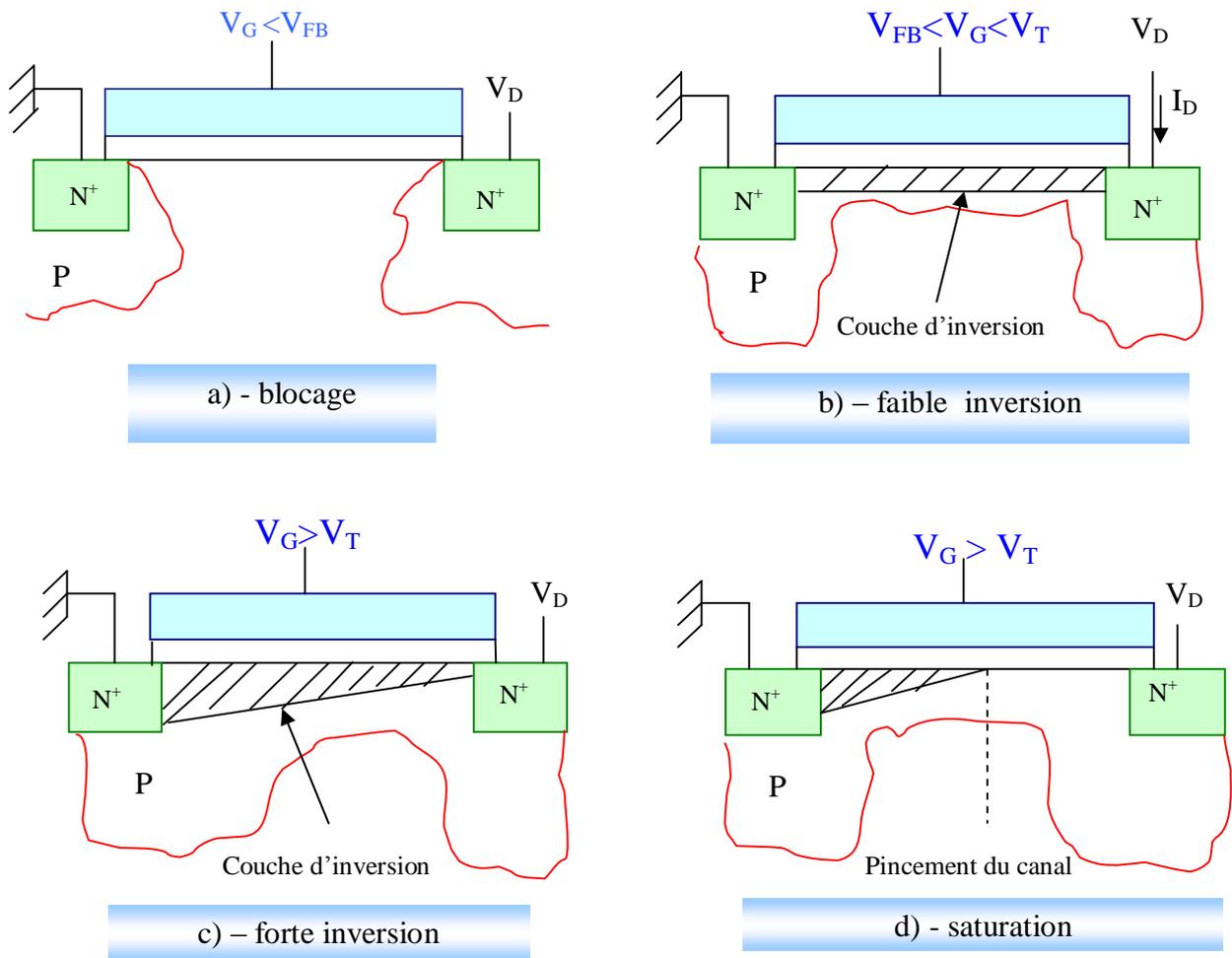


Figure I-2 : Modes de fonctionnement d'un transistor MOS[2]

III- CARACTERISTIQUES ELECTRIQUES DE SORTIE :

Nous rappelons les équations de base du TMOS, pour le fonctionnement en mode linéaire et en mode saturé, ainsi que son comportement électrique sous le seuil. nous considérons le cas du transistor à canal N, sachant que les relations établies restent valables à un signe près pour un dispositif à canal P.

III -1 Mode linéaire :

Le courant à travers le canal étant conservatif, on peut calculer I_{DS} en une abscisse y quelconque fig. (I-3.a) [3]

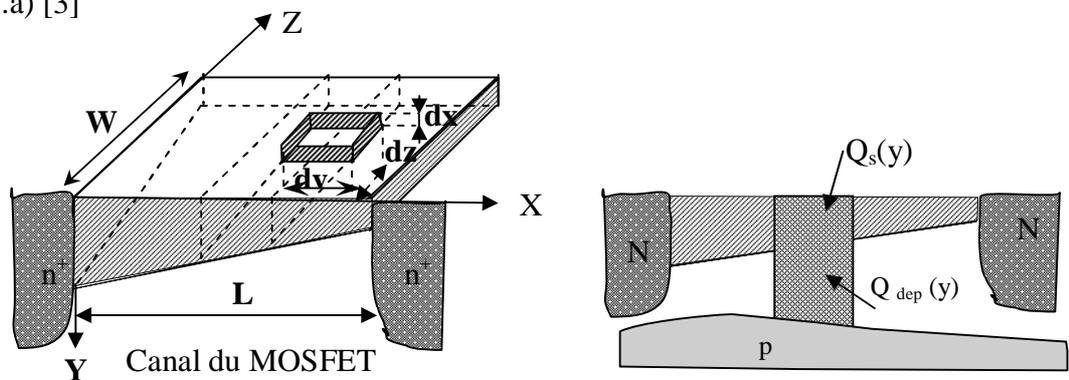


Figure I-3-a: Zone active du transistor MOSFET [3]

$$I_{DS} = \frac{W}{\partial y} \frac{\partial Q_n(y)}{\partial y} V(y) \tag{I-1}$$

$V(y)$ représente la vitesse de déplacement dans le canal de l'élément de charge $dQ_n(y)$. Par conséquent, en fonction de la mobilité μ_n des porteurs et du potentiel le long du canal V_{Gy} , on peut écrire :

$$V(y) = -\mu_n \frac{\partial (V_{Gy} - V_T)}{\partial y} \tag{I-2}$$

$$\frac{\partial Q_n(y)}{\partial y} = C_{ox} (V_{Gy} - V_T) \tag{I-3}$$

Avec :

V_T : tension de seuil

$C_{ox} = (\epsilon_0 \epsilon_{ox}/t_{ox})$: capacité d'oxyde par unité de surface

En substituant (I-2) et (I-3) dans (I-1) et en intégrant de la source ($y=0$, $V_{Gy}=V_G$) au drain ($y=L$, $V_G=V_D$), on aboutit à l'expression de I_D :

$$I_D = \frac{W}{L} m_n C_{ox} \left[(V_G - V_T) V_D - \frac{V_D^2}{2} \right] \quad \text{I-4}$$

□ envisageons le cas où V_D est très faible, l'expression (I-4) se réduit à :

$$I_D = \frac{W}{L} m_n C_{ox} (V_G - V_T) V_D \quad \text{I-5}$$

☞ La conduction du canal g_D est définie comme étant la pente de la caractéristique de $I_D(V_D)$ à V_G constante.[3]

$$g_D = \frac{\partial I_D}{\partial V_D} \approx \frac{W}{L} m_n C_{ox} (V_G - V_T - V_D) \quad \text{I-6}$$

Au voisinage de l'origine des coordonnées, on a ($V_D \ll V_G - V_T$) l'expression (I-6) se réduit à

$$g_D = \frac{\partial I_D}{\partial V_D} \approx \frac{W}{L} m_n C_{ox} (V_G - V_T) \quad \text{I-7}$$

☞ La transconductance g_m est définie comme étant la pente de la caractéristique $I_D(V_G)$ à V_D constante.[3]

$$g_m = \frac{\partial I_D}{\partial V_G} \approx \frac{W}{L} m_n C_{ox} V_D \quad \text{I-8}$$

III -2- Mode saturé :

Plaçons nous dans la limite du pincement ($V_D = V_{Dsat}$).

L'expression analytique de V_{Dsat} est obtenue à partir du maximum de I_D à une tension grille donnée.

L'expression (I-12) donne :

$$\frac{\partial I_D}{\partial V_D} \approx 0 \Leftrightarrow V_{Dsat} = (V_G - V_T) \quad \text{I-9}$$

le courant de saturation I_{Dsat} peut être obtenu en substituant (9) dans (4) :

$$I_{Dsat} = \frac{W}{2L} \frac{m_n C_{ox}}{L} (V_G - V_T)^2 \quad \text{I-10}$$

Pour un TMOS idéal, la conductance du canal est nulle dans la région de saturation et la transconductance peut être dérivée de (I-10) :

$$g_m = \frac{W}{L} \frac{m_n C_{ox}}{L} (V_G - V_T) \quad \text{I-11}$$

D'après (I-7) et (I-11) une caractéristique $I_D(V_D)$ définie par $(V_G - V_T)$ possède une conductance au voisinage des coordonnées égale à une transconductance en zone de pincement.

III -3- Régime sous seuil :

En générale les TMOS sont modélisés dans le domaine de la forte inversion. Or, il circule un courant sous le seuil qui caractérise le fonctionnement du transistor en faible inversion.

✚ La connaissance du courant en faible inversion prend toute son importance dans les circuits logiques MOS dynamiques, ou dans les mémoires. La mémoire est en effet constituée par la capacité de grille qui accumule ou non une charge q pour exprimer la présence de chacun des deux états binaires

✚ Ce courant a deux composantes qui s'ajoutent : courant de conduction et courant de diffusion de porteurs dans le canal :

$$I_D = A \left(qn m_n E(y) + q Dn \frac{\partial n}{\partial y} \right) \quad \text{I-12}$$

R.J Vanderstraeten [2] démontre qu'en régime de faible inversion, le courant est principalement dû à un courant de diffusion. En effet le potentiel étant quasiment constant le

long du canal, le terme $E(y)$ dans l'expression (I-12) est presque nul, il reste donc le terme représentatif du gradient de porteurs $\partial n/\partial y$.

Le courant de drain sous le seuil est donné par[2] :

$$I_D = \frac{q \cdot N \cdot dn \cdot \exp\left(\frac{-qY_B}{KT}\right)}{L} \left[1 - \exp\left(\frac{-qV_D}{KT}\right) \right] \exp\left[\frac{qY_s}{K}\right] \quad \text{I-13}$$

Les principales caractéristiques de sortie des différents types de MOS sont données sur la figure (I-3-b):

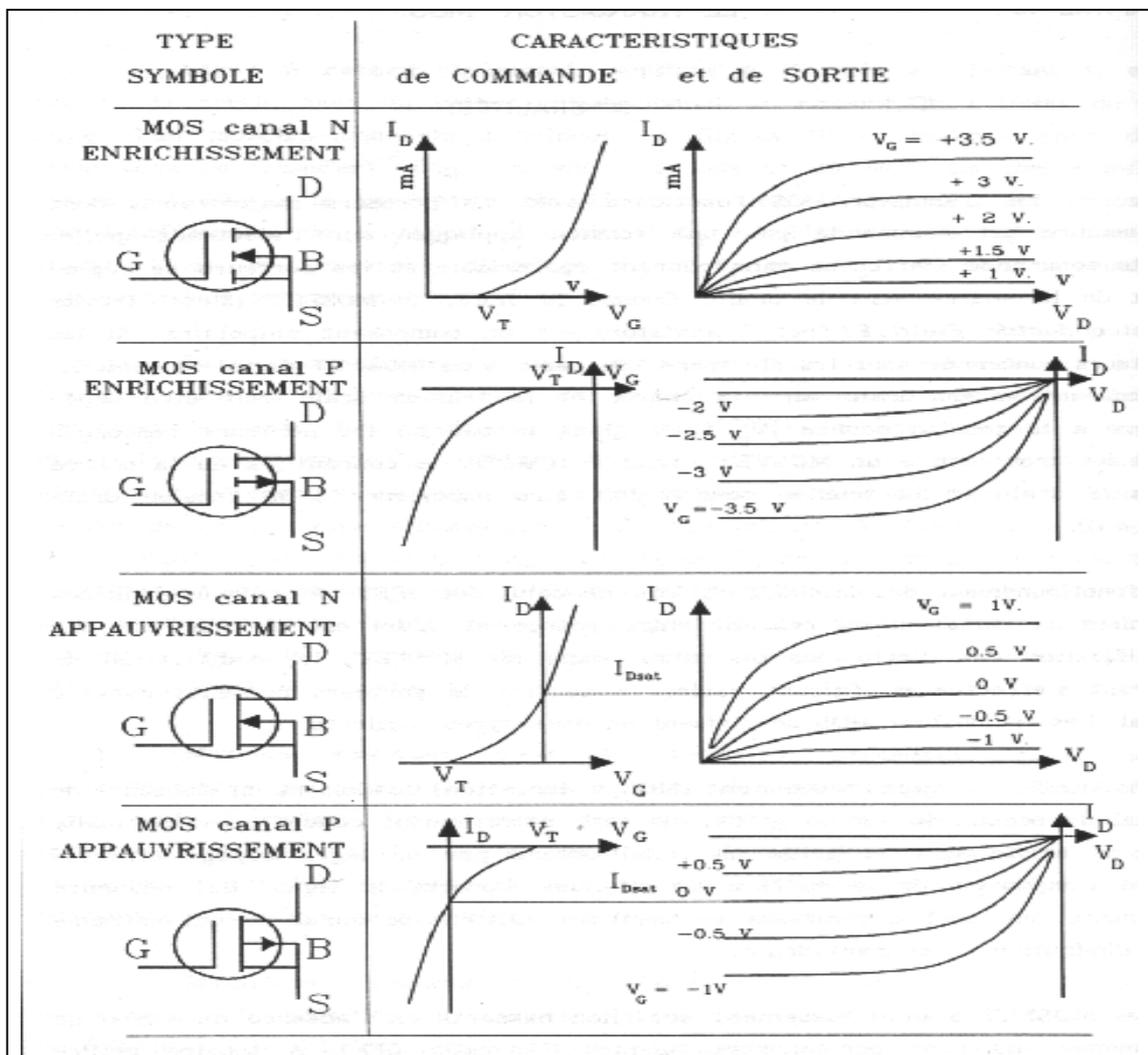


Figure I-3-b : Caractéristiques de sortie des différents types de MOS

IV- EVOLUTION DE LA TECHNOLOGIE CMOS :

En 1973, G. MOORE [4], l'un des co-fondateurs d'Intel avait observé que le nombre de transistors intégrés sur une même puce doublait tous les 18 mois. Cette observation l'avait alors conduit à prédire que le nombre de transistors intégrés sur une puce continuerait à doubler tous les 18 mois, jusqu'à ce que les limites physiques soient atteintes. La véracité de sa prédiction durant ces 30 dernières années a été telle que l'on s'y réfère maintenant en tant que " **Loi de Moore** ".

Aujourd'hui, des circuits intégrés (IC) comprenant plus de 40 millions de transistors sont produits de façon industrielle (microprocesseurs). La longueur de grille des CMOS utilisés pour ces dernières générations de microprocesseurs est égale à $0.13\mu\text{m}$ tandis que la surface de la puce varie de 80 à 150 mm^2 [4]. En fait, la diminution de la longueur de grille des dispositifs a deux avantages décisifs pour les fabricants : d'une part, à puissance égale, elle permet de réduire la surface de silicium de la puce, ce qui en termes de coût est bénéfique, et d'autre part, elle permet d'augmenter la fréquence des circuits, cette dernière étant inversement proportionnelle à la longueur de grille.

V- CONTRAINTES POUR LES GENERATIONS FUTURES :

A chaque nouvelle génération de transistor, la réalisation du défi lancé par la loi de "Moore" apparaît comme un casse-tête de plus en plus difficile à réaliser. Un compromis complexe entre la physique, la technologie et la rentabilité concentre ainsi toute l'attention des ingénieurs et des chercheurs. Des paramètres et contraintes souvent contradictoires, tels que la performance, la consommation et la fiabilité sont à prendre en compte [4]. Pour résumer, disons que le jeu consiste à augmenter les performances en diminuant les dimensions, sans trop augmenter la puissance dissipée à l'état bloqué du transistor.

Parier sur une croissance au rythme de la loi de Moore pour la décennie à venir relève du défi ambitieux. De plus, les architectures devenant très complexes, la conception, la fabrication et la vérification voient leurs coûts croître exponentiellement. Il est actuellement admis que la Loi de Moore sera encore valide pour les 10-12 ans à venir c'est à dire pour 3 à 4 générations de microprocesseurs. En effet, les projections industrielles pour le développement de la technologie

CMOS suggèrent que cette dernière soit proche des limites fondamentales de la physique. L'association de l'industrie du semi-conducteur : SIA (Semiconductor Industry Association), publie depuis 1998 < The International Technology Roadmap for Semiconductors, ITRS > qui est un guide de référence pour l'industrie mondiale du semi-conducteur [4] (voir Tableau I.1).

Selon l'édition 1999, malgré l'utilisation de nouveau matériel, il sera difficile de maintenir l'augmentation des performances électriques des composants au rythme de la loi de Moore. Il convient cependant de rappeler que les données du Tableau I.1 sont basées sur de simples projections des progrès passés. Ceci ne garantit pas forcément qu'un dispositif plus court pourra être fabriqué, ni qu'il présentera les mêmes performances.

Année	1999	2002	2005	2008	2011	2014
L_g (nm)	180	130	100	70	50	35
V_{dd} (V)	1.5- 1.8	1.2-1.5	0.9-1.2	0.6-0.9	0.5-0.6	0.3-0.6
V_{th} (V)	0.5	0.4	0.35	0.3	0.25	0.2
t_{ox} (nm)	1.9-2.5	1.5-1.9	1.0-1.5	0.8-1.2	0.6-0.8	0.5-0.6
N_a (cm ⁻³)	<10 ¹⁸	<10 ¹⁸	10 ¹⁸	10 ¹⁸	10 ¹⁸	10 ¹⁸
X_j (nm)	45-70	30-50	25-40	20-28	13-20	10-14
E (MV/cm)	<5	5	>5	>5	>5	>5
I_{on} (uA/um)	750/350	750/350	750/350	750/350	750/350	750/350
I_{off} (uA/um)	5	10	20	40	80	160
Φ du wafer	200	300	300	300	300	450

Tableau –I-1 : Prévission SIA de l'évolution de la technologie CMOS[4]

La Fig. (I-4) illustre graphiquement l'évolution espérée des principales caractéristiques des CMOS, à savoir, la longueur de grille (L_g), la tension d'alimentation (V_{dd}), l'épaisseur d'oxyde de grille (t_{ox}) et les profondeurs de jonctions des extensions de source et drain (X_j).

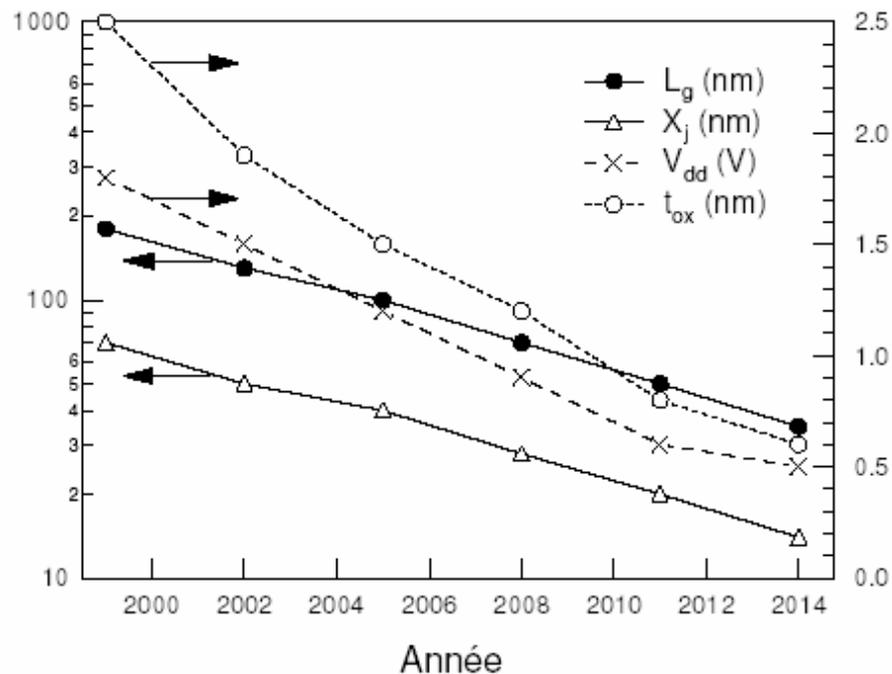


Figure I-4 : Evolution espérée des principales caractéristiques des TMOS[4]

Une première analyse de ces valeurs permet d'annoncer quelques possibles limitations et freins technologiques à la réduction d'échelle énoncée selon les critères de la SIA :

✚ La diminution de la longueur de grille en dessous de 50 nm semble difficile, compte tenu du contrôle nécessaire du courant de fuite à l'état bloqué du transistor.

✚ En raison de la réduction de la résistance du canal à l'état passant, il faut veiller à ce que les résistances source/drain, placées en série avec celle du canal, soient suffisamment faibles pour ne pas dégrader sérieusement les performances du composant. Cette contrainte impose donc de ne pas choisir des profondeurs de jonctions X_j trop faibles, et conduit à adopter un très fort dopage de source et de drain. Cela est cependant défavorable du point de vue des effets canaux courts car la réduction des profondeurs de jonctions source/drain permet en fait un meilleur contrôle de la charge du canal à l'état bloqué.

✚ La tension d'alimentation ne peut que difficilement être réduite en dessous de 0.6 V, en raison de la nécessité du maintien de la tension de seuil (V_{th}) à un niveau suffisant pour garantir des marges de bruit acceptables dans les circuits logiques.

✚ La réduction de l'épaisseur d'oxyde en dessous de 2 nm induit un important courant tunnel, or vu les épaisseurs annoncées (cf. Fig. 1-4) de sérieux problèmes risquent de se poser au niveau de la consommation statique. Il est admis que pour une tension d'alimentation de 1 V, la limite maximale admise pour le courant de fuite de grille est de l'ordre de 1 A/cm^2 , ce qui situe l'épaisseur minimale d'oxyde aux environs de 1.8 nm. Cependant, on sait que ces courants de fuite ne perturberont pas le fonctionnement élémentaire des transistors MOS de longueur de canal inférieure à $1 \mu\text{m}$, mais en revanche, augmenteront la puissance dissipée à l'état bloqué. Par ailleurs, il est clair également que la réduction des dimensions ne peut se faire sans réduire l'oxyde de grille, sous peine de ne plus parvenir à contrôler les effets canaux courts.

En résumé, comme nous l'avons précédemment mentionné, la loi de Moore continuera d'être valide pour les 3 ou 4 prochaines générations de microprocesseurs. Le maintien de l'augmentation exponentielle du nombre de transistors deviendra cependant extrêmement difficile et coûteux. Le problème du coût risque d'ailleurs de devenir plus important que celui des limitations technologiques, puisque ce dernier dicte les différents choix d'investissement en recherche et développement. Cependant, bien qu'il soit admis que la loi de Moore ne durera pas indéfiniment, le fait que les ordinateurs continuent à devenir de plus en plus rapides et puissants sera probablement vrai pour de nombreuses années encore. Ainsi, il reste encore un travail important pour faire progresser la technologie CMOS jusqu'à son apogée. Cet effort de recherche sera bien-entendu multidisciplinaire. Deux axes complémentaires, sont et continueront à être essentiels au bon développement du transistor MOS. L'axe amont concerne les concepteurs du dispositif lui-même, c'est-à-dire les technologues ; l'axe aval regroupe les personnes de la modélisation, au sens large. Ce second axe est tout aussi important que le premier ; en effet, la modélisation précise des transistors MOS est le point clé de la validité de toute simulation de circuits intégrés, et donc de la conception de tout circuit.

VI- COURANTS DE FUITES DANS LE CAS DE GRILLE MINCE :

Dans le cadre de ce mémoire, nous nous intéressons à des transistors MOS ultimes donc de faible épaisseur d'oxyde. Il est nécessaire de comprendre et de maîtriser alors les courants de fuite présents dans ce cas de figure.

La conduction électronique dans le cas de grille mince peut être régie principalement par les mécanismes suivants :

■ conduction limitée par le volume du matériau :

- ☞ effet Poole – Frenkel
- ☞ conduction par saut de porteurs (Hopping)

■ conduction limitée par l'interface :

- ☞ émission Schottky
- ☞ effet tunnel ou Fowler – Nordheim

VI- 1 Conduction limitée par le volume du matériau :

Dans le cas d'une conduction limitée par le volume du matériau, c'est essentiellement les processus liés à la structure et à la composition du matériau qui régissent le déplacement des porteurs.

VI-1-effet Poole – Frenkel

L'effet Poole -Frenkel traduit le saut de l'électron dans la bande de conduction de l'isolant (Figure I-5). Si l'électron passe de son premier site vers un autre et que les deux sites sont suffisamment proches pour que leurs potentiels interagissent sensiblement, il s'agit de l'effet Poole (figure I-6).

Si on suppose qu'il existe dans le matériau des sites capables de piéger les porteurs, on peut écrire l'expression de la hauteur de la barrière en tenant compte de l'effet de la charge positive immobile dans le site et l'effet du champ appliqué.

L'abaissement de la barrière s'écrit [5] :

$$\Delta f = \left(\frac{q^3 E}{p e e_0} \right)^{\frac{1}{2}}$$

Cet abaissement de la barrière de potentiel est deux fois plus grand que celui obtenu dans le cas d'un effet Schottky. L'expression analytique de la densité de courant prend la forme [5]:

$$J = A(F) \exp\left(-\frac{f_0 - b_{PF} E^{\frac{1}{2}}}{kT}\right) \quad \text{I-14}$$

où : f_0 est la profondeur du puit et b_{PF} la constante de Poole-Frenkel.

$$b_{PF} = \left(\frac{q^3}{p e_0 e_r}\right)^{\frac{1}{2}} = 2 b_s$$

et $A(F) = S_0 E$ d'après H.Carchano [5]

Avec $S_0 = q m n_0$ la conductivité à champ faible.

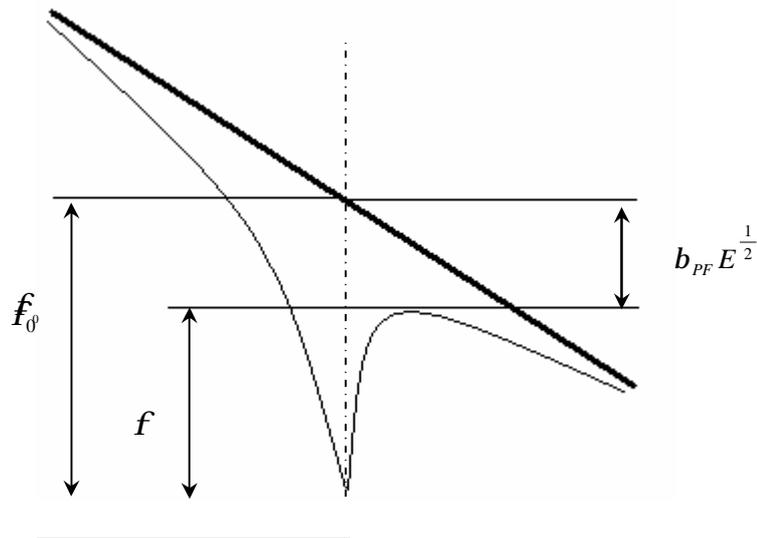


Figure I-5: Schéma caractéristique de l'effet Poole-Frenkel [5]

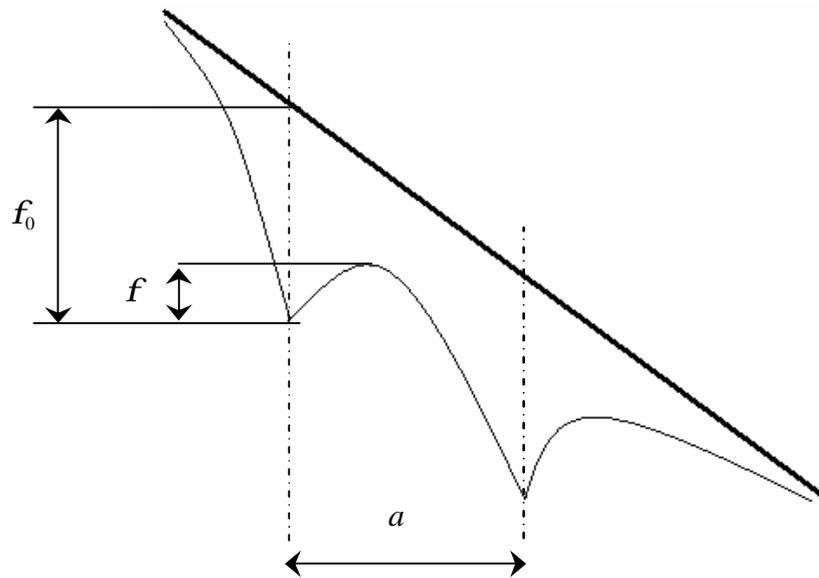


Figure I-6 : Schéma caractéristique de l'effet Poole.[5]

VI-1-2 Conduction par sauts de porteurs (Hopping)

Le mécanisme de conduction par saut de porteurs peut être observé s'il n'est pas masqué par le transport électronique dans la bande de conduction, il est donc préférentiellement observé dans les matériaux à large bande interdite, comme le cas des isolants.

Ce processus ne peut être mis en évidence que lorsque le nombre de porteurs situés dans la bande de conduction ou susceptibles d'y être amenés est très faible. Il peut se produire entre les états électroniques localisés dans la bande interdite, au voisinage du niveau de Fermi qui sépare les niveaux occupés et les niveaux vides, où la probabilité de sauts entre un site donneur et un site accepteur est exprimée par [5] :

$$P \propto P_0 \exp\left[-\left(2aR + \frac{\Delta E}{kT}\right)\right] \quad \text{I-15}$$

où : ΔE désigne la différence d'énergie entre les deux sites.

R représente la distance entre deux sites.

a exprime la décroissance de la fonction d'onde associée aux porteurs.

P_0 (la probabilité) constante caractéristique.

Alors, la conductivité S peut prendre la forme :

$$s = s_0 \exp\left[-\left(2aR + \frac{\Delta E}{kT}\right)\right] \quad \text{I-16}$$

Où s_0 est une constante caractéristique.

MILLER et ABRAHAMMS supposent que les sauts se font entre plus proches voisins et que seule la distance R intervient dans l'expression de s , alors que MOTT considère que la probabilité des sauts au delà du plus proche voisin n'est plus négligeable, à basse température figure I-7.[5]

L'expression de la conductivité d'après MOTT s'écrit comme suit [5] :

$$s = s_0 \exp\left(-BT^{-\frac{1}{4}}\right) \quad \text{I-17}$$

Avec :

$$B = 2 \left(\frac{3}{8p}\right)^{\frac{1}{4}} \left(\frac{a^3}{KN(E_F)}\right)^{\frac{1}{4}} \quad \text{I-18}$$

Où $N(E_F)$ étant la densité des pièges près du niveau de Fermi.

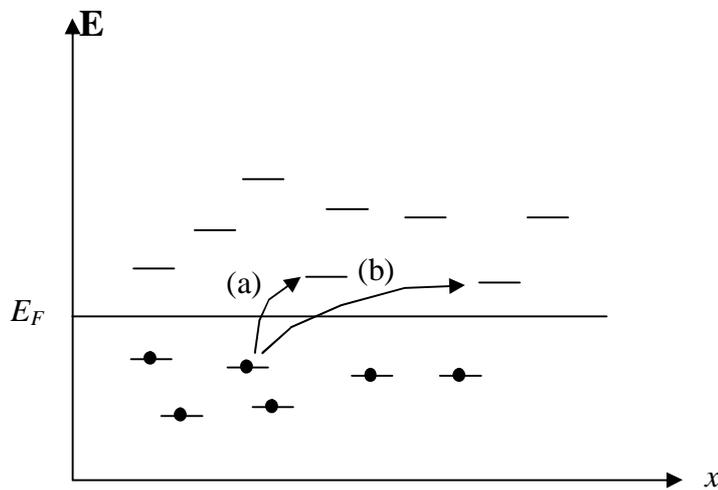


Figure I-7 : Diagramme de bande représentant des états occupés ou vides près du niveau de fermi [5]

L'influence du champ se traduit par un abaissement qER de l'énergie du site accepteur par rapport à celle du site donneur localisé à la distance R en amont. À l'inverse, lorsque c'est le site accepteur qui est en amont, son énergie augmente de qER (figure I-8).

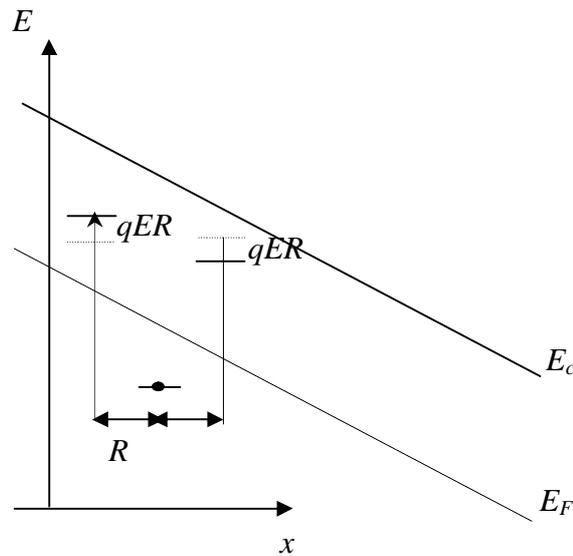


Figure I-8: Modification de la position énergétique du site accepteur provoquée par un champ électrique E [5]

VI-2- Conduction limitée par l'interface :

VI- 2-1- Emission Schottky :

Lorsque les électrons sont accélérés au niveau de la jonction canal-drain, une tension moyennement positive [6] appliquée à la grille donne la possibilité à ceux qui ont acquis une énergie potentielle suffisante de franchir la barrière de potentiel existant à l'interface silicium-oxyde de silicium (Fig.I-9).

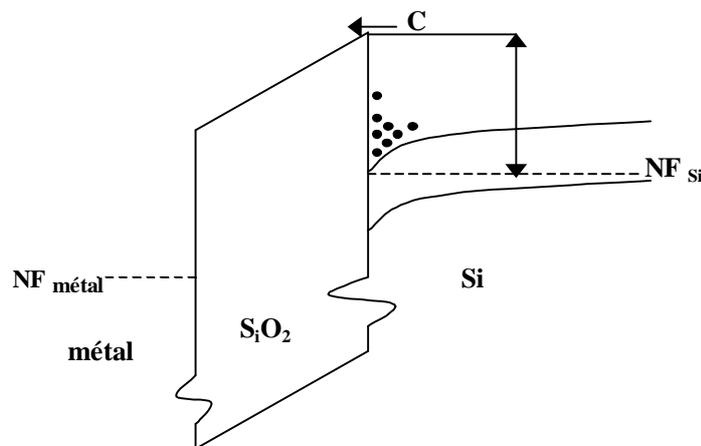


Figure I- 9 : Injection d'électrons à travers l'oxyde par conduction Thermoïonique.[6]

L'énergie de ces électrons étant supérieure à la barrière de potentiel, la conduction est dite de type thermoionique et le courant résultant s'exprime par le biais de l'équation de Richardson-Schottky [6] :

$$J = \frac{4p m_{ox}^* q}{h^3} (KT)^2 \exp\left(\frac{-f}{KT}\right) \cdot \exp\left(\frac{1}{KT}\right) \sqrt{\frac{qE_{ox}}{4pe_{ox}}} \quad \text{I-19}$$

VI-2-2 Effet tunnel dans les oxydes minces :

L'effet tunnel correspond à un transit de porteurs à travers l'oxyde de grille du transistor, mais se produit pour des tensions de polarisation nettement moins élevée.

En effet, lorsque des porteurs arrivent à l'interface silicium-oxyde, il existe une probabilité non nulle pour que ceux-ci franchissent la barrière sans devoir acquérir d'énergie supplémentaire.

Considérons le cas d'une particule qui se déplace à une vitesse v et qui possède une énergie potentielle E . Lorsque cette particule rencontre une barrière de potentiel de largeur L et de hauteur supérieure à E , deux possibilités se présentent :

- la particule est réfléchiée
- la particule traverse la barrière de potentiel.(fig. I-10)

Ce passage à travers la barrière, que l'on appelle « effet tunnel », est possible en mécanique quantique. Ce phénomène est observé avec une probabilité mesurable que l'on appelle coefficient de transmission T . Celui-ci dépend de la forme et du type de matériau constituant la barrière de potentiel. Il est déterminé par l'équation suivante [6] :

$$T(E) = \exp \left[- 2 \int_0^L \sqrt{\frac{8 p^2 m^{**}}{h^2} \sqrt{V(x) - E}} dx \right] \quad \text{I-20}$$

Où :

m^{**} : est la masse effective de la particule dans le milieu traversé.

$V(x)$: est la fonction définissant la forme de la barrière en fonction de la distance.

E : est l'énergie potentielle de la particule

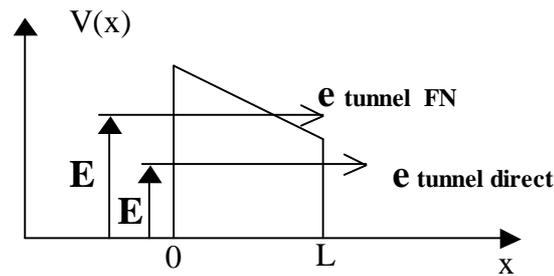


Figure I- 10 : Barrière vue par les électrons lorsqu'ils traversent un milieu isolant.[6]

Pour les structures MOS, E est l'énergie du bas de la bande de conduction du Silicium ou de la bande de conduction du métal suivant que les électrons transitent respectivement depuis le silicium vers le métal ou du métal vers le silicium.

Suivant la forme de la barrière, le coefficient de transmission donne suite à deux types de courants tunnels (Fig.I-10):[6]

- ▶ Le courant **tunnel direct** pour une barrière trapézoïdale,
- ▶ Le courant tunnel **Fowler- Nordheim** pour une barrière triangulaire.

Le type de barrière et par conséquent le type de courant obtenu dépend non seulement du niveau de polarisation appliquée à la grille mais aussi de la largeur de l'oxyde (L).

Quelle que soit l'épaisseur de l'oxyde, si la tension de polarisation est suffisamment élevée, la forme de la barrière vue par la particule sera de forme triangulaire et on obtient alors un courant de type Fowler- Nordheim.

L'abaissement de la barrière due à une polarisation extérieure, favorise le passage des électrons par effet tunnel Fowler-Nordheim dans le cas des oxydes épais ($>10\text{nm}$). L'abaissement de cette barrière conduit à une diminution de la longueur effective de la barrière de potentiel (Fig I-11) que doit franchir la particule et donc à une augmentation de la « probabilité de passage ».

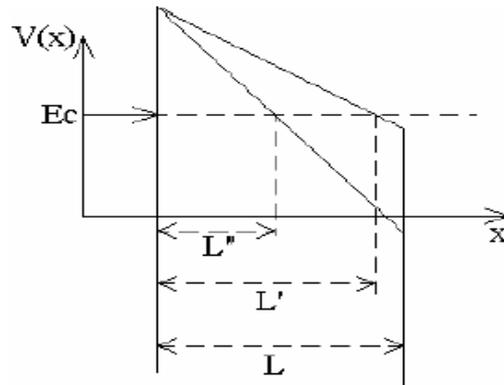


Figure I-11: Longueur effective de la Barrière vue par les électrons lorsqu'ils traversent un milieu isolant par effet Fowler- Nordheim.[6]

Pour des épaisseurs d'oxyde minces (<7nm), le courant tunnel direct devient possible pour des niveaux de tension plus bas. En effet, L est suffisamment faible et les particules peuvent franchir la barrière sans réduction de sa longueur effective.

Pour les oxydes minces, si on veut réduire ce courant parasite, il faut par conséquent diminuer le niveau de tension de grille.

Le courant tunnel s'obtient en intégrant l'expression [6]:

$$J_{tunnel} = \frac{4p}{h} \frac{q m_{si,c}}{K T} \int_{E_c}^f T(E) \ln \left[1 + \exp\left(\frac{E_f - E}{KT}\right) \right] dE \quad (\text{A/m}^2) \quad \text{I-21}$$

Remarque : E_C est le niveau de référence, il est donc pris égal à zéro.

L'expression de la densité de courant tunnel de type Fowler- Nordheim est finalement donnée par[6] :

$$J = \frac{m_{si}}{8p} \frac{q^3 F_{ox}^2}{h m_{ox,BC} f} \exp \left[-\frac{8p \sqrt{2m_{ox}}}{3hqF_{ox}} (f)^{3/2} \right] \quad (\text{A/m}^2) \quad \text{I-22}$$

Où:

$m_{si,c}$: est la masse effective de l'électron dans la bande de conduction du silicium.

$m_{ox,BC}$: est la masse effective de l'électron dans la bande de conduction de l'oxyde .

F_{ox} : est le champ dans l'oxyde.

Φ : est la barrière de potentiel à l'interface silicium/oxyde de silicium ou à l'interface métal/oxyde de silicium exprimé en eV

On pose :

$$a = \frac{m_{si,c} q^3}{8 p h m_{ox,BC} f} \quad ; \quad B = \frac{8 p \sqrt{2} m_{ox,BC}}{3 h q} (f)^{3/2}$$

Où : α et β sont des constantes pour une structure MOS donnée.

L'expression générique habituellement rencontrée pour le courant tunnel Fowler- Nordheim est la suivante :

$$J = a F_{ox}^2 \exp \left[-\frac{b}{F_{ox}} \right] \quad (\text{A/m}^2). \quad \mathbf{I-23}$$

Ce courant est fonction du champ dans l'oxyde et par suite de l'épaisseur de ce dernier.

En effet :

$$F_{ox} = \frac{V_{ox}}{t_{ox}} \quad \text{Ou : } V_{ox} : \text{ est la chute de potentiel dans l'oxyde}$$

t_{ox} : est l'épaisseur de celui-ci

Plus l'épaisseur d'oxyde diminue, plus la densité de courant tunnel augmente. En réduisant la taille des transistors, on serait donc tenté de conserver cette épaisseur. Toutefois, si l'on souhaite travailler à des niveaux de tension de grille plus bas, on finit par perdre le contrôle du canal. Un compromis s'impose entre la tension de grille et l'épaisseur d'oxyde.

Pour des tensions de drain et de source nulles, il faut remarquer que la chute de potentiel dans l'oxyde V_{ox} ne correspond pas exactement à la tension VG.

La figure (I-12) récapitule les processus typiques de conduction en film diélectrique mince [7]

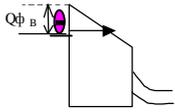
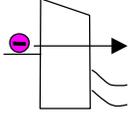
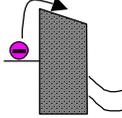
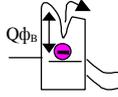
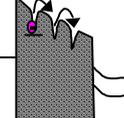
<p>FOWLER –NORDHEIM TUNNELING</p>	$J = \frac{A}{4 f_B} E_i^2 . \exp \left(-\frac{2 B f_B^{3/2}}{3 E_i} \right)$	
<p>DIRECT TUNNELING</p>	$J = \frac{A}{d^2} \left\{ (f_B - \frac{V}{2}) . \exp(-Bd \sqrt{f_B - \frac{V}{2}}) - (f_B + \frac{V}{2}) . \exp(-Bd \sqrt{f_B + \frac{V}{2}}) \right\}$	
<p>SCHOTTKY EMISSION</p>	$J \propto T . \exp \left(-\frac{f_B - \sqrt{E_i / C}}{f_t} \right)$	
<p>POOLE-FRENKEL EMISSION</p>	$J \propto E_i . \exp \left(-\frac{f_B - 2\sqrt{E_i / C}}{f_t} \right)$	
<p>HOPPING(OHMIC) CONDUCTION</p>	$J \propto E_i . \exp \left(-\frac{\Delta E_{ah}}{KT} \right)$	

Figure I -12 : Les processus typiques de conduction en film diélectrique mince.

$$A = \frac{q^2}{2p h}, \quad B = \frac{4p \sqrt{2m^*q}}{h}, \quad C = \frac{2p e_i}{q}$$

VII- CONCLUSION :

Nous avons commencé par rappeler dans ce chapitre, la structure et le principe de fonctionnement des transistors MOS.

Nous avons ensuite rappelé les évolutions technologiques et les contraintes prévues pour les générations futures des TMOS.

Enfin, pour terminer ce chapitre, nous avons donné une synthèse de courants de fuites présents dans le cas de grille mince.

I- INTRODUCTION :

Aujourd'hui le transistor MOS constitue, par sa simplicité de fabrication et ses petites dimensions, l'élément fondamental des circuits intégrés numériques à large échelle.

Le but de ce premier chapitre est de présenter la structure et le principe de fonctionnement du transistor MOSFET, ainsi qu'une information sur les phénomènes inhérents à l'évolution de la technologie CMOS, et les contraintes pour les générations futures.

II- STRUCTURE ET PRINCIPE DE FONCTIONNEMENT DE TMOS :

Le transistor MOSFET (Métal Oxyde Semiconducteur Fieled effect Transistor) est un dispositif unipolaire, le courant n'est assuré que par un seul type de porteur : électron pour les NMOS, trous pour les PMOS.

La figure (I-1) schématise la structure d'un transistor MOSFET. Le principe de fonctionnement de cette structure repose sur le contrôle d'un courant qui passe entre deux électrodes (source / drain) au travers d'un étroit passage : le canal. Le contrôle de ce courant s'effectue grâce à un effet capacitif. Celui-ci permet de faire varier l'épaisseur du canal, en attirant ou en repoussant les charges électriques suivant une polarisation appliquée sur l'électrode de grille séparée du canal par un diélectrique de faible épaisseur [1].

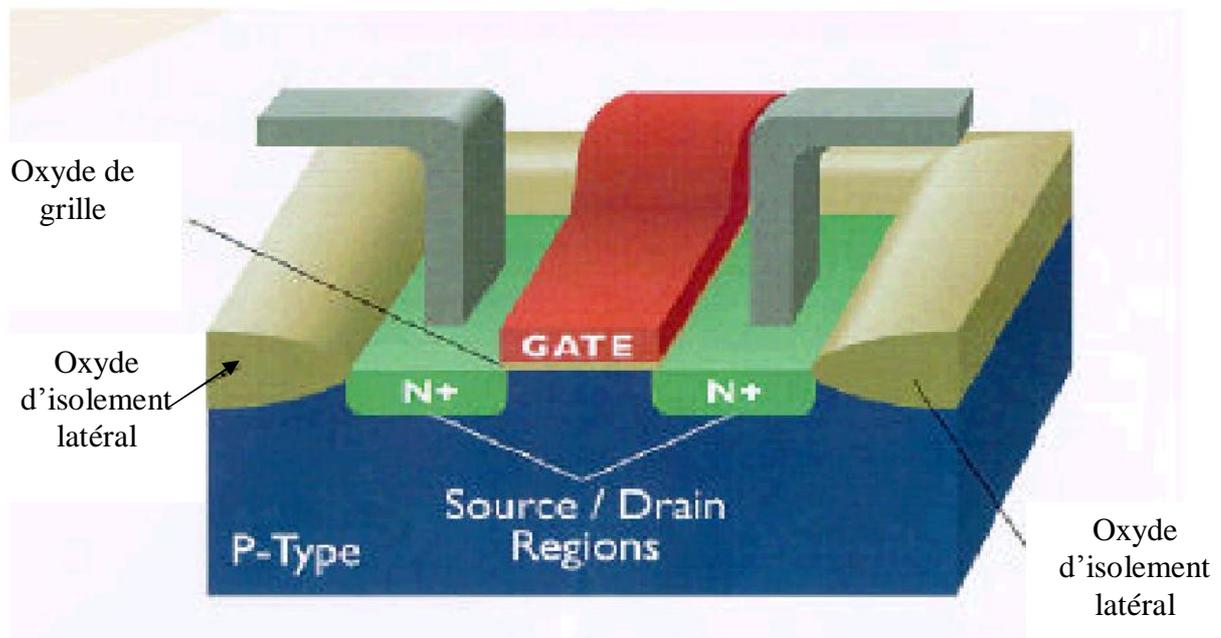


Figure I-1 : structure d'un TMOS

✎ Pour un TMOS idéal à enrichissement, si la tension de grille V_G est nulle, le transistor est équivalent à deux jonctions PN^+ . Aucun courant ne passe entre la source et le drain tant qu'il n'y a pas inversion du type du canal. L'application d'une tension positive sur la grille fait passer le transistor par ses différents régimes de fonctionnement à mesure que cette tension augmente : transistor bloqué, régime faible inversion et régime de forte inversion (figure I- 2)

En effet le transistor commence à conduire à partir du moment où la tension de grille est supérieure à la tension de 'bandes-plates' V_{FB} . Puisque l'inversion du canal s'amorce et celui-ci devient conducteur.

✎ Dès que la tension de grille dépasse la tension de seuil, le canal est en forte inversion. Cependant selon la valeur de la tension de drain, nous pouvons avoir trois modes de fonctionnement : [2] mode linéaire (figure I-2-b), zone de transition (figure I-2-c) et mode saturé (figure I-2-d)

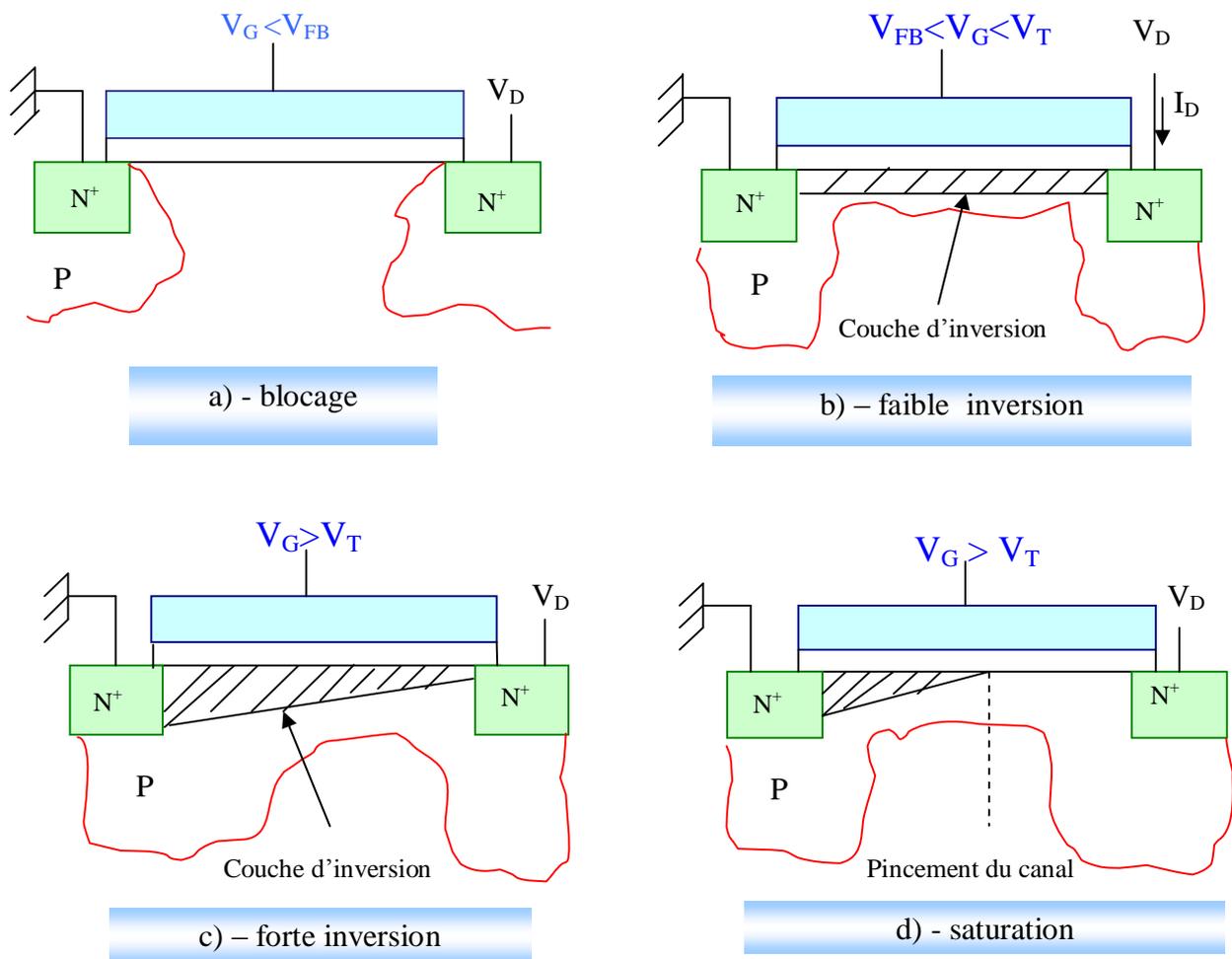


Figure I-2 : Modes de fonctionnement d'un transistor MOS[2]

III- CARACTERISTIQUES ELECTRIQUES DE SORTIE :

Nous rappelons les équations de base du TMOS, pour le fonctionnement en mode linéaire et en mode saturé, ainsi que son comportement électrique sous le seuil. nous considérons le cas du transistor à canal N, sachant que les relations établies restent valables à un signe près pour un dispositif à canal P.

III -1 Mode linéaire :

Le courant à travers le canal étant conservatif, on peut calculer I_{DS} en une abscisse y quelconque fig. (I-3.a) [3]

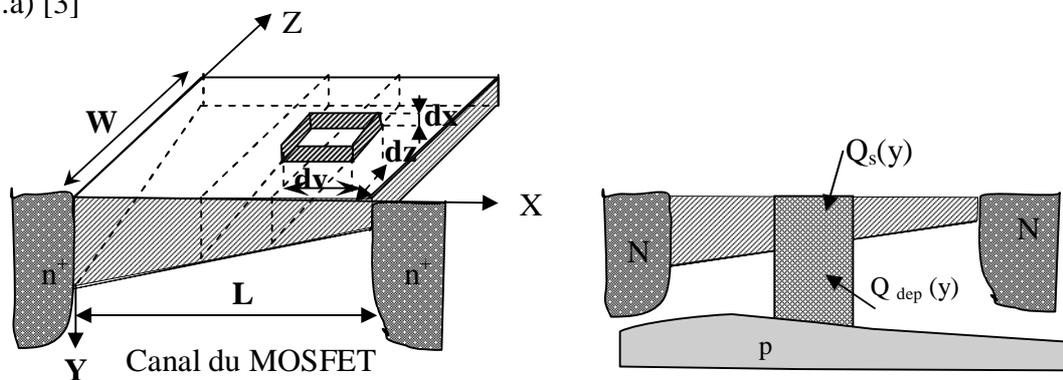


Figure I-3-a: Zone active du transistor MOSFET [3]

$$I_{DS} = \frac{W}{\partial y} \frac{\partial Q_n(y)}{\partial y} V(y) \quad \text{I-1}$$

$V(y)$ représente la vitesse de déplacement dans le canal de l'élément de charge $dQ_n(y)$. Par conséquent, en fonction de la mobilité μ_n des porteurs et du potentiel le long du canal V_{Gy} , on peut écrire :

$$V(y) = -\mu_n \frac{\partial (V_{Gy} - V_T)}{\partial y} \quad \text{I-2}$$

$$\frac{\partial Q_n(y)}{\partial y} = C_{ox} (V_{Gy} - V_T) \quad \text{I-3}$$

Avec :

V_T : tension de seuil

$C_{ox} = (\epsilon_0 \epsilon_{ox}/t_{ox})$: capacité d'oxyde par unité de surface

En substituant (I-2) et (I-3) dans (I-1) et en intégrant de la source ($y=0$, $V_{Gy}=V_G$) au drain ($y=L$, $V_G=V_D$), on aboutit à l'expression de I_D :

$$I_D = \frac{W}{L} m_n C_{ox} \left[(V_G - V_T) V_D - \frac{V_D^2}{2} \right] \quad \text{I-4}$$

□ envisageons le cas où V_D est très faible, l'expression (I-4) se réduit à :

$$I_D = \frac{W}{L} m_n C_{ox} (V_G - V_T) V_D \quad \text{I-5}$$

☞ La conduction du canal g_D est définie comme étant la pente de la caractéristique de $I_D(V_D)$ à V_G constante.[3]

$$g_D = \frac{\partial I_D}{\partial V_D} \approx \frac{W}{L} m_n C_{ox} (V_G - V_T - V_D) \quad \text{I-6}$$

Au voisinage de l'origine des coordonnées, on a ($V_D \ll V_G - V_T$) l'expression (I-6) se réduit à

$$g_D = \frac{\partial I_D}{\partial V_D} \approx \frac{W}{L} m_n C_{ox} (V_G - V_T) \quad \text{I-7}$$

☞ La transconductance g_m est définie comme étant la pente de la caractéristique $I_D(V_G)$ à V_D constante.[3]

$$g_m = \frac{\partial I_D}{\partial V_G} \approx \frac{W}{L} m_n C_{ox} V_D \quad \text{I-8}$$

III -2- Mode saturé :

Plaçons nous dans la limite du pincement ($V_D = V_{Dsat}$).

L'expression analytique de V_{Dsat} est obtenue à partir du maximum de I_D à une tension grille donnée.

L'expression (I-12) donne :

$$\frac{\partial I_D}{\partial V_D} \approx 0 \Leftrightarrow V_{Dsat} = (V_G - V_T) \quad \text{I-9}$$

le courant de saturation I_{Dsat} peut être obtenu en substituant (9) dans (4) :

$$I_{Dsat} = \frac{W}{2L} \frac{m_n C_{ox}}{L} (V_G - V_T)^2 \quad \text{I-10}$$

Pour un TMOS idéal, la conductance du canal est nulle dans la région de saturation et la transconductance peut être dérivée de (I-10) :

$$g_m = \frac{W}{L} \frac{m_n C_{ox}}{L} (V_G - V_T) \quad \text{I-11}$$

D'après (I-7) et (I-11) une caractéristique $I_D(V_D)$ définie par $(V_G - V_T)$ possède une conductance au voisinage des coordonnées égale à une transconductance en zone de pincement.

III -3- Régime sous seuil :

En générale les TMOS sont modélisés dans le domaine de la forte inversion. Or, il circule un courant sous le seuil qui caractérise le fonctionnement du transistor en faible inversion.

✚ La connaissance du courant en faible inversion prend toute son importance dans les circuits logiques MOS dynamiques, ou dans les mémoires. La mémoire est en effet constituée par la capacité de grille qui accumule ou non une charge q pour exprimer la présence de chacun des deux états binaires

✚ Ce courant a deux composantes qui s'ajoutent : courant de conduction et courant de diffusion de porteurs dans le canal :

$$I_D = A \left(qn m_n E(y) + q Dn \frac{\partial n}{\partial y} \right) \quad \text{I-12}$$

R.J Vanderstraeten [2] démontre qu'en régime de faible inversion, le courant est principalement dû à un courant de diffusion. En effet le potentiel étant quasiment constant le

long du canal, le terme $E(y)$ dans l'expression (I-12) est presque nul, il reste donc le terme représentatif du gradient de porteurs $\partial n/\partial y$.

Le courant de drain sous le seuil est donné par[2] :

$$I_D = \frac{q \cdot N \cdot dn \cdot \exp\left(\frac{-qY_B}{KT}\right)}{L} \left[1 - \exp\left(\frac{-qV_D}{KT}\right) \right] \exp\left[\frac{qY_s}{K}\right] \quad \text{I-13}$$

Les principales caractéristiques de sortie des différents types de MOS sont données sur la figure (I-3-b):

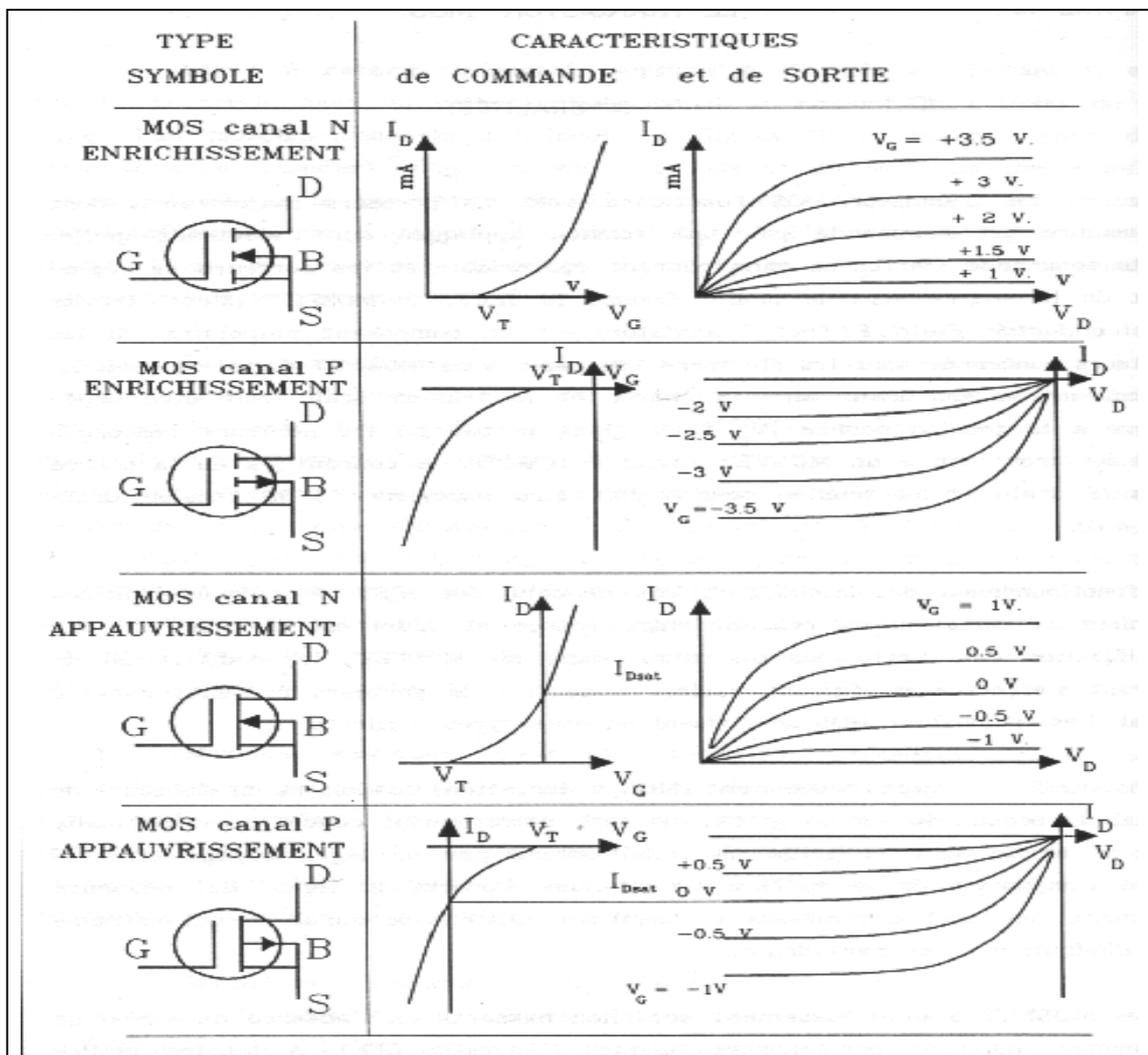


Figure I-3-b : Caractéristiques de sortie des différents types de MOS

IV- EVOLUTION DE LA TECHNOLOGIE CMOS :

En 1973, G. MOORE [4], l'un des co-fondateurs d'Intel avait observé que le nombre de transistors intégrés sur une même puce doublait tous les 18 mois. Cette observation l'avait alors conduit à prédire que le nombre de transistors intégrés sur une puce continuerait à doubler tous les 18 mois, jusqu'à ce que les limites physiques soient atteintes. La véracité de sa prédiction durant ces 30 dernières années a été telle que l'on s'y réfère maintenant en tant que " **Loi de Moore** ".

Aujourd'hui, des circuits intégrés (IC) comprenant plus de 40 millions de transistors sont produits de façon industrielle (microprocesseurs). La longueur de grille des CMOS utilisés pour ces dernières générations de microprocesseurs est égale à $0.13\mu\text{m}$ tandis que la surface de la puce varie de 80 à 150 mm^2 [4]. En fait, la diminution de la longueur de grille des dispositifs a deux avantages décisifs pour les fabricants : d'une part, à puissance égale, elle permet de réduire la surface de silicium de la puce, ce qui en termes de coût est bénéfique, et d'autre part, elle permet d'augmenter la fréquence des circuits, cette dernière étant inversement proportionnelle à la longueur de grille.

V- CONTRAINTES POUR LES GENERATIONS FUTURES :

A chaque nouvelle génération de transistor, la réalisation du défi lancé par la loi de "Moore" apparaît comme un casse-tête de plus en plus difficile à réaliser. Un compromis complexe entre la physique, la technologie et la rentabilité concentre ainsi toute l'attention des ingénieurs et des chercheurs. Des paramètres et contraintes souvent contradictoires, tels que la performance, la consommation et la fiabilité sont à prendre en compte [4]. Pour résumer, disons que le jeu consiste à augmenter les performances en diminuant les dimensions, sans trop augmenter la puissance dissipée à l'état bloqué du transistor.

Parier sur une croissance au rythme de la loi de Moore pour la décennie à venir relève du défi ambitieux. De plus, les architectures devenant très complexes, la conception, la fabrication et la vérification voient leurs coûts croître exponentiellement. Il est actuellement admis que la Loi de Moore sera encore valide pour les 10-12 ans à venir c'est à dire pour 3 à 4 générations de microprocesseurs. En effet, les projections industrielles pour le développement de la technologie

CMOS suggèrent que cette dernière soit proche des limites fondamentales de la physique. L'association de l'industrie du semi-conducteur : SIA (Semiconductor Industry Association), publie depuis 1998 < The International Technology Roadmap for Semiconductors, ITRS > qui est un guide de référence pour l'industrie mondiale du semi-conducteur [4] (voir Tableau I.1).

Selon l'édition 1999, malgré l'utilisation de nouveau matériel, il sera difficile de maintenir l'augmentation des performances électriques des composants au rythme de la loi de Moore. Il convient cependant de rappeler que les données du Tableau I.1 sont basées sur de simples projections des progrès passés. Ceci ne garantit pas forcément qu'un dispositif plus court pourra être fabriqué, ni qu'il présentera les mêmes performances.

Année	1999	2002	2005	2008	2011	2014
L_g (nm)	180	130	100	70	50	35
V_{dd} (V)	1.5- 1.8	1.2-1.5	0.9-1.2	0.6-0.9	0.5-0.6	0.3-0.6
V_{th} (V)	0.5	0.4	0.35	0.3	0.25	0.2
t_{ox} (nm)	1.9-2.5	1.5-1.9	1.0-1.5	0.8-1.2	0.6-0.8	0.5-0.6
N_a (cm ⁻³)	<10 ¹⁸	<10 ¹⁸	10 ¹⁸	10 ¹⁸	10 ¹⁸	10 ¹⁸
X_j (nm)	45-70	30-50	25-40	20-28	13-20	10-14
E (MV/cm)	<5	5	>5	>5	>5	>5
I_{on} (uA/um)	750/350	750/350	750/350	750/350	750/350	750/350
I_{off} (uA/um)	5	10	20	40	80	160
Φ du wafer	200	300	300	300	300	450

Tableau –I-1 : Prévission SIA de l'évolution de la technologie CMOS[4]

La Fig. (I-4) illustre graphiquement l'évolution espérée des principales caractéristiques des CMOS, à savoir, la longueur de grille (L_g), la tension d'alimentation (V_{dd}), l'épaisseur d'oxyde de grille (t_{ox}) et les profondeurs de jonctions des extensions de source et drain (X_j).

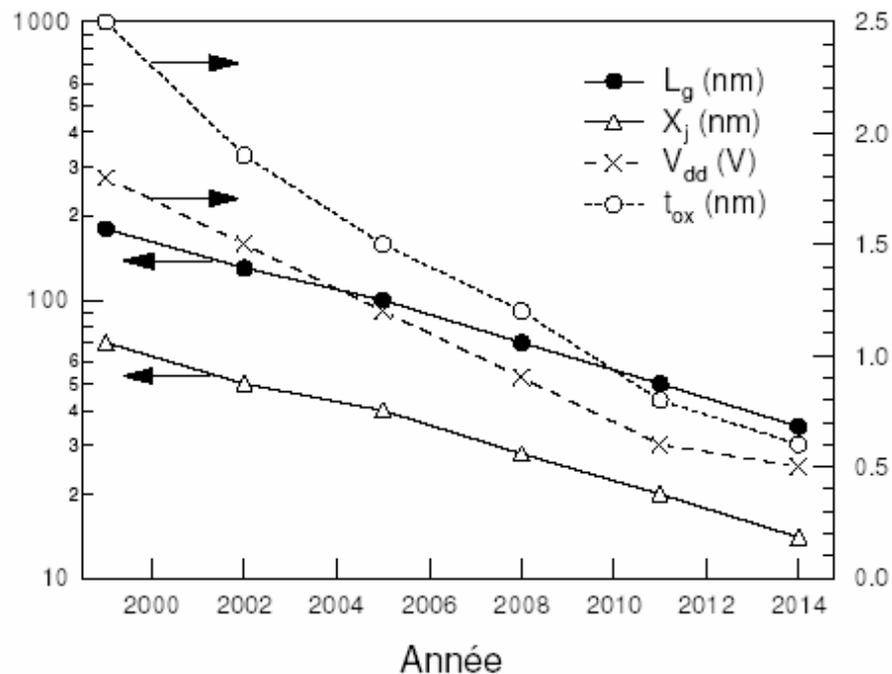


Figure I-4 : Evolution espérée des principales caractéristiques des TMOS[4]

Une première analyse de ces valeurs permet d'annoncer quelques possibles limitations et freins technologiques à la réduction d'échelle énoncée selon les critères de la SIA :

✚ La diminution de la longueur de grille en dessous de 50 nm semble difficile, compte tenu du contrôle nécessaire du courant de fuite à l'état bloqué du transistor.

✚ En raison de la réduction de la résistance du canal à l'état passant, il faut veiller à ce que les résistances source/drain, placées en série avec celle du canal, soient suffisamment faibles pour ne pas dégrader sérieusement les performances du composant. Cette contrainte impose donc de ne pas choisir des profondeurs de jonctions X_j trop faibles, et conduit à adopter un très fort dopage de source et de drain. Cela est cependant défavorable du point de vue des effets canaux courts car la réduction des profondeurs de jonctions source/drain permet en fait un meilleur contrôle de la charge du canal à l'état bloqué.

✚ La tension d'alimentation ne peut que difficilement être réduite en dessous de 0.6 V, en raison de la nécessité du maintien de la tension de seuil (V_{th}) à un niveau suffisant pour garantir des marges de bruit acceptables dans les circuits logiques.

✚ La réduction de l'épaisseur d'oxyde en dessous de 2 nm induit un important courant tunnel, or vu les épaisseurs annoncées (cf. Fig. 1-4) de sérieux problèmes risquent de se poser au niveau de la consommation statique. Il est admis que pour une tension d'alimentation de 1 V, la limite maximale admise pour le courant de fuite de grille est de l'ordre de 1 A/cm^2 , ce qui situe l'épaisseur minimale d'oxyde aux environs de 1.8 nm. Cependant, on sait que ces courants de fuite ne perturberont pas le fonctionnement élémentaire des transistors MOS de longueur de canal inférieure à $1 \mu\text{m}$, mais en revanche, augmenteront la puissance dissipée à l'état bloqué. Par ailleurs, il est clair également que la réduction des dimensions ne peut se faire sans réduire l'oxyde de grille, sous peine de ne plus parvenir à contrôler les effets canaux courts.

En résumé, comme nous l'avons précédemment mentionné, la loi de Moore continuera d'être valide pour les 3 ou 4 prochaines générations de microprocesseurs. Le maintien de l'augmentation exponentielle du nombre de transistors deviendra cependant extrêmement difficile et coûteux. Le problème du coût risque d'ailleurs de devenir plus important que celui des limitations technologiques, puisque ce dernier dicte les différents choix d'investissement en recherche et développement. Cependant, bien qu'il soit admis que la loi de Moore ne durera pas indéfiniment, le fait que les ordinateurs continuent à devenir de plus en plus rapides et puissants sera probablement vrai pour de nombreuses années encore. Ainsi, il reste encore un travail important pour faire progresser la technologie CMOS jusqu'à son apogée. Cet effort de recherche sera bien-entendu multidisciplinaire. Deux axes complémentaires, sont et continueront à être essentiels au bon développement du transistor MOS. L'axe amont concerne les concepteurs du dispositif lui-même, c'est-à-dire les technologues ; l'axe aval regroupe les personnes de la modélisation, au sens large. Ce second axe est tout aussi important que le premier ; en effet, la modélisation précise des transistors MOS est le point clé de la validité de toute simulation de circuits intégrés, et donc de la conception de tout circuit.

VI- COURANTS DE FUITES DANS LE CAS DE GRILLE MINCE :

Dans le cadre de ce mémoire, nous nous intéressons à des transistors MOS ultimes donc de faible épaisseur d'oxyde. Il est nécessaire de comprendre et de maîtriser alors les courants de fuite présents dans ce cas de figure.

La conduction électronique dans le cas de grille mince peut être régie principalement par les mécanismes suivants :

■ conduction limitée par le volume du matériau :

- ☞ effet Poole – Frenkel
- ☞ conduction par saut de porteurs (Hopping)

■ conduction limitée par l'interface :

- ☞ émission Schottky
- ☞ effet tunnel ou Fowler – Nordheim

VI- 1 Conduction limitée par le volume du matériau :

Dans le cas d'une conduction limitée par le volume du matériau, c'est essentiellement les processus liés à la structure et à la composition du matériau qui régissent le déplacement des porteurs.

VI-1-effet Poole – Frenkel

L'effet Poole -Frenkel traduit le saut de l'électron dans la bande de conduction de l'isolant (Figure I-5). Si l'électron passe de son premier site vers un autre et que les deux sites sont suffisamment proches pour que leurs potentiels interagissent sensiblement, il s'agit de l'effet Poole (figure I-6).

Si on suppose qu'il existe dans le matériau des sites capables de piéger les porteurs, on peut écrire l'expression de la hauteur de la barrière en tenant compte de l'effet de la charge positive immobile dans le site et l'effet du champ appliqué.

L'abaissement de la barrière s'écrit [5] :

$$\Delta f = \left(\frac{q^3 E}{p e e_0} \right)^{\frac{1}{2}}$$

Cet abaissement de la barrière de potentiel est deux fois plus grand que celui obtenu dans le cas d'un effet Schottky. L'expression analytique de la densité de courant prend la forme [5]:

$$J = A(F) \exp\left(-\frac{f_0 - b_{PF} E^{\frac{1}{2}}}{kT}\right) \quad \text{I-14}$$

où : f_0 est la profondeur du puit et b_{PF} la constante de Poole-Frenkel.

$$b_{PF} = \left(\frac{q^3}{p e_0 e_r}\right)^{\frac{1}{2}} = 2 b_s$$

et $A(F) = s_0 E$ d'après H.Carchano [5]

Avec $s_0 = q m n_0$ la conductivité à champ faible.

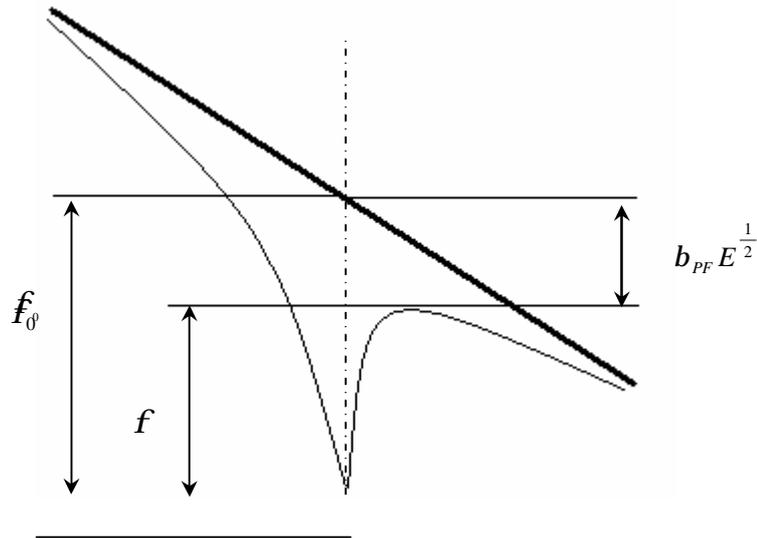


Figure I-5: Schéma caractéristique de l'effet Poole-Frenkel [5]

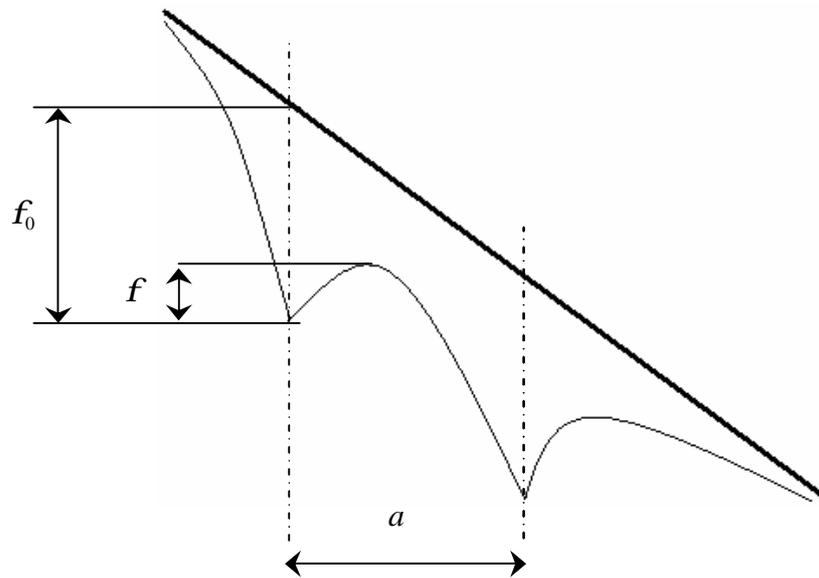


Figure I-6 : Schéma caractéristique de l'effet Poole.[5]

VI-1-2 Conduction par sauts de porteurs (Hopping)

Le mécanisme de conduction par saut de porteurs peut être observé s'il n'est pas masqué par le transport électronique dans la bande de conduction, il est donc préférentiellement observé dans les matériaux à large bande interdite, comme le cas des isolants.

Ce processus ne peut être mis en évidence que lorsque le nombre de porteurs situés dans la bande de conduction ou susceptibles d'y être amenés est très faible. Il peut se produire entre les états électroniques localisés dans la bande interdite, au voisinage du niveau de Fermi qui sépare les niveaux occupés et les niveaux vides, où la probabilité de sauts entre un site donneur et un site accepteur est exprimée par [5] :

$$P \propto P_0 \exp\left[-\left(2aR + \frac{\Delta E}{kT}\right)\right] \quad \text{I-15}$$

où : ΔE désigne la différence d'énergie entre les deux sites.

R représente la distance entre deux sites.

a exprime la décroissance de la fonction d'onde associée aux porteurs.

P_0 (la probabilité) constante caractéristique.

Alors, la conductivité S peut prendre la forme :

$$s = s_0 \exp\left[-\left(2aR + \frac{\Delta E}{kT}\right)\right] \quad \text{I-16}$$

Où s_0 est une constante caractéristique.

MILLER et ABRAHAMMS supposent que les sauts se font entre plus proches voisins et que seule la distance R intervient dans l'expression de s , alors que MOTT considère que la probabilité des sauts au delà du plus proche voisin n'est plus négligeable, à basse température figure I-7.[5]

L'expression de la conductivité d'après MOTT s'écrit comme suit [5] :

$$s = s_0 \exp\left(-BT^{-\frac{1}{4}}\right) \quad \text{I-17}$$

Avec :

$$B = 2 \left(\frac{3}{8p}\right)^{\frac{1}{4}} \left(\frac{a^3}{KN(E_F)}\right)^{\frac{1}{4}} \quad \text{I-18}$$

Où $N(E_F)$ étant la densité des pièges près du niveau de Fermi.

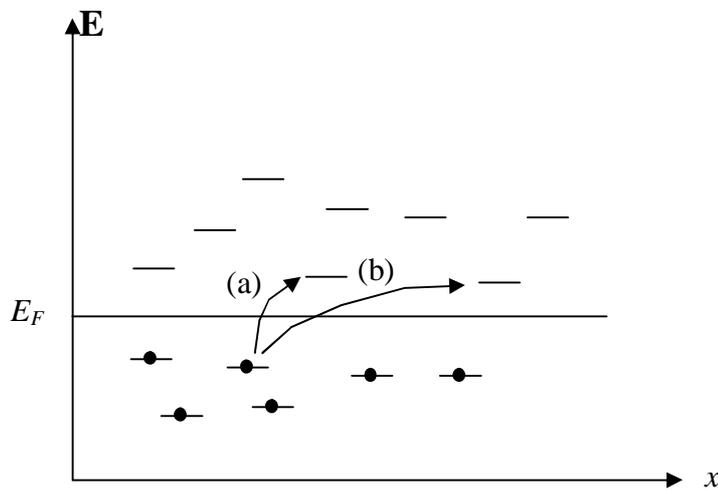


Figure I-7 : Diagramme de bande représentant des états occupés ou vides près du niveau de fermi [5]

L'influence du champ se traduit par un abaissement qER de l'énergie du site accepteur par rapport à celle du site donneur localisé à la distance R en amont. À l'inverse, lorsque c'est le site accepteur qui est en amont, son énergie augmente de qER (figure I-8).

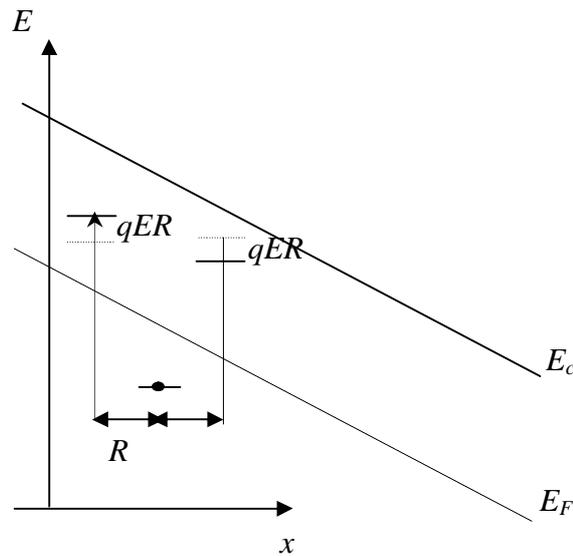


Figure I-8: Modification de la position énergétique du site accepteur provoquée par un champ électrique E [5]

VI-2- Conduction limitée par l'interface :

VI- 2-1- Emission Schottky :

Lorsque les électrons sont accélérés au niveau de la jonction canal-drain, une tension moyennement positive [6] appliquée à la grille donne la possibilité à ceux qui ont acquis une énergie potentielle suffisante de franchir la barrière de potentiel existant à l'interface silicium-oxyde de silicium (Fig.I-9).

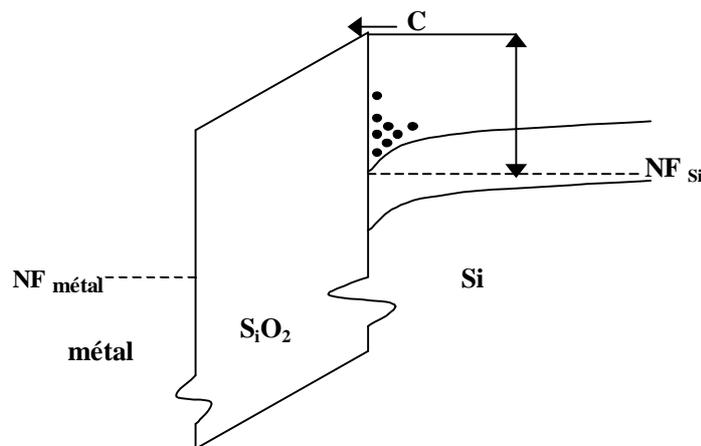


Figure I- 9 : Injection d'électrons à travers l'oxyde par conduction Thermoïonique.[6]

L'énergie de ces électrons étant supérieure à la barrière de potentiel, la conduction est dite de type thermoïonique et le courant résultant s'exprime par le biais de l'équation de Richardson-Schottky [6] :

$$J = \frac{4p m_{ox}^* q}{h^3} (KT)^2 \exp\left(\frac{-f}{KT}\right) \cdot \exp\left(\frac{1}{KT}\right) \sqrt{\frac{qE_{ox}}{4pe_{ox}}} \quad \text{I-19}$$

VI-2-2 Effet tunnel dans les oxydes minces :

L'effet tunnel correspond à un transit de porteurs à travers l'oxyde de grille du transistor, mais se produit pour des tensions de polarisation nettement moins élevée.

En effet, lorsque des porteurs arrivent à l'interface silicium-oxyde, il existe une probabilité non nulle pour que ceux-ci franchissent la barrière sans devoir acquérir d'énergie supplémentaire.

Considérons le cas d'une particule qui se déplace à une vitesse v et qui possède une énergie potentielle E . Lorsque cette particule rencontre une barrière de potentiel de largeur L et de hauteur supérieure à E , deux possibilités se présentent :

- la particule est réfléchiée
- la particule traverse la barrière de potentiel.(fig. I-10)

Ce passage à travers la barrière, que l'on appelle « effet tunnel », est possible en mécanique quantique. Ce phénomène est observé avec une probabilité mesurable que l'on appelle coefficient de transmission T . Celui-ci dépend de la forme et du type de matériau constituant la barrière de potentiel. Il est déterminé par l'équation suivante [6] :

$$T(E) = \exp \left[-2 \int_0^L \sqrt{\frac{8p^2 m^{**}}{h^2} \sqrt{V(x) - E}} dx \right] \quad \text{I-20}$$

Où :

m^{**} : est la masse effective de la particule dans le milieu traversé.

$V(x)$: est la fonction définissant la forme de la barrière en fonction de la distance.

E : est l'énergie potentielle de la particule

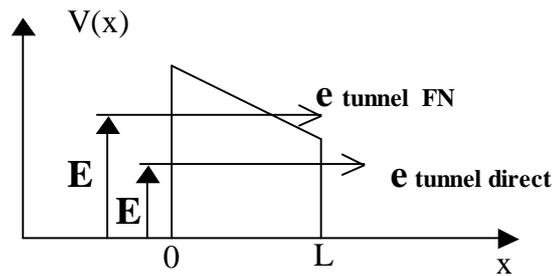


Figure I- 10 : Barrière vue par les électrons lorsqu'ils traversent un milieu isolant.[6]

Pour les structures MOS, E est l'énergie du bas de la bande de conduction du Silicium ou de la bande de conduction du métal suivant que les électrons transitent respectivement depuis le silicium vers le métal ou du métal vers le silicium.

Suivant la forme de la barrière, le coefficient de transmission donne suite à deux types de courants tunnels (Fig.I-10):[6]

- ▶ Le courant **tunnel direct** pour une barrière trapézoïdale,
- ▶ Le courant tunnel **Fowler- Nordheim** pour une barrière triangulaire.

Le type de barrière et par conséquent le type de courant obtenu dépend non seulement du niveau de polarisation appliquée à la grille mais aussi de la largeur de l'oxyde (L).

Quelle que soit l'épaisseur de l'oxyde, si la tension de polarisation est suffisamment élevée, la forme de la barrière vue par la particule sera de forme triangulaire et on obtient alors un courant de type Fowler- Nordheim.

L'abaissement de la barrière due à une polarisation extérieure, favorise le passage des électrons par effet tunnel Fowler-Nordheim dans le cas des oxydes épais ($>10\text{nm}$). L'abaissement de cette barrière conduit à une diminution de la longueur effective de la barrière de potentiel (Fig I-11) que doit franchir la particule et donc à une augmentation de la « probabilité de passage ».

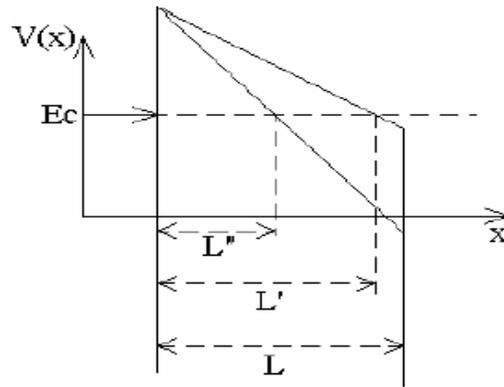


Figure I-11: Longueur effective de la Barrière vue par les électrons lorsqu'ils traversent un milieu isolant par effet Fowler- Nordheim.[6]

Pour des épaisseurs d'oxyde minces (<7nm), le courant tunnel direct devient possible pour des niveaux de tension plus bas. En effet, L est suffisamment faible et les particules peuvent franchir la barrière sans réduction de sa longueur effective.

Pour les oxydes minces, si on veut réduire ce courant parasite, il faut par conséquent diminuer le niveau de tension de grille.

Le courant tunnel s'obtient en intégrant l'expression [6]:

$$J_{tunnel} = \frac{4p}{h} \frac{q m_{si,c}}{K T} \int_{E_c}^f T(E) \ln \left[1 + \exp\left(\frac{E_f - E}{KT}\right) \right] dE \quad (\text{A/m}^2) \quad \text{I-21}$$

Remarque : E_C est le niveau de référence, il est donc pris égal à zéro.

L'expression de la densité de courant tunnel de type Fowler- Nordheim est finalement donnée par[6] :

$$J = \frac{m_{si}}{8p} \frac{q^3 F_{ox}^2}{h m_{ox,BC} f} \exp \left[-\frac{8p \sqrt{2m_{ox}}}{3hqF_{ox}} (f)^{3/2} \right] \quad (\text{A/m}^2) \quad \text{I-22}$$

Où:

$m_{si,c}$: est la masse effective de l'électron dans la bande de conduction du silicium.

$m_{ox,BC}$: est la masse effective de l'électron dans la bande de conduction de l'oxyde .

F_{ox} : est le champ dans l'oxyde.

Φ : est la barrière de potentiel à l'interface silicium/oxyde de silicium ou à l'interface métal/oxyde de silicium exprimé en eV

On pose :

$$a = \frac{m_{si,c} q^3}{8 p h m_{ox,BC} f} \quad ; \quad B = \frac{8 p \sqrt{2} m_{ox,BC}}{3 h q} (f)^{3/2}$$

Où : α et β sont des constantes pour une structure MOS donnée.

L'expression générique habituellement rencontrée pour le courant tunnel Fowler- Nordheim est la suivante :

$$J = a F_{ox}^2 \exp \left[-\frac{b}{F_{ox}} \right] \quad (\text{A/m}^2). \quad \text{I-23}$$

Ce courant est fonction du champ dans l'oxyde et par suite de l'épaisseur de ce dernier.

En effet :

$$F_{ox} = \frac{V_{ox}}{t_{ox}} \quad \text{Ou : } V_{ox} : \text{ est la chute de potentiel dans l'oxyde}$$

t_{ox} : est l'épaisseur de celui-ci

Plus l'épaisseur d'oxyde diminue, plus la densité de courant tunnel augmente. En réduisant la taille des transistors, on serait donc tenté de conserver cette épaisseur. Toutefois, si l'on souhaite travailler à des niveaux de tension de grille plus bas, on finit par perdre le contrôle du canal. Un compromis s'impose entre la tension de grille et l'épaisseur d'oxyde.

Pour des tensions de drain et de source nulles, il faut remarquer que la chute de potentiel dans l'oxyde V_{ox} ne correspond pas exactement à la tension VG.

La figure (I-12) récapitule les processus typiques de conduction en film diélectrique mince [7]

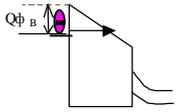
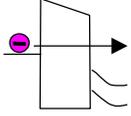
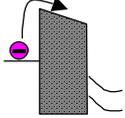
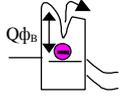
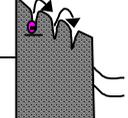
<p>FOWLER –NORDHEIM TUNNELING</p>	$J = \frac{A}{4 f_B} E_i^2 . \exp \left(-\frac{2 B f_B^{3/2}}{3 E_i} \right)$	
<p>DIRECT TUNNELING</p>	$J = \frac{A}{d^2} \left\{ (f_B - \frac{V}{2}) . \exp(-Bd \sqrt{f_B - \frac{V}{2}}) - (f_B + \frac{V}{2}) . \exp(-Bd \sqrt{f_B + \frac{V}{2}}) \right\}$	
<p>SCHOTTKY EMISSION</p>	$J \propto T . \exp \left(-\frac{f_B - \sqrt{E_i / C}}{f_t} \right)$	
<p>POOLE-FRENKEL EMISSION</p>	$J \propto E_i . \exp \left(-\frac{f_B - 2\sqrt{E_i / C}}{f_t} \right)$	
<p>HOPPING(OHMIC) CONDUCTION</p>	$J \propto E_i . \exp \left(-\frac{\Delta E_{ah}}{KT} \right)$	

Figure I -12 : Les processus typiques de conduction en film diélectrique mince.

$$A = \frac{q^2}{2p h}, \quad B = \frac{4p \sqrt{2m^*q}}{h}, \quad C = \frac{2p e_i}{q}$$

VII- CONCLUSION :

Nous avons commencé par rappeler dans ce chapitre, la structure et le principe de fonctionnement des transistors MOS.

Nous avons ensuite rappelé les évolutions technologiques et les contraintes prévues pour les générations futures des TMOS.

Enfin, pour terminer ce chapitre, nous avons donné une synthèse de courants de fuites présents dans le cas de grille mince.

I - INTRODUCTION :

Avec la complexité croissante des processus de fabrication des circuits intégrés (CI), la diminution des tailles des composants, l'utilisation de logiciels de simulation ont prouvé qu'ils étaient d'une aide de plus en plus importante, voire indispensable, dans le développement des technologies de fabrication de nouveaux composants semi-conducteur.

Dans ce chapitre, nous utilisons le module DIOS du logiciel ISE-TCAD pour la simulation du process de fabrication technologique d'un transistor NMOS. Tous les profils de dopage sont visualisés à l'aide de l'outil de visualisation tridimensionnel TECPLOT.

II- ENCHAINEMENT DES ETAPES TECHNOLOGIQUES² n mos, process ² :

Principales étapes technologiques :Filière NMOS	
+	Définition du substrat
+	La croissance LOCOS
	Ø Définition des zones actives
	Ø Implantation iso bore
	Ø Oxydation localisée et formation des caissons rétrogrades
+	Dopages du canal
+	Formation de la grille
	Ø Croissance de l'oxyde de grille et dépôt du poly silicium
	Ø Définition de la grille
+	Formation du drain/ source
	Ø LDD du NMOS
	Ø Réalisation des espaceurs
	Ø Formation de la source et du drain
+	Interconnexions
	Ø Isolation électrique
	Ø Ouverture des contacts
	Ø Métallisation
	Ø Gravure des contacts

Détaillons maintenant le procédé étape par étape :

II-1 Définition du substrat :

Dans cette partie, sous DIOS, nous commençons par définir la grille initiale (ou bien le substrat) sous forme d'un domaine rectangulaire. Nous déclarons les différentes caractéristiques du substrat choisi : élément de dopage, orientation, et résistivité.

Dans notre cas, le substrat initial choisi est du silicium dopé Bore avec $\rho=10\Omega\text{ cm}$ correspondant à une concentration de $1.37\text{e}+15\text{ cm}^{-3}$. C'est donc un substrat type "P"(figure.III-1)

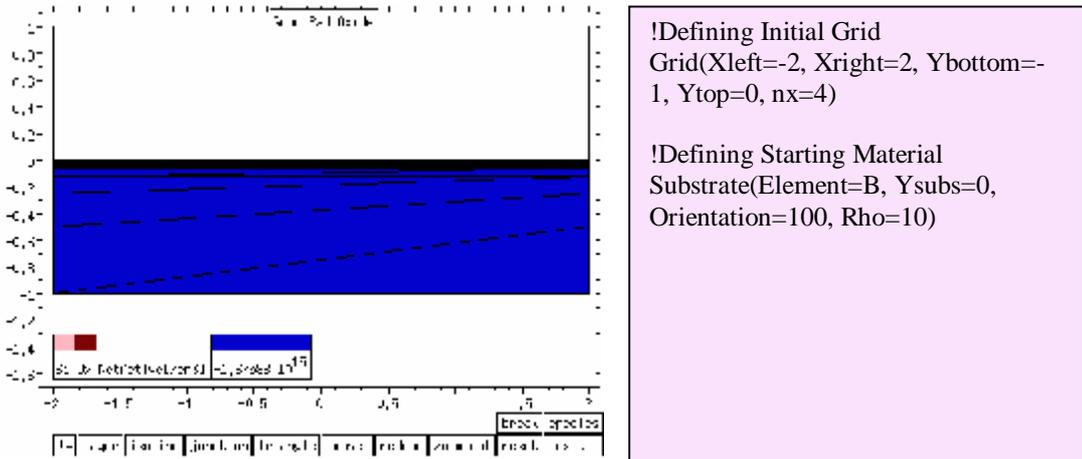


Figure.III-1 : a) Définition du substrat

b) Syntaxe sous Dios

Le profil de dopage du substrat est le suivant : (Figure III-1-c)

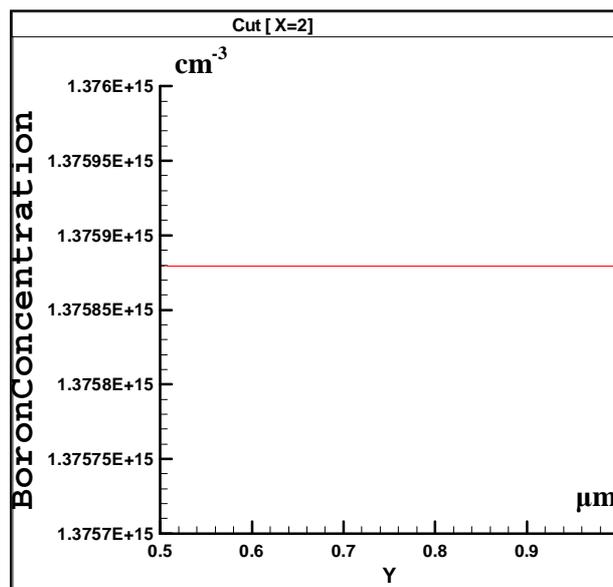


Figure III-1-c : Profil de dopage du substrat

II-2 La croissance LOCOS :

Cette oxydation est appelée croissance LOCOS comme LOCAL Oxide on Silicon. Cet oxyde assure l'isolation électrique en surface entre les composants voisins. Sa forme arrondie sur les cotés (figure.III-2), due à une diffusion de l'oxygène sous le nitrure à partir des bores, est couramment appelée « bec d'oiseau »(bird's beak). [14]

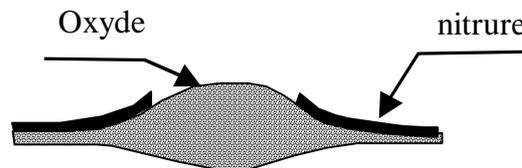


Figure.III-2 :Schéma d'un "bec d'oiseau"

La création des zones d'oxyde épais est réalisée par une croissance localisée d'oxyde thermique tandis que les zones actives(ZA), celles sur lesquelles on réalisera les dispositifs, sont masquées par du nitrure.

Pour réaliser la croissance LOCOS, nous devons commencer par définir les zones actives puis faire une implantation iso-Bore.

II- 2-1- Définition des zones actives :

Le nitrure empêche les atomes d'oxygène présent dans l'atmosphère de diffuser jusqu'au silicium, le nitrure étant quasi imperméable à l'oxygène. Il protège donc le silicium recouvert de l'oxydation (figure. III-2-1). Ceci explique son utilisation comme masque durant les croissances d'oxyde.

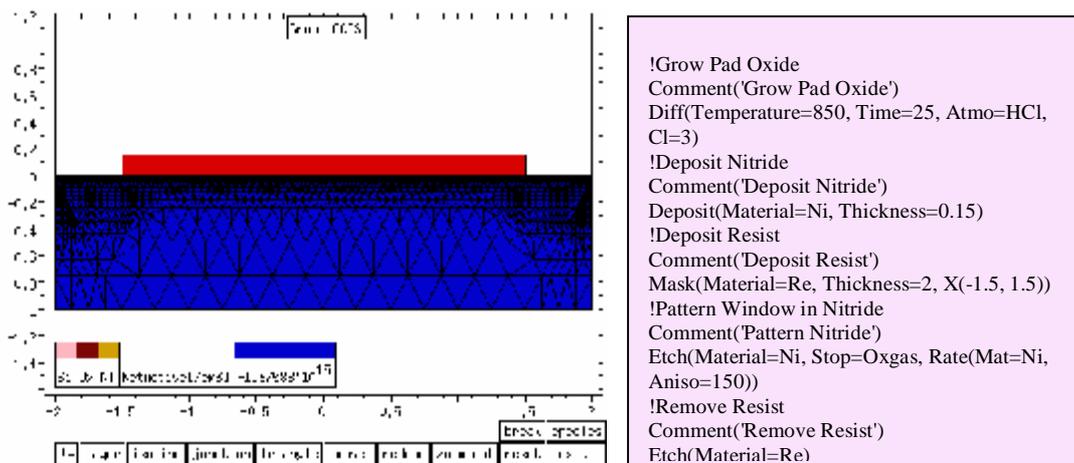


Figure. III-2-1: a) Définition des zones actives

b) Syntaxe sous Dios

II-2-2- Implantation iso bore :

Lors de l'oxydation suivante, l'oxyde avide d'atomes dopants appauvrit le substrat en son voisinage, en dessous des épaisses couches d'oxyde. Ce substrat initialement dopé P peut alors s'inverser pour devenir dopé N. Un MOS parasite entre source et drain N⁺ ou caissons N de 2 transistors voisins peut ainsi se former. Ces transistors de très faible tension de seuil peuvent court-circuiter l'ensemble de la surface de la plaquette monosilicium. L'implantation de bore surdope ces zones afin d'éviter l'inversion et permet ainsi l'isolation en volume [14] (Figure.III-2-2-1)

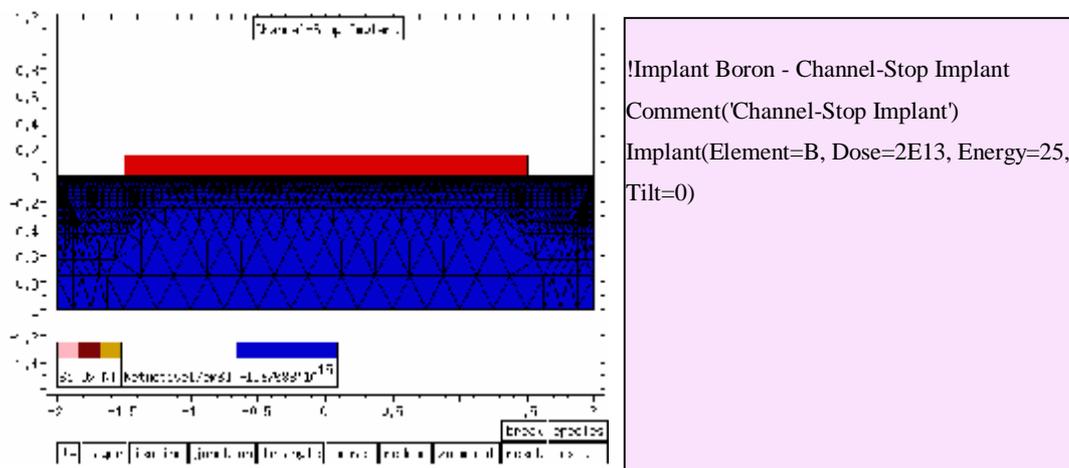
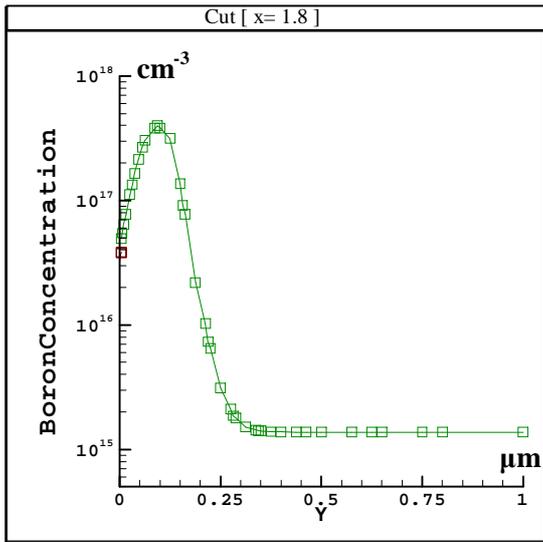
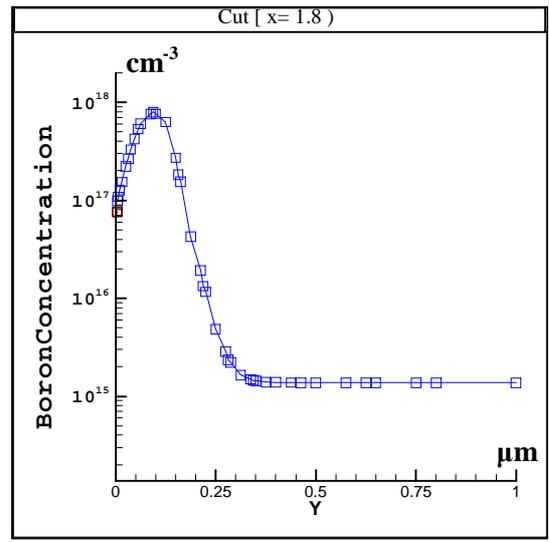


Figure.III-2-2-1: a) *Implantation iso bore* b) *Syntaxe sous Dios*

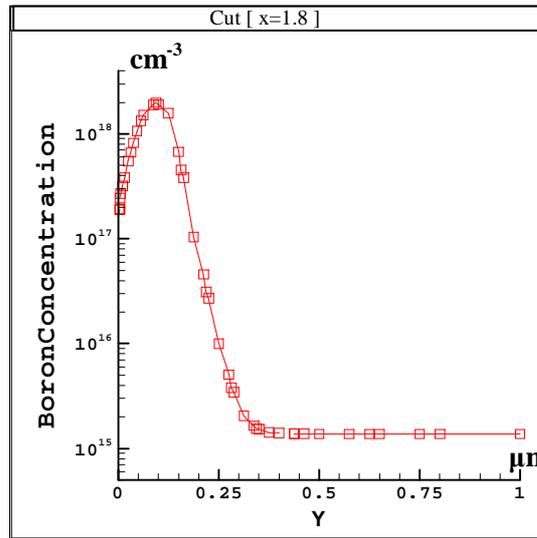
La figure suivante (figure.III-2-2-2) représente les profils de dopage du Bore pour une énergie d'implantation de l'ordre de 25KEV et différentes doses d'implantation: $4e12 \text{ cm}^{-2}$, $8e12 \text{ cm}^{-2}$, $2e13 \text{ cm}^{-2}$ correspondant aux valeurs de dopage maximales: $3.8 e17 \text{ cm}^{-3}$, $7.9e17 \text{ cm}^{-3}$ et $1.94e18 \text{ cm}^{-3}$ respectivement.



a : Dose=4e12 cm⁻²



b : Dose=8e12 cm⁻²



c : Dose=2e13 cm⁻²

Figure III-2-2-2 Profils de dopage pour différentes doses d'implantation du Bore

Dans notre travail, nous avons choisi la dose d'implantation de 2e13 cm⁻² afin de surdoper les zones en dessous des épaisse couches de l'oxyde, et éviter ainsi l'inversion.

II-2-3 Oxydation localisée et formation des caissons rétrogrades :

Durant cette étape d'oxydation, la création des zones d'oxyde épais est réalisée par une croissance localisée d'oxyde thermique sous une atmosphère humide, et une température de 900°. (Figure.III-2-3)

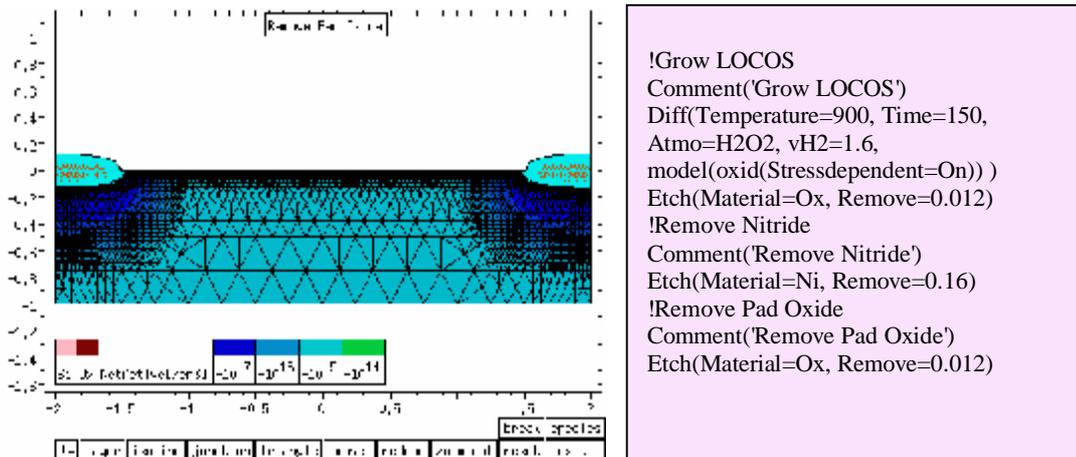


Figure.III-2-3: a) Oxydation localisée et formation des caissons rétrogrades

b) Syntaxe sous Dios

Enfin, les étapes d'isolement LOCOS se terminent par les gravures de l'oxyde déposé sur le nitrure et de l'oxyde initial, ceci permet une préparation des zones actives. La première gravure permet d'enlever des éventuelles fines couches d'oxyde déposées sur le nitrure lors de la croissance LOCOS. Sans cette gravure, l'attaque du nitrure ne serait pas totale, il resterait des rubans protégés par l'oxyde déposé, qui par la suite se retrouverait dans l'oxyde de grille du transistor MOS, provoquant des amincissements locaux favorisant ainsi une rupture de l'oxyde par claquage. La troisième gravure met à nu les zones actives.[14]

II-3 Dopage du canal :

Cette implantation à très faible énergie augmente légèrement le dopage en surface afin d'ajuster la tension de seuil du transistor NMOS. (figure.III-3-1)

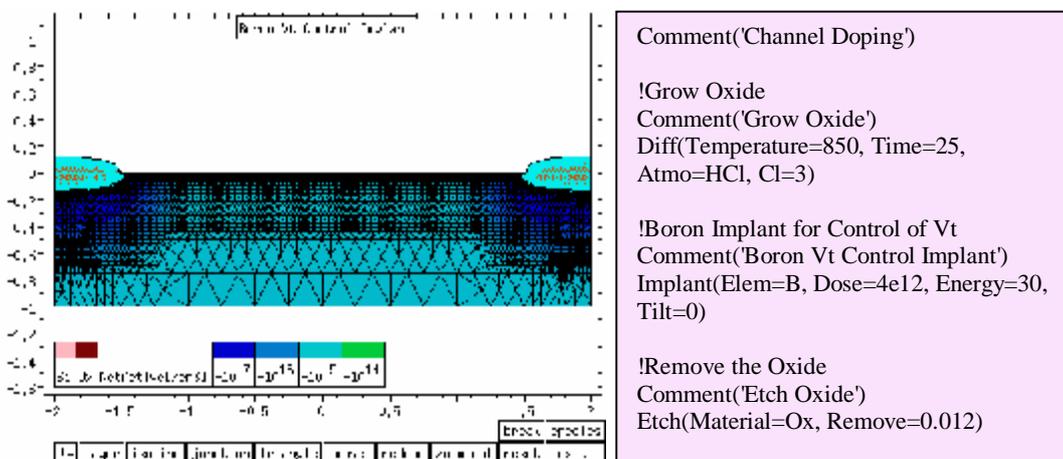
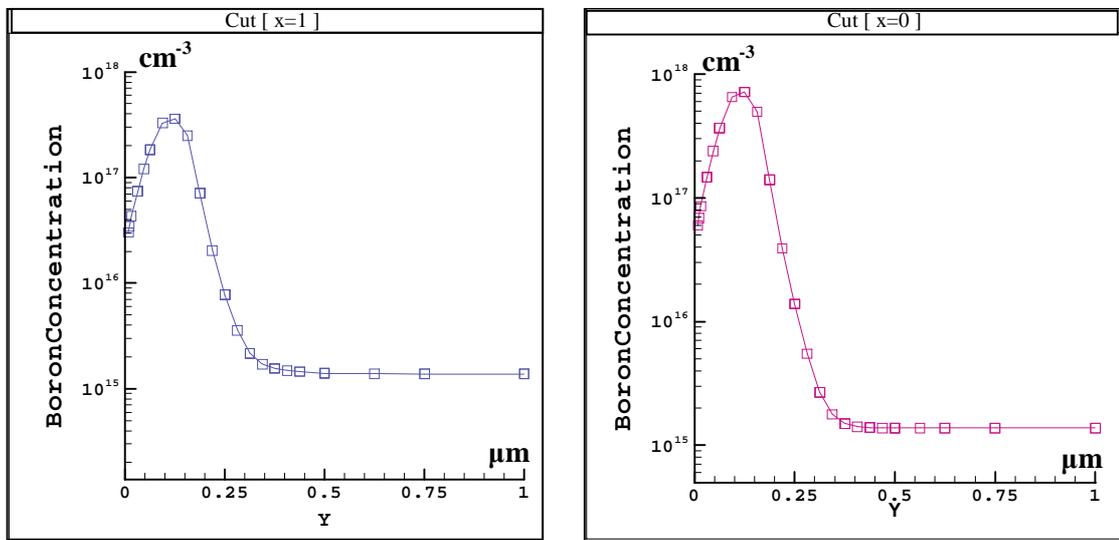


Figure.III-3-1 : a) Dopage du canal

b) Syntaxe sous Dios

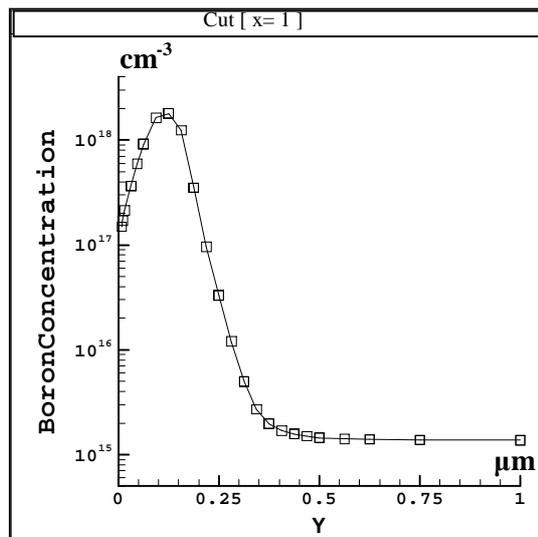
Nous présentons, pour cette étape également les profils de dopage du Bore pour différentes doses d'implantation: $4e12 \text{ cm}^{-2}$, $8e12 \text{ cm}^{-2}$, $2e13 \text{ cm}^{-2}$ correspondant aux valeurs de concentrations maximales: $3.5 e17 \text{ cm}^{-3}$, $7.11e17 \text{ cm}^{-3}$, et $1.75e18 \text{ cm}^{-3}$ respectivement, pour cette fois-ci, nous avons choisi une énergie constante de 30KEV.

Comme nous le verrons dans le chapitre suivant, la valeur de concentration qui permet d'obtenir un bon réglage de la tension du seuil et aussi un meilleur gain en courant est comprise entre $2e17$ et $8e17 \text{ cm}^{-3}$, c'est-à-dire qu'on doit choisir des doses d'implantation comprises entre $3e12$ et $9e12 \text{ cm}^{-2}$. Pour cela, nous avons choisi la valeur de $4 e12 \text{ cm}^{-2}$.



a : Dose = $2e12 \text{ cm}^{-2}$

b : Dose = $8e12 \text{ cm}^{-2}$



c : Dose = $2e13 \text{ cm}^{-2}$

Figure III-3-2 : Profils de dopage pour différentes doses d'implantation du Bore

II-4 Formation de la grille :

La formation de la grille du NMOS comprend plusieurs étapes:

II-4-1- Croissance de l'oxyde de grille et dépôt du polysilicium :

Une première étape concerne l'oxydation de toute la surface du silicium permettant ainsi de faire croître l'oxyde de grille du NMOS. Le temps d'oxydation choisi est de l'ordre de 60minutes correspondant à une épaisseur d'oxyde de 7.6nm. Une deuxième étape concerne le dépôt du polysilicium de grille, dont l'épaisseur est de l'ordre de 100 nm (figure.III-4-1). Il est dopé phosphore avec une dose de $4e15 \text{ cm}^{-2}$. Le dopage N du polysilicium réduit la résistance d'accès à la grille et garantit une répartition homogène du potentiel appliqué sur l'ensemble de la surface en contact avec l'oxyde[14].(Figure.III-4-1-C)

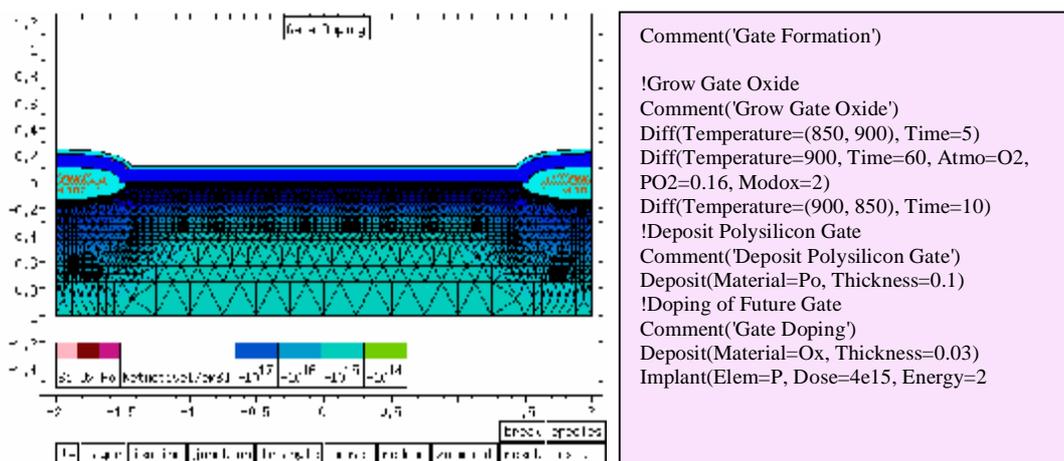


Figure.III-4-1 : a) Croissance de l'oxyde de grille

b) Syntaxe sous Dios

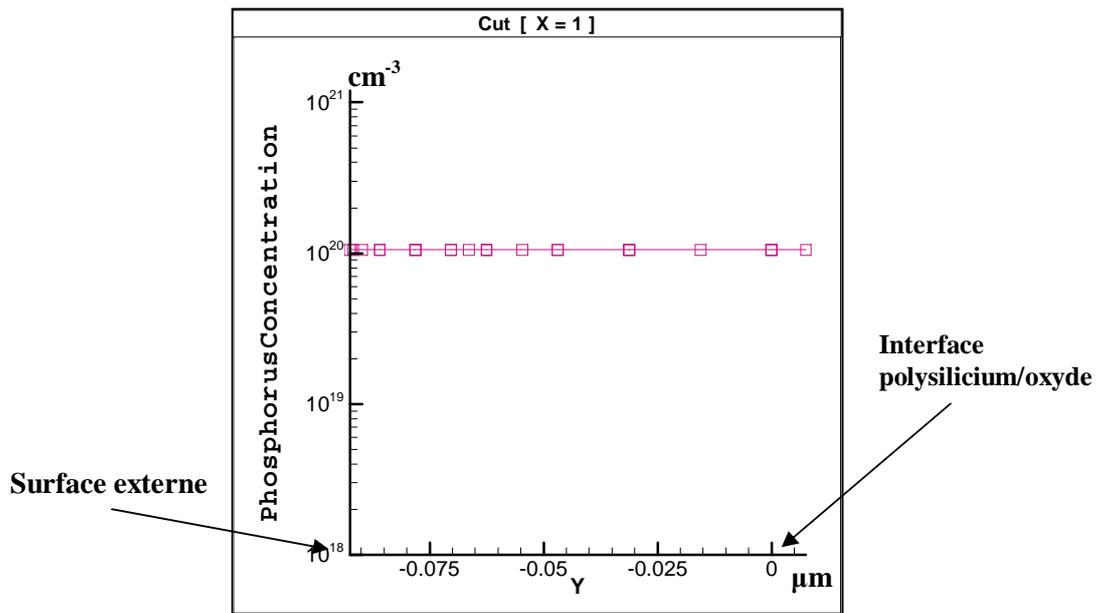


Figure III-4-1-C : Profil de dopage du polysilicium de la grille

II-4-2- Définition de la grille :

Lors de cette gravure, la grille ainsi que le drain et la source sont géométriquement définis et positionnés. (Figure.III-4-2). La longueur du canal choisie ici est de 0.35μm.

Cette technique, qui s'affranchit des erreurs d'alignement des masques lors de la définition du drain, source, grille, s'appelle l'auto- alignement.[14]

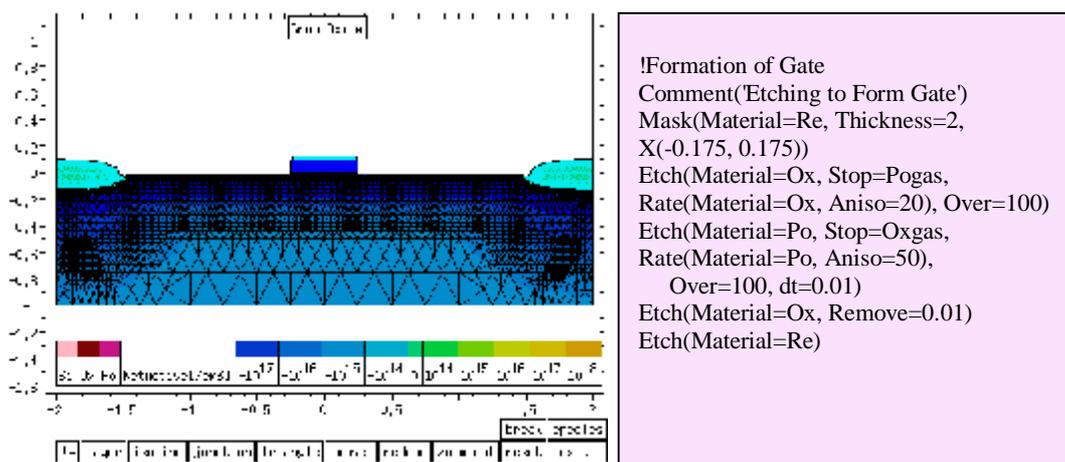


Figure.III-4-2 : a) Définition de la grille

b) Syntaxe sous Dios

II-5 Formation du drain/ source :

Au niveau de la zone active du NMOS, les parties à nu sont recouvertes d'oxyde pour les implantations suivantes, correspondant à la formation de la source et du drain.

Les étapes de la formation du drain et de la source sont :

II-5-1 LDD du NMOS :

L'implantation de phosphore de la source et du drain se fera sur toute la surface de la zone active ; le polysilicium protégeant le canal Figure (III-5-1-1). La dose choisie est de 2×10^{13} cm^{-2} , et l'énergie de 25KEV, correspondent au profil de dopage de la figure (III-5-1-2) :

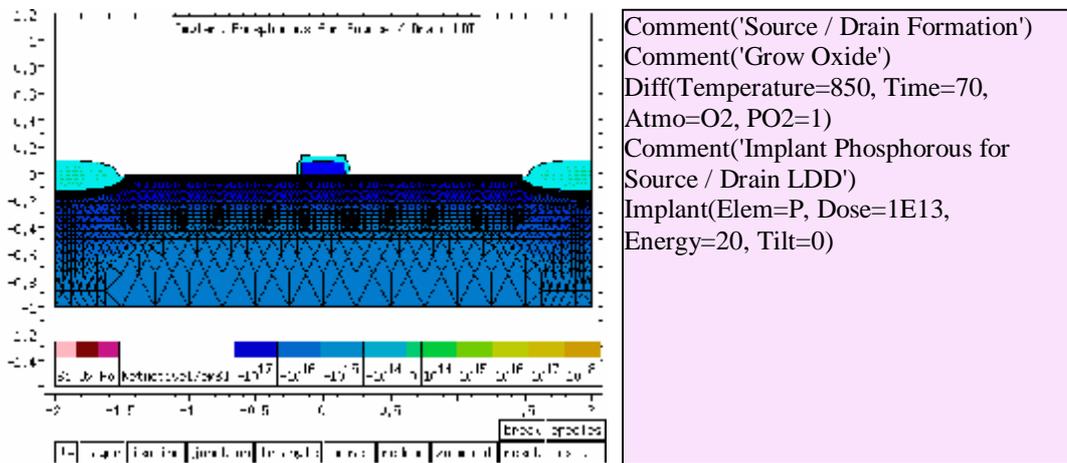


Figure III-5-1-1 : a) LDD du NMOS

b) Syntaxe sous DIOS

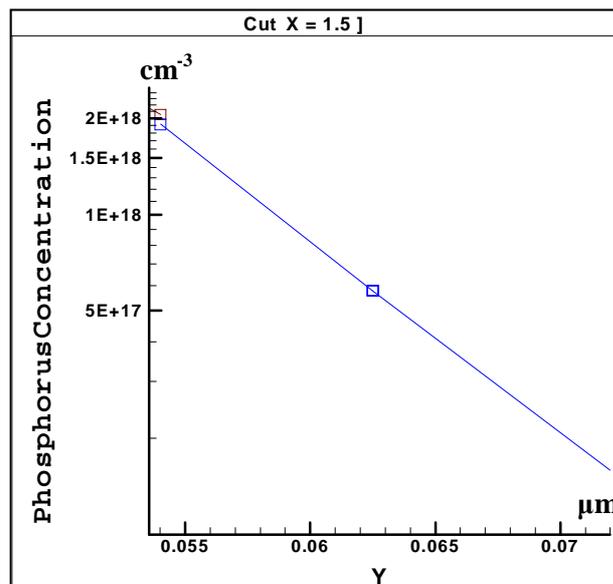


Figure III-5-1-2 : profile de dopage LDD

En vue de garder une tension de drain relativement élevée tout en diminuant la taille des transistors, il a été nécessaire d'introduire à proximité des source et drain une zone « tampon » dopée N : **Structure LDD du MOS** mais avec une concentration en atome donneur plus faible que celle de la source et du drain [6] (Figure III-5-1-3).

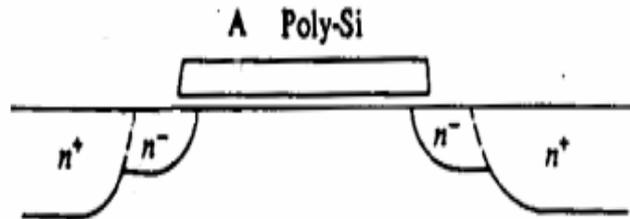


Figure III-5-1-3 : Structure LDD MOS

La présence de ces régions peu dopées près du canal autour des diffusions de drain et de source (ces profils sont désignés sous le nom de LDD ou Lightly Doped Drain) permet une meilleure répartition des zones de déplétion et donc du champ dans la structure. Les porteurs ne seront plus suffisamment accélérés pour engendrer le phénomène d'ionisation par impact.[15]

En effet, la ZCE pourra alors s'étendre principalement dans les régions de contact et plus exclusivement dans le canal (cf. Fig.III-5-1-4). [6]

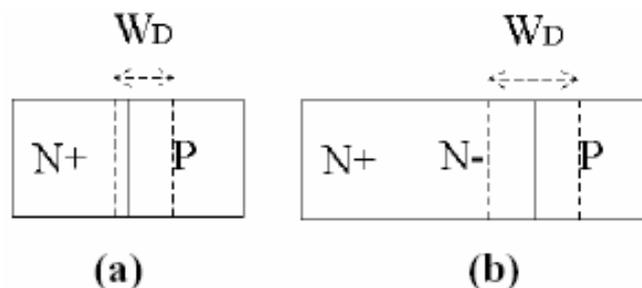


Figure III-5-1-4 : Zone de charge d'espace dans (a) un MOS et (b) un LDD MOS

II-5-2 Réalisation des espaceurs :

La gravure anisotrope donne forme aux espaceurs. Ceux-ci empêchent les courts-circuits entre grille-drain, et grille-source[16].De plus ils permettent l'auto alignement du drain et de la source. Figure (III-5-2).

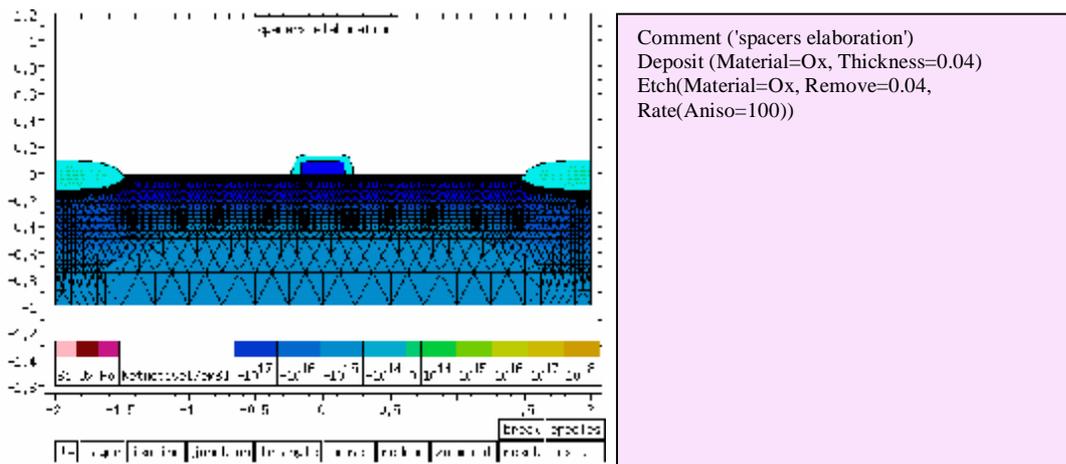


Figure III-5-2 : Réalisation des espaceurs

b) syntaxe sous DIOS

II-5-3 Formation finale de la source et du drain :

Le drain et la source sont formés par une implantation d'Arsenic, avec une dose d'implantation de $4E15 \text{ cm}^{-3}$ et une énergie de 20KEV. (FigureIII-5-3-1)

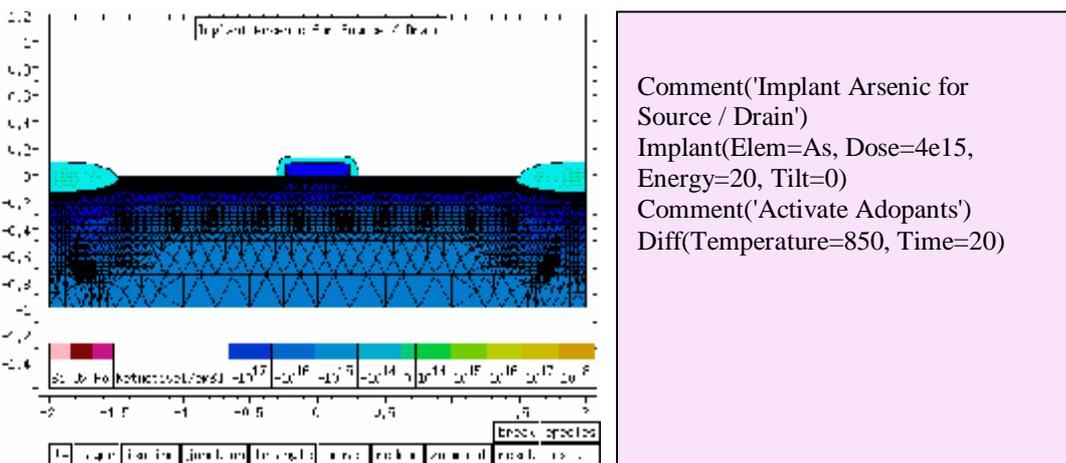


Figure.III-5-3-1 : a) Formation du drain/ source

b) Syntaxe sous Dios

Sur la figure suivante nous représentons le profil de dopage de la source et du drain (figureIII-5-3-2) :

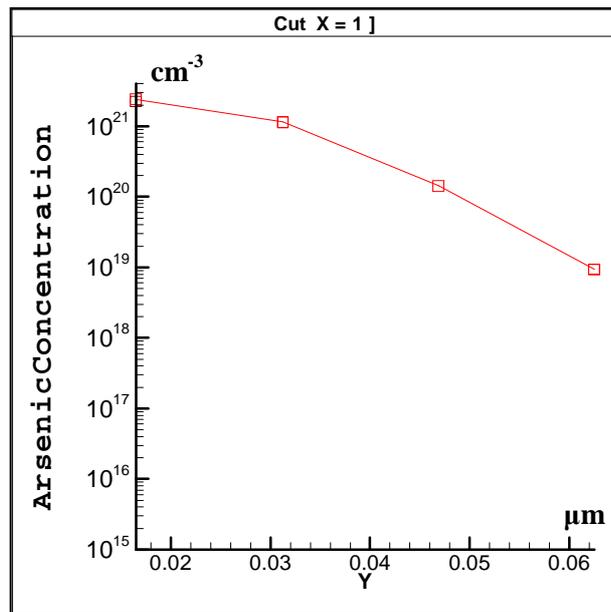


Figure III-5-3-2 : Profil de dopage du drain /source

Nous terminons par un recuit rapide, qui va activer électriquement les atomes dopants. Les défauts en surface, créés lors des diverses implantations, sont guéris par recristallisation des parties amorphisées. Les atomes dopants diffusent dans le polysilicium et le silicium monocristalin, puis se placent dans des sites substitutionnels, sites électriquement actifs. [14]

Après la formation des régions source et drain, le transistor MOS est presque entièrement fabriqué.

II-6 Interconnexions :

Pour terminer, il est nécessaire de prendre les contacts électriques par métallisation. Cette opération s'effectue selon :

II- 6-1 Isolation électrique :

Une étape d'oxydation sur toute la surface permettant de faire croître un oxyde épais d'isolation de l'ordre de 100nm. (figure. III-6-1)

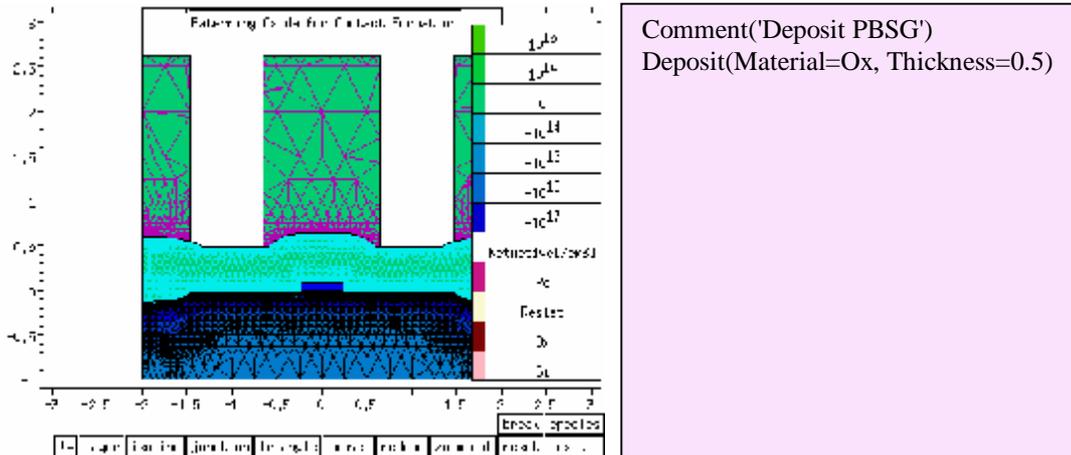


Figure. III-6-1 : a) Isolation électrique

b) Syntaxe sous Dios

II-6-2 Ouverture des contacts :

On enlève le SiO₂ de masquage dans les zones où l'on désire prendre des contacts métalliques.

(figure. III-6-2)

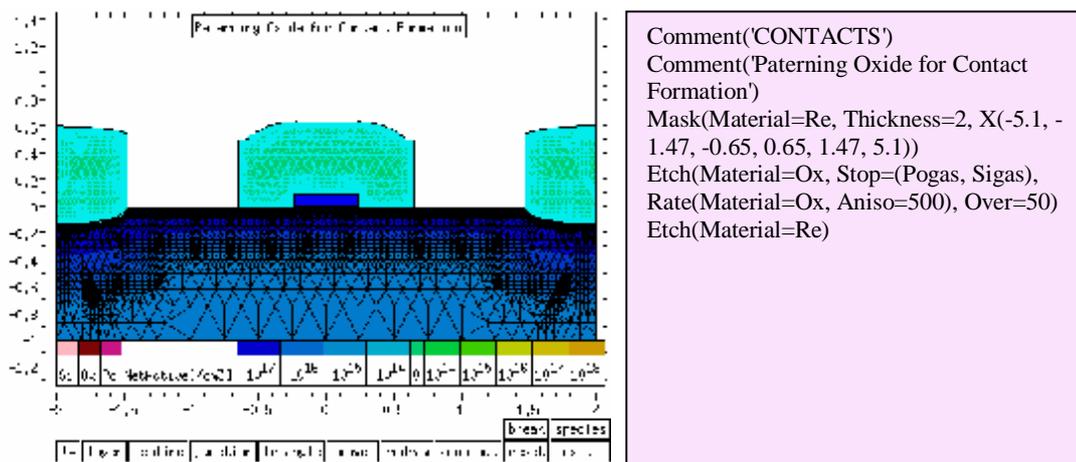
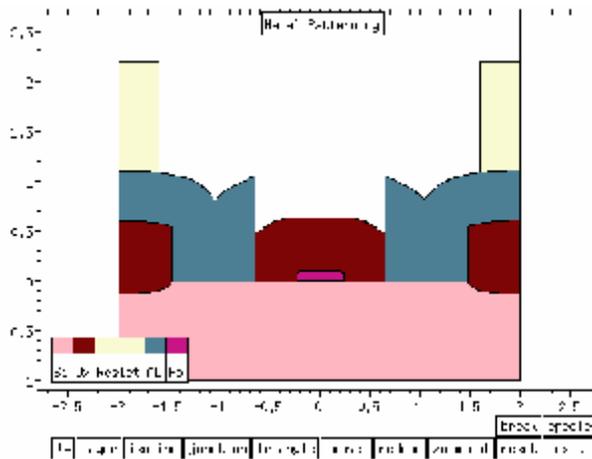


Figure. III-6-2 : a) Ouverture des contacts

b) Syntaxe sous Dios

II-6-3 Métallisation :

Nous utilisons l'Aluminium pour la métallisation de la surface du wafer. La figure (III.-6-3) représente la structure métallisée, l'épaisseur de l'Aluminium est de 0.5µm.



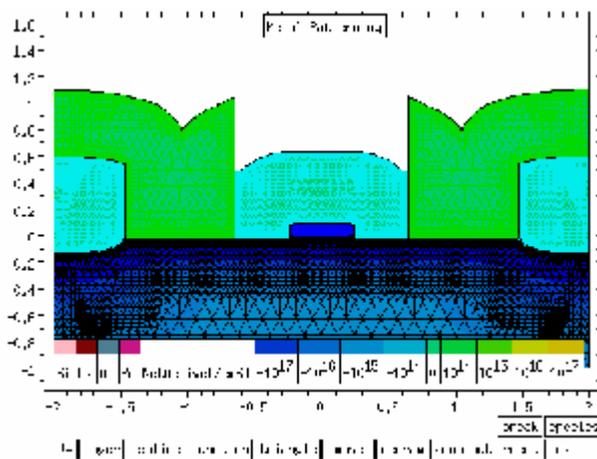
Comment('Metal Deposition')
 Deposit(Material=Al, Thickness=0.5)
 Comment('Metal Patterning')

Figure. III-6-3: a) métallisation

b) Syntaxe sous Dios

II-6-4 Gravure des contacts :

Le métal est ensuite enlevé là où il n'est pas nécessaire de l'avoir par photogravure. Cette opération définit la grille sur le poly silicium entre $x_1=-0.015$ et $x_2=0.5\mu\text{m}$. Le contact de la source est considéré entre $x_3=1.2\mu\text{m}$ et $x_4=0.03\mu\text{m}$, et le contact du drain entre $x_3=1\mu\text{m}$ et $x_4=0.1\mu\text{m}$ (figure III-6-4)



Mask(Material=Re, Thickness=2, X(-5.1, -0.65, 0.65, 5.1))
 Etch(Material=Al, Stop=(Oxgas, Sigas), Rate(Material=Al, Aniso=500), Over=200)
 Etch(Material=Re)

Figure. III-6-4 : a) Gravure des contacts

b) Syntaxe sous Dios

III- CONCLUSION

Nous venons de présenter brièvement les principales étapes technologiques permettant la réalisation du transistor MOS.

Nous avons utilisé pour simuler ces étapes de fabrication, le module de conception technologique "DIOS".

Nous avons présenté à l'aide du module de visualisation "TECPLOT", tous les profils de dopage correspondant à chaque étape de fabrication.

I- INTRODUCTION :

La miniaturisation des transistors MOS et plus particulièrement la diminution de la longueur de canal s'accompagne de la réduction de l'épaisseur d'oxyde de grille, de manière à augmenter le couplage capacitif entre la grille et le canal et garder ainsi le contrôle de la couche d'inversion. Cette réduction des dimensions engendre des phénomènes parasites (modification de la tension de seuil par exemple) qui détériorent les caractéristiques électriques de sortie courant-tension du TMOS.

Dans ce chapitre, nous nous intéressons à étudier ces différents phénomènes, et pour cela nous utilisons le module de simulation électrique DESSIS, ainsi que l'outil de visualisation INSPECT.

II- CARACTERISTIQUE DE SORTIE COURANT-TENSION :

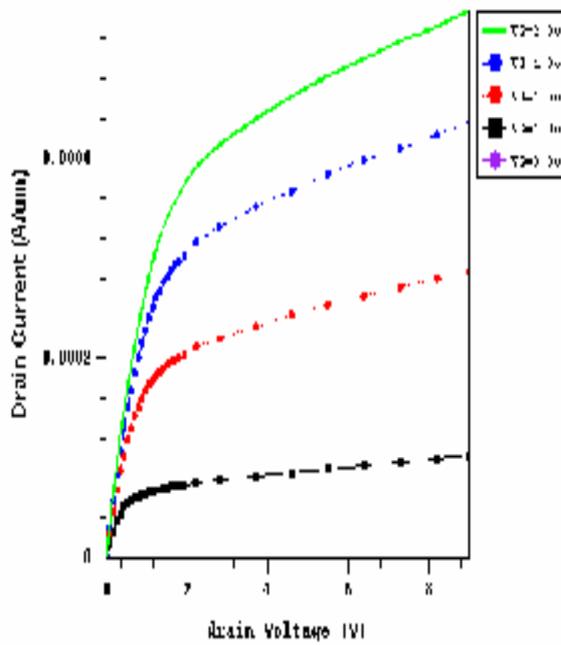
II-1 Effet du dopage du canal:

Les figures (IV-1) et (IV-2) représentent l'évolution des caractéristiques électriques pour des dopages de canal différents pour une technologie CMOS 0.35 μ m. Nous avons considéré des valeurs de dopage en surface : 3.59e17cm⁻³, 8.01e17cm⁻³, 3.55e18cm⁻³ correspondant à des doses d'implantation maximales de Bore : 4e12cm⁻², 9e12cm⁻², 4e13cm⁻².

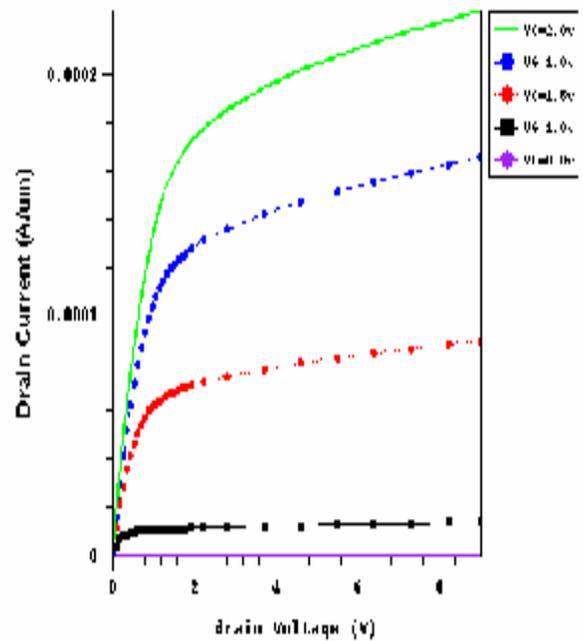
Nous remarquons que, plus la dose d'implantation est forte, et plus nous avons du mal à former le canal de conduction. Il faudrait des tensions V_{GS} de plus en plus importantes. En effet la tension de seuil devient importante dans ce cas la (cf. équation IV-1) [17]

$$V_T = 2 f_B + (4 q N_a e s f_B)^{1/2} / Cox \quad \text{IV-1}$$

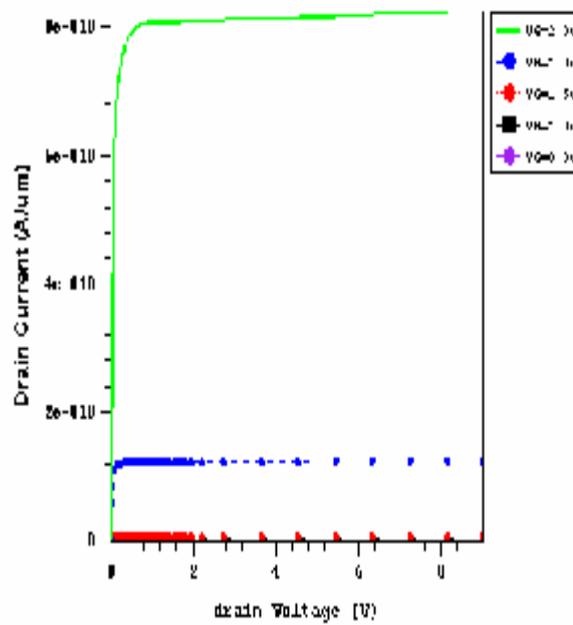
□ **Le dopage du canal devient donc un paramètre clé pour régler la tension de seuil V_T .**



IV-1-1 Dose=4e12 cm⁻²



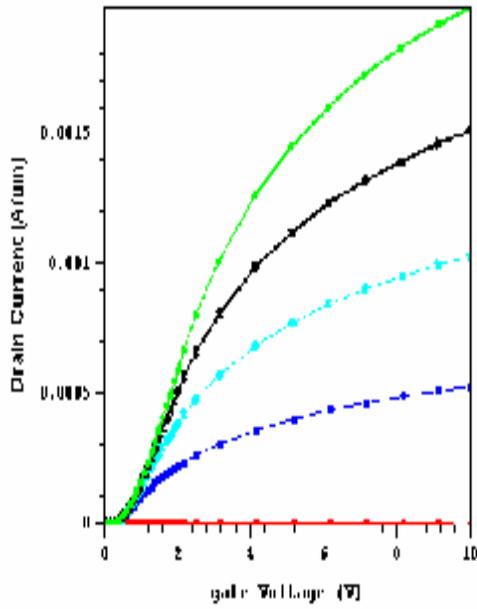
IV-1-2 Dose=9e12 cm⁻²



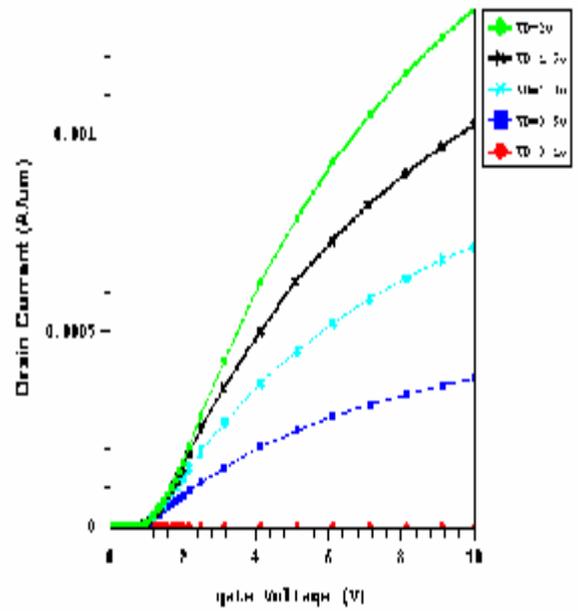
IV-1-3 Dose=4e13 cm⁻²

Figure IV-1 : Caractéristiques $I_D(V_D)$ paramétrées par la dose(dopage du canal) :

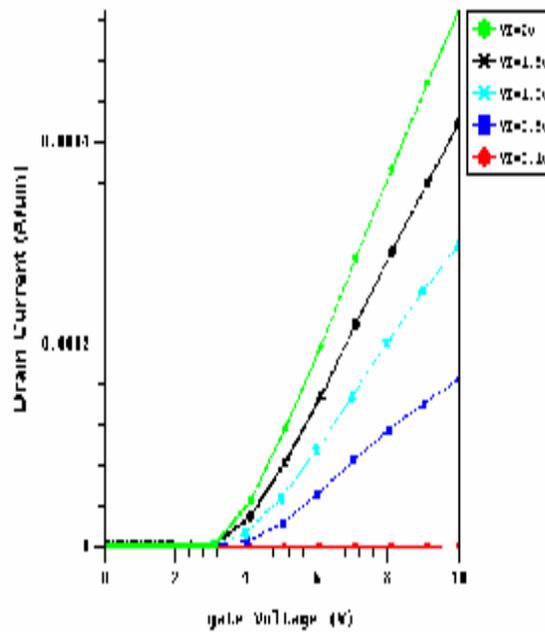
$L=0.35\mu m, Tox=3nm, V_G=\{ 0, 1.0, 1.5, 1.8, 2.0V \}$



IV-2-1 Dose=4e12 cm⁻²



IV-2-2 Dose=9e12 cm⁻²



IV-2-3 Dose=4e13 cm⁻²

Figure IV-2 : Caractéristiques $I_D(V_G)$ paramétrées par la dose(dopage du canal) : $L=0.35\mu m, Tox=3nm, V_D=\{ 0.1, 0.5, 1.0, 1.5, 2.0V \}$

En plus, nous pouvons constater aussi que, plus on augmente la dose d'implantation plus la pente des caractéristiques $I_D(V_D)$ diminue. La figure suivante (figure IV-a), illustre l'évolution de la pente $g_{m \max}$ en fonction du dopage du canal, dans ce cas nous avons choisi un TMOS de longueur du canal $=0.35\mu\text{m}$ et d'une épaisseur d'oxyde $=7.6\text{nm}$, la pente $g_{m \max}$ est calculée à une tension V_D constante $=1.0\text{V}$.

Dose [cm^{-2}]	Dop max du canal [cm^{-3}]	g_m [A/V]
3 e 12	2.7e17	0.000241486
4e12	3.59e17	0.000213363
6e12	5.39e17	0.000180438
8e12	7.18e17	0.000148124
9e12	8.01e17	0.000134582
2e13	1.79e18	8.04951e-005
3e13	2.66e18	6.14677e-005
4e13	3.55e18	5.32247e-005

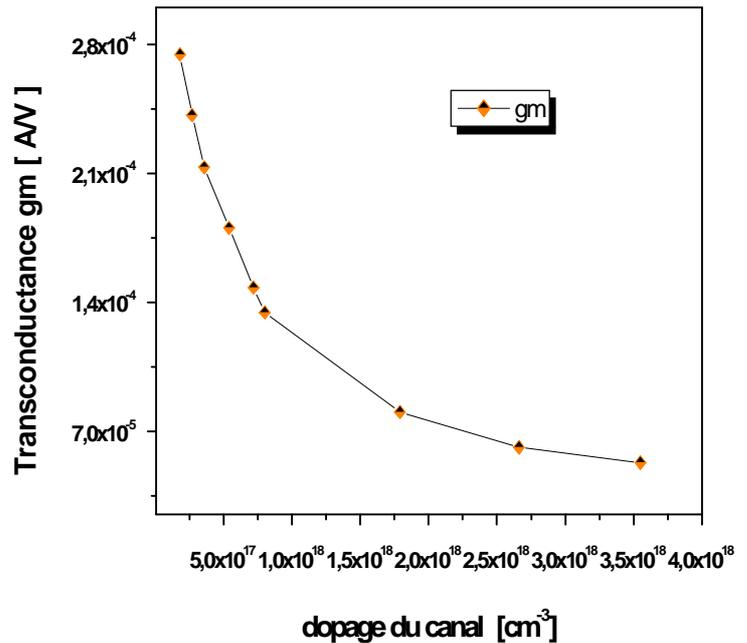
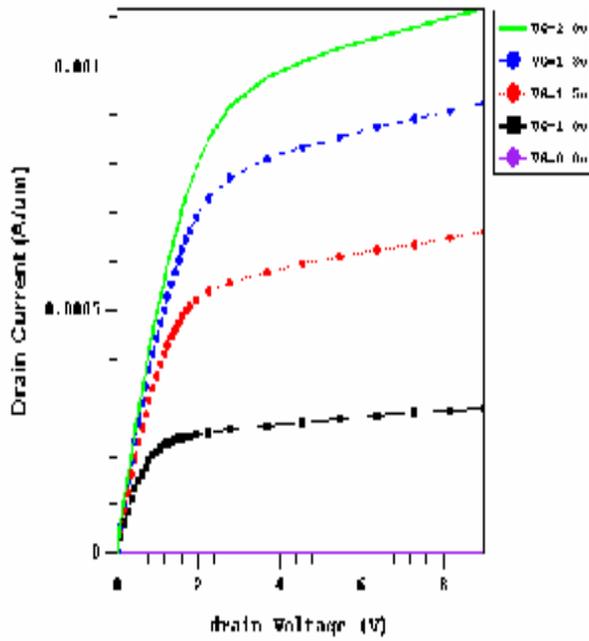


Figure IV-a: Evolution de la transconductance en fonction de dopage du canal

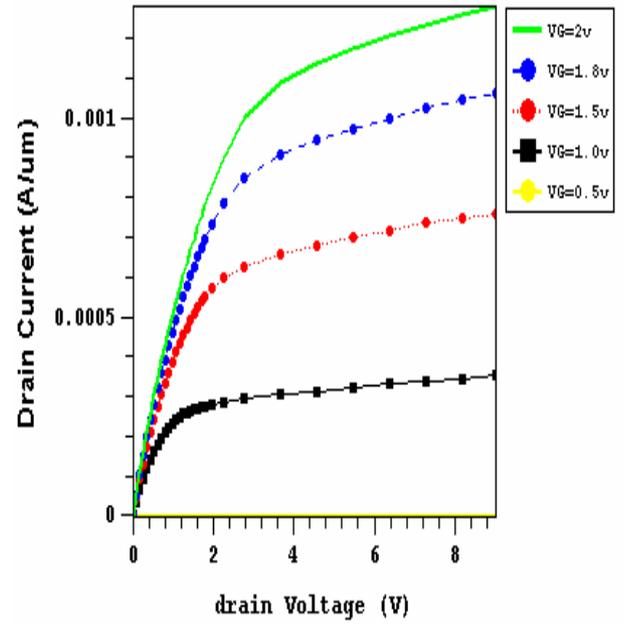
Enfin, nous concluons que, la transconductance $g_{m \max}$ est un des plus importants paramètres du TMOS, car c'est en réalité une mesure du gain du dispositif. Par exemple, dans le cas de la figure (IV-a), pour avoir un meilleur gain on doit choisir des dopages du canal compris entre $2e17$ et $8e17$, en d'autre terme des doses d'implantation comprises entre $3e12$ et $9e12 \text{ cm}^{-2}$. [15]

II-2 Réduction de la longueur du canal :

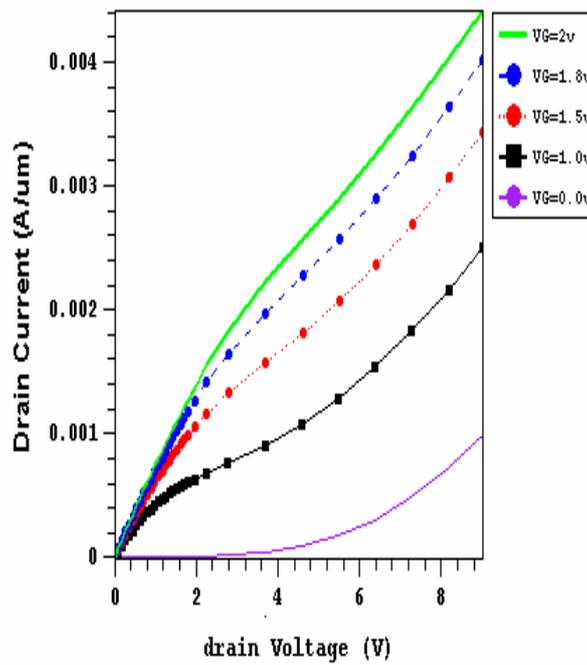
Les figures (IV -3) et (IV-4) représentent l'évolution des caractéristiques électriques ($I_D(V_D)$, $I_D(V_G)$) respectivement pour différentes longueurs du canal : ($0.1\mu\text{m}$, $0.35\mu\text{m}$, $0.5\mu\text{m}$).



IV-3-1: L=0.5μm

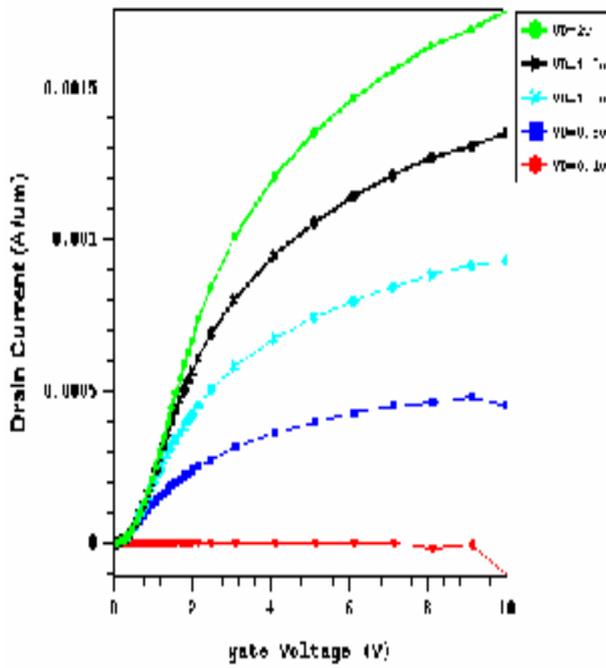


IV-3-2 : L =0.35μm

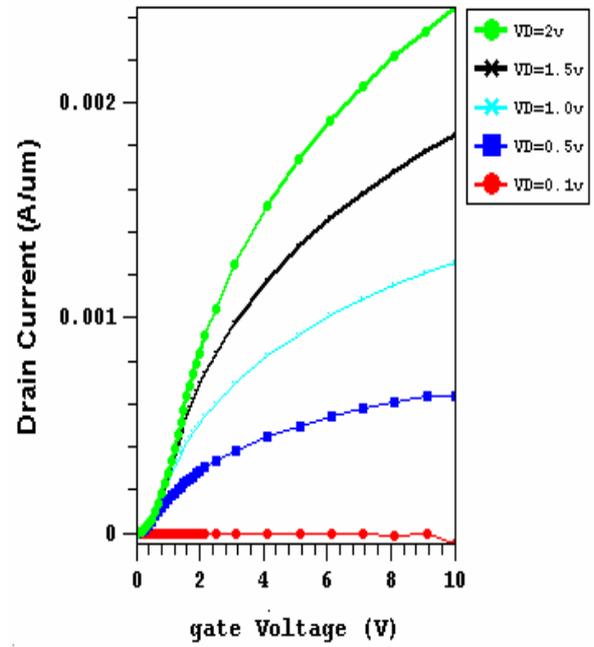


IV-3-3 L =0.1μm

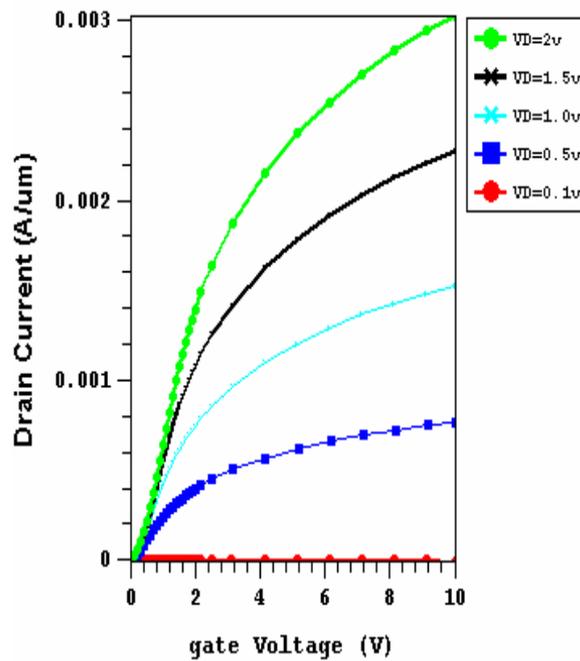
Figure IV-3- Caractéristiques $I_D(V_D)$ paramétré par L (longueur du canal) : $T_{ox}=3nm$
 $V_G=\{ 0, 1.0, 1.5, 1.8, 2.0V \}$



IV- 4-1: L=0.5 μ m



IV-4-2 : L =0.35 μ m



IV- 4-3 L =0.1 μ m

Figure IV-4- Caractéristiques $I_D(V_G)$ paramétriser par L (longueur du canal) : $T_{ox}=3nm$, $V_D=\{ 0.1, 0.5, 1.0, 1.5, 2.0V \}$

Lorsque nous réduisons la longueur du canal, nous observons les phénomènes suivants :

- Tout d'abord le courant de drain augmente considérablement avec la tension de drain au-delà de la zone de pincement (saturation) en comparaison avec des dispositifs dits à canal long ou l'on peut considérer que le courant reste constant en saturation.[6]
- **Le courant de drain d'un transistor à canal court ne sature pas. Pour les tensions de drain envisageables**
- En outre, le courant de drain n'est pas nul pour une tension de grille nulle [6].
- **La grille a donc, perdu le contrôle du canal et ne peut plus " couper " le transistor.[6]**
- Finalement, nous observons le changement de la tension de seuil avec la longueur du canal.

Nous allons expliquer plus en détail la variation de la tension du seuil en fonction de la longueur du canal au paragraphe suivant.

II-3 Influence de l'épaisseur d'oxyde :

L'effet de la réduction de l'épaisseur d'oxyde de grille sur les caractéristiques électriques $I_D(V_D)$ et $I_D(V_G)$ est représenté sur les figures (IV-5) et (IV-6).

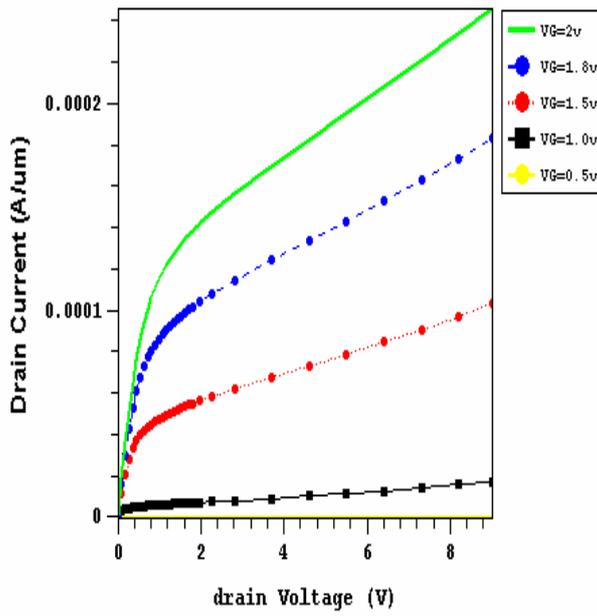
A partir de ces figures, nous pouvons constater que la diminution de l'épaisseur d'oxyde s'accompagne d'un accroissement important du courant de drain I_D (cf. l'équation.I-4)

$$I_D = \frac{W}{L} m_n C_{ox} \left[(V_G - V_T) V_D - \frac{V_D^2}{2} \right] \quad \text{I-4}$$

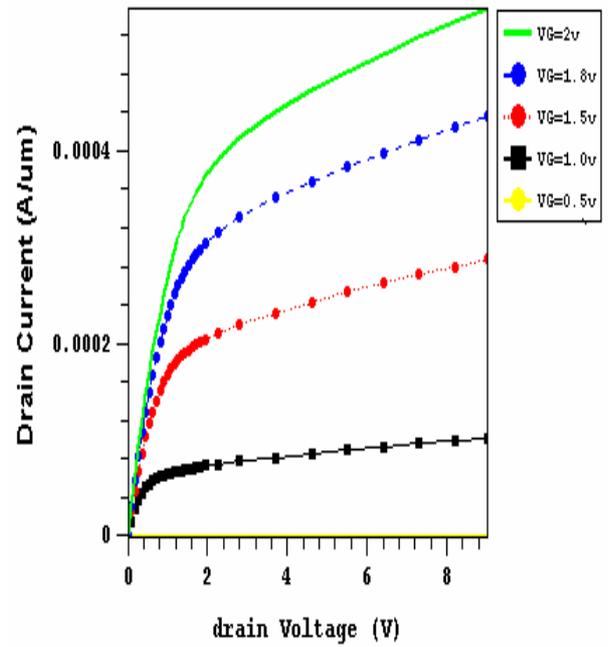
Où :

$C_{ox} = (\epsilon_0 \epsilon_{ox}/t_{ox})$: capacité d'oxyde par unité de surface.

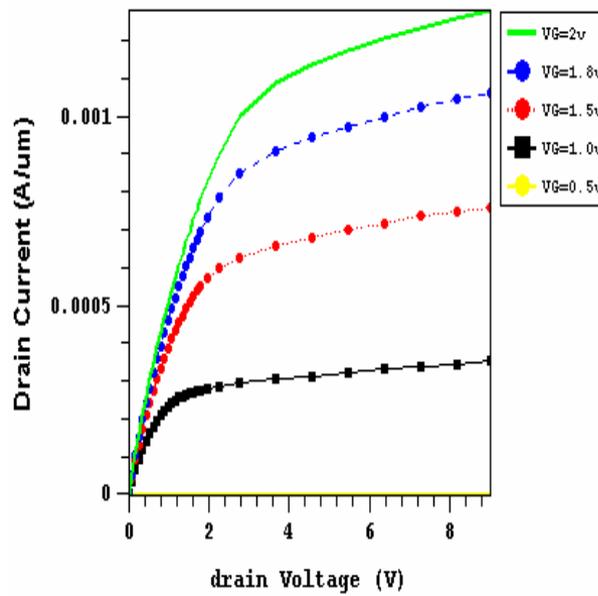
t_{ox} : l'épaisseur d'oxyde.



IV-5-1 $T_{ox} = 16nm$

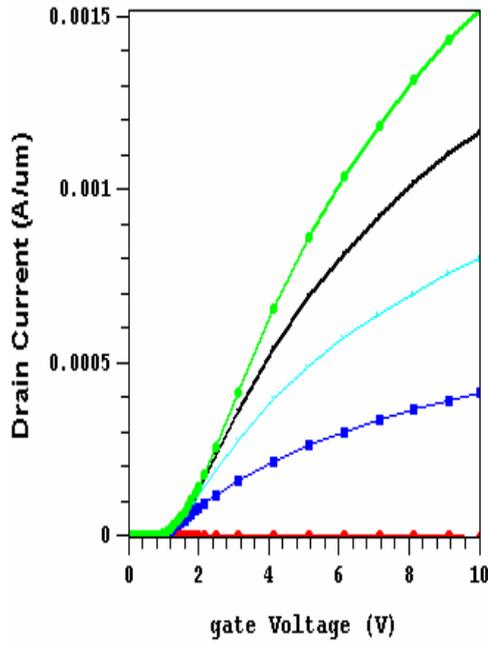


IV- 5-2 : $T_{ox} = 7.6nm$

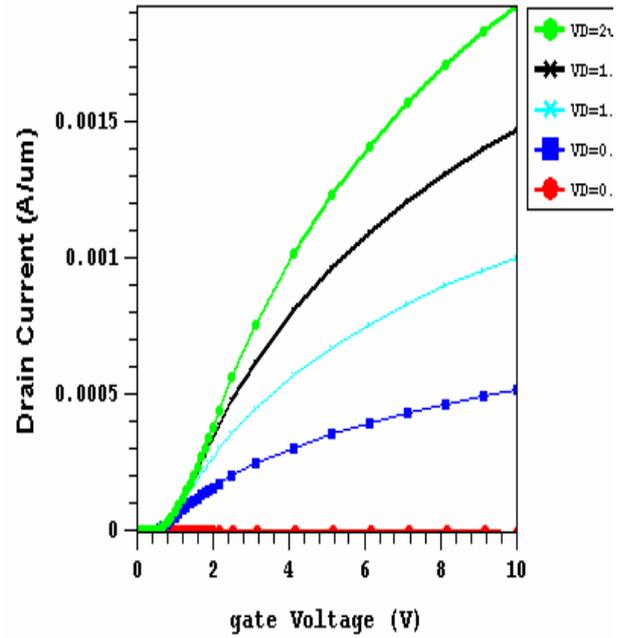


IV- 5-3: $T_{ox} = 3nm$

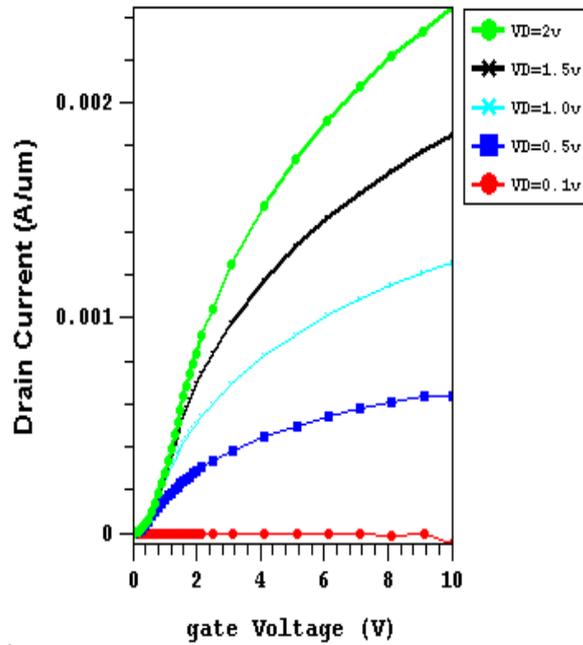
Figure IV-5- Caractéristiques $I_D(V_D)$ paramétré par T_{Ox} : $L = 0.35\mu m$,
 $V_G = \{ 0.0, 1.0, 1.5, 1.8, 2.0V \}$



IV-6-1 Tox =16nm



IV-6-2 : Tox =7.6nm



IV-6-3: Tox =3nm

Figure IV-6- Caractéristiques $I_D(V_G)$ paramétriser par T_{Ox} (épaisseur d'oxyde) :

$$L = 0.35\mu m, V_D = \{ 0.1, 0.5, 1.0, 1.5, 2.0V \}$$

□ Le courant de drain est inversement proportionnel à la variation de l'épaisseur d'oxyde. Physiquement ; cela s'explique assez simplement par le fait que, quand on réduit l'épaisseur d'oxyde, le potentiel de surface du substrat devient important ce qui implique la création d'une force très importante qui permet d'attirer les électrons minoritaires au niveau du canal. Donc, c'est cette augmentation du nombre des électrons au niveau du canal qui permet d'accroître la densité du courant de drain

Le second point mis en valeur par la figure (IV-6) est la forte dépendance de la tension du seuil en fonction de l'épaisseur d'oxyde, en effet plus on réduit l'épaisseur d'oxyde, et plus la tension de seuil diminue.

□ **La tension de seuil diminue en réduisant l'épaisseur d'oxyde**

De plus, nous pouvons remarquer également la forte dépendance de la transconductance g_m en fonction de l'épaisseur d'oxyde, donc au fur et à mesure que nous réduisons l'épaisseur d'oxyde, la pente augmente (cf. équation 8 qui donne l'expression de la transconductance en régime linéaire)

$$g_m = \frac{\partial I_D}{\partial V_G} \approx \frac{W}{L} \mu_n C_{ox} V_D \quad \mathbf{I-8}$$

Nous illustrons ces variations sur la (figure VI-b). Pour cela, nous avons choisi un dispositif de la technologie $0.35\mu\text{m}$ avec un dopage du canal égal $3.5 \times 10^{17} \text{cm}^{-3}$ et une tension V_D constante = 1.0V.

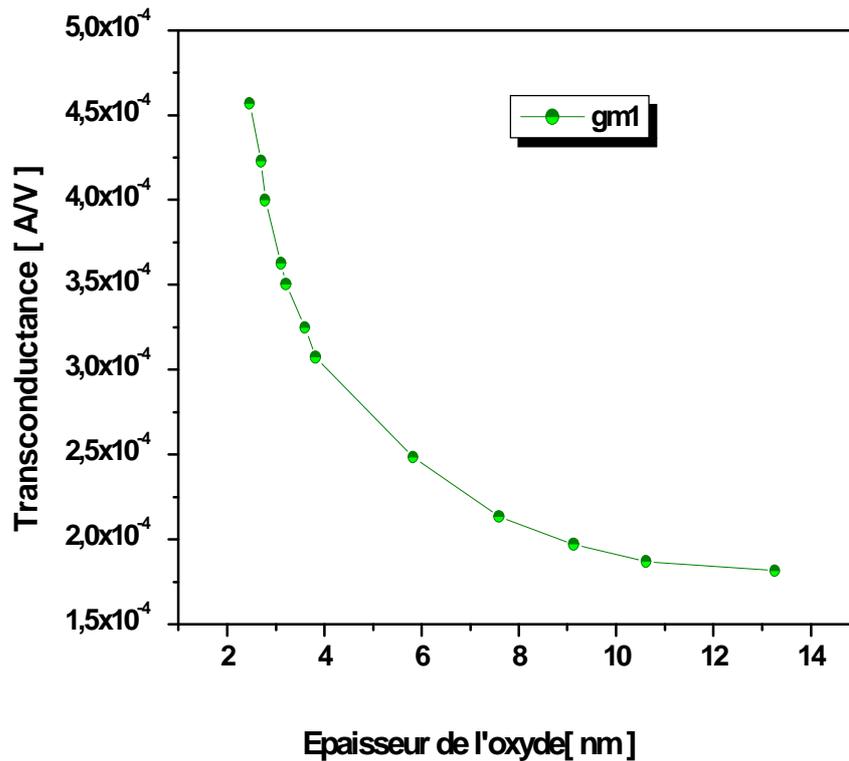


Figure IV-b : Evolution de la transconductance en fonction de l'épaisseur d'oxyde

On peut conclure que, pour des TMOS ayant des oxydes de grille très mince (inférieurs à 4nm, dans le cas de l'exemple de la figure (IV-b), le gain en courant est très fort. [18]

III- OPTIMISATION DE LA TENSION DE SEUIL DU TMOS :

L'un des paramètres le plus sensible des effets de la miniaturisation des TMOS est la tension de seuil. A travers sa variation avec le dopage du canal, la longueur du canal et l'épaisseur d'oxyde, nous pouvons optimiser les performances de notre dispositif. Dans la littérature, plusieurs définitions de la tension de seuil coexistent, dans notre travail nous avons appliqué une méthode graphique pour extraire la valeur de V_T .

III 1- Effet de l'épaisseur d'oxyde sur V_T :

Dans la figure suivante (figure IV-7), nous représentons la variation de la tension de seuil avec l'épaisseur d'oxyde. Nous avons choisi un transistor de la technologie 0.35 μ m, avec un canal dopé Bore d'une concentration en surface égale 3.5e17cm⁻³, et une tension V_D constante = 1.0V

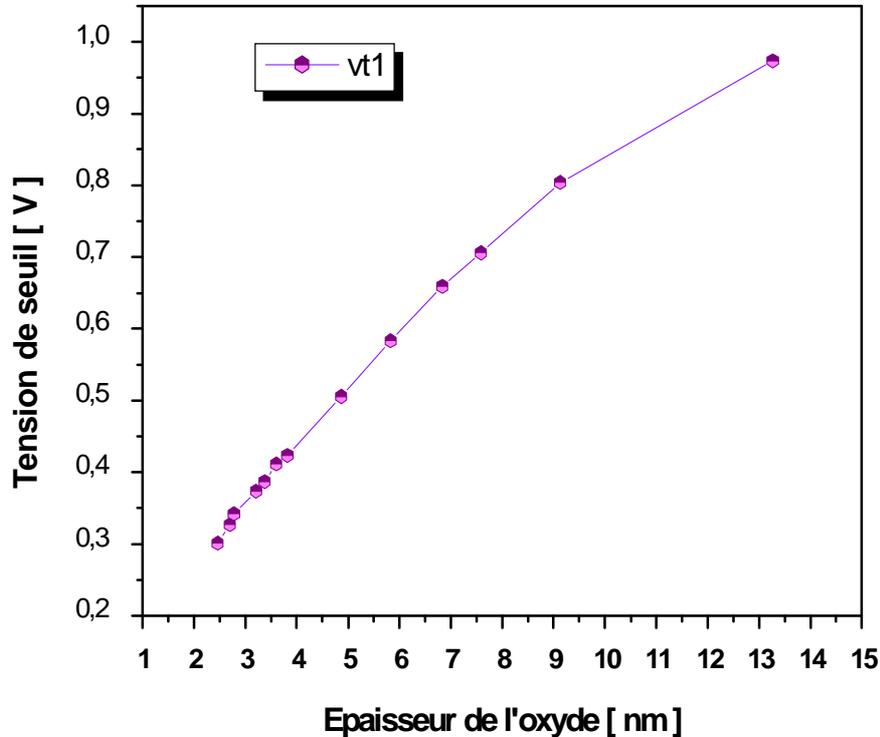


Figure IV-7 : Evolution de la tension de seuil en fonction de l'épaisseur d'oxyde de grille

Nous remarquons que, la tension de seuil est fortement proportionnelle à la variation de l'épaisseur d'oxyde, de plus, pour des épaisseurs d'oxyde de grille inférieures à 4nm la tension de seuil diminue très rapidement. (cf. équation II-2)[18]

$$V_T = 2 f_B + (4 q N_a e s f_B) / C_{ox}$$

II-2

III-2- Effet de la dose d'implantation du canal :

La figure suivante (Fig. IV-8) représente la variation de la tension de seuil en fonction de dopage du canal. Nous avons choisi un transistor ayant les caractéristiques suivantes : une longueur du canal égale 0.35 μ m et une épaisseur d'oxyde égale 7.6nm, alimenté par une tension V_D constante égale 1.0V.

Dose	Dopage max du canal	V_T [V]
3 e 12	2.7e17	0.623891
4e12	3.59e17	0.705829
5e12	4.49e17	0.82422
6e12	5.39e17	0.87519
7e12	6.30e17	0.928094
8e12	7.18e17	0.989709
9e12	8.01e17	1.04971
1e13	8.88e17	1.12842
2e13	1.79e18	1.92264
3e13	2.66e18	2.96364
4e13	3.55e18	4.19562

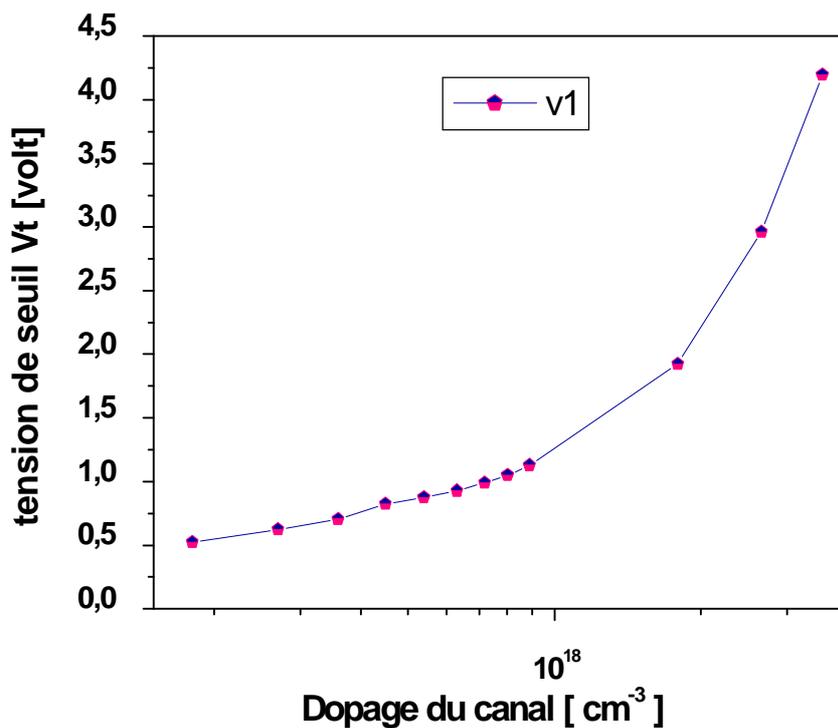


Figure IV-8 : Evolution de la tension de seuil en fonction du dopage du canal

Nous remarquons que, pour un dopage du canal assez fort, (pour des dopages supérieurs à $8e17 \text{ cm}^{-3}$ correspondant à des doses d'implantation supérieure à $1e13 \text{ cm}^{-2}$), la tension de seuil prend des valeurs élevées, par conséquent la tension de grille doit être grande. Cependant, elle est très faible pour les dopages du canal compris entre $2.7e17 \text{ cm}^{-3}$ et $7.18e17 \text{ cm}^{-3}$ correspondant

à des doses d'implantation comprises entre $3e12 \text{ cm}^{-2}$ et $8e12 \text{ cm}^{-2}$, pour cela, une faible tension de commande sera suffisante pour que le transistor soit passant. [17]

III-3- Effet de la longueur du canal :

La figure (IV-9) représente l'évolution de la tension de seuil en fonction de la longueur du canal. Nous avons choisi l'épaisseur d'oxyde =3nm, un dopage du canal= $3.5e17$ et une tension V_D constante = 1 .0V

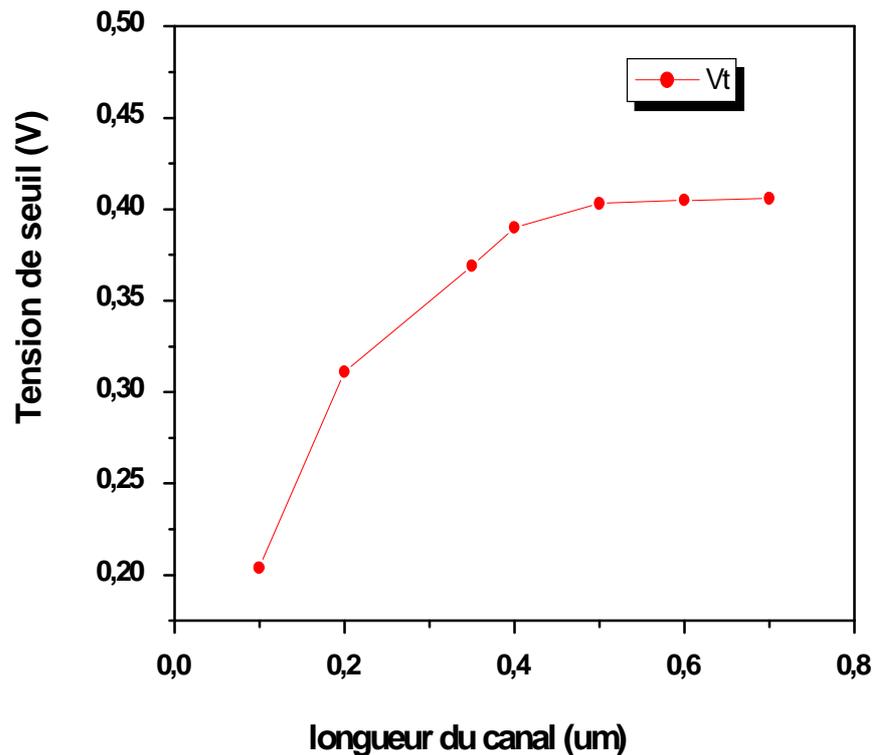


Figure IV-9 : Evolution de la tension de seuil en fonction de la longueur du canal

Nous constatons que, pour les dispositifs à canal longs, c'est à dire pour les longueurs du canal supérieures à $0.5\mu\text{m}$, la tension de seuil est indépendante de la longueur de canal. Toutefois, pour les transistors à canal court, la tension de seuil décroît fortement lorsque L devient inférieur à $0.2 \mu\text{m}$. [16]

□ Pour l'épaisseur d'oxyde choisie (3nm), en dessous de $0.2\mu\text{m}$, la tension de grille ne contrôle plus le courant de drain et le transistor ne peut plus être utilisé comme interrupteur. [6]

IV- COURANTS DE FUTES A TRAVERS LA GRILLE :

Nous allons étudier l'influence de la miniaturisation des dimensions du transistor, et plus particulièrement la réduction de l'épaisseur d'oxyde, sur le courant de grille I_g .

IV-1- Influence de l'épaisseur d'oxyde :

On a choisi un transistor de la technologie 0.35 μm . Nous avons fait varier l'épaisseur d'oxyde de grille de 16nm à 2.46nm en jouant sur le temps d'oxydation.

Le tableau suivant (IV-10-a) donne la variation de l'épaisseur d'oxyde en fonction du temps d'oxydation. Il est à noter que l'oxydation ici est une oxydation sèche.

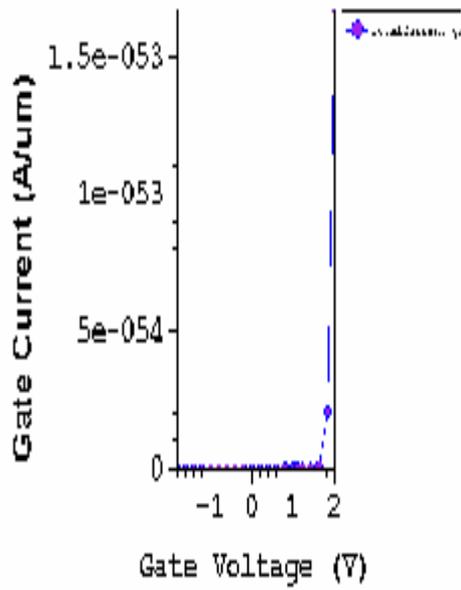
Temps d'oxydation	7	8	9	10	12	14	16	18	20	30	40	50	80	100	120
Epaisseur de l'oxyde [nm]	2.46	2.55	2.70	2.78	3.11	3.21	3.38	3.60	3.82	4.87	5.83	6.83	9.13	10.62	13.27

Figure IV-10-a : Variation de l'épaisseur d'oxyde en fonction du temps d'oxydation

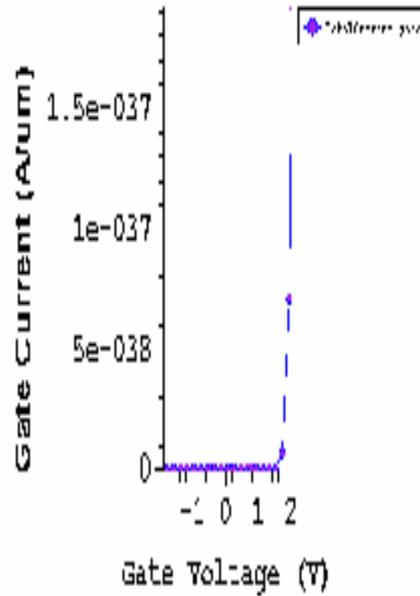
La figure (IV-10-b) représente, l'évolution du courant de grille I_g en fonction de l'épaisseur d'oxyde. On constate que le courant à travers l'oxyde de grille peut être considéré nul pour des épaisseurs d'oxydes supérieurs à 4nm. Cependant, pour les oxydes inférieurs à 3nm, le courant I_g croît exponentiellement avec la tension de grille V_G , et dans ce cas on ne peut plus le négliger.[19],[20]

□ En dessous de 3nm, le courant de grille est essentiellement un courant Tunnel.

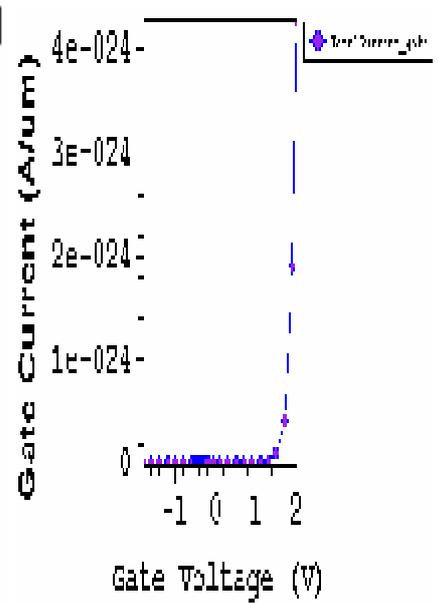
[21] et [22].



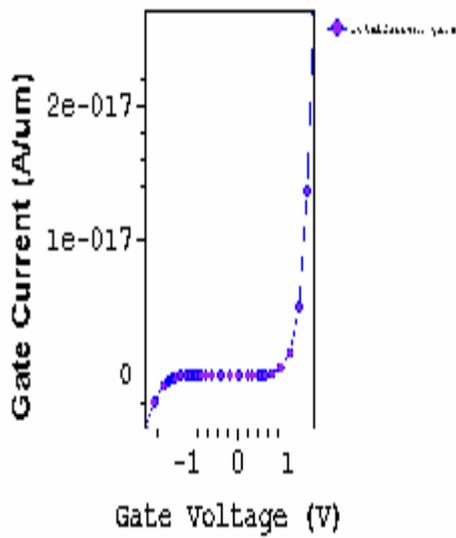
Tox=16.1nm



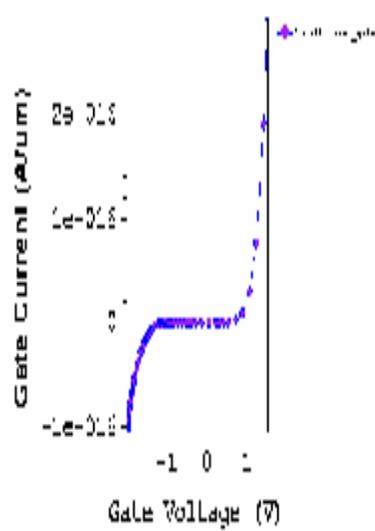
Tox= 7.6nm



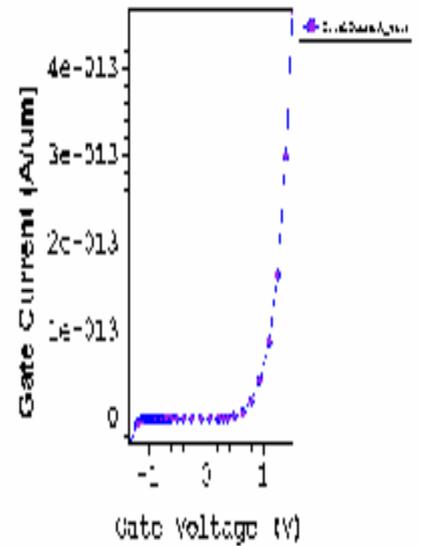
Tox= 4.8



Tox=3.2nm



Tox=3nm



Tox=2.4 nm

Figure IV-10-b : Evolution du courant de grille I_g en fonction de l'épaisseur d'oxyde

IV- 2- Influence de la longueur du canal :

Nous allons choisir des TMOS de différentes longueurs de canal : $0.1 \mu\text{m}$, $0.35 \mu\text{m}$ et $15 \mu\text{m}$. Tous ces transistors ayant une épaisseur d'oxyde de l'ordre de 3 nm . (figure: IV-11)

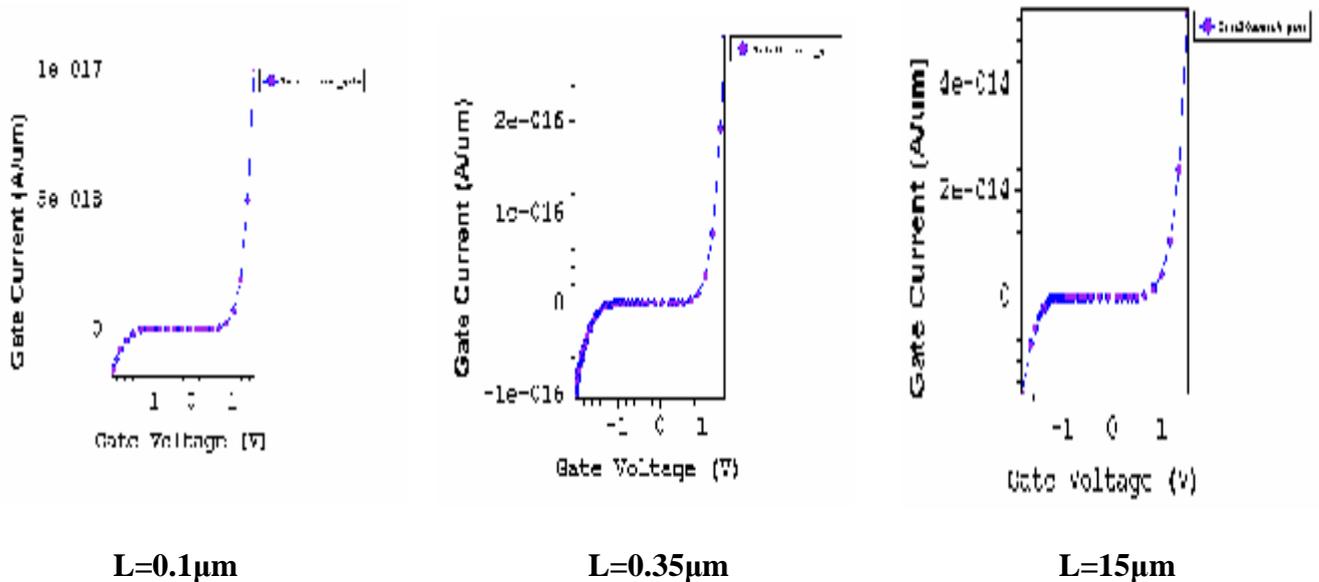


Figure IV-11 : Evolution du courant de grille I_g en fonction de la longueur du canal

Nous pouvons remarquer que, le phénomène de conduction par effet Tunnel à travers l'oxyde de grille, apparaît dans tous les transistors. On voit qu'il est important pour les longueurs du canal supérieures à $0.35 \mu\text{m}$ et qu'il est plus faible pour les transistors de longueur du canal $0.1 \mu\text{m}$.

□ Pour minimiser le phénomène de conduction par effet Tunnel, on doit réduire la longueur du canal au-delà de $0.1 \mu\text{m}$, quand on choisit une épaisseur de l'oxyde inférieure à 3 nm . [23],[24].

V- CONCLUSION :

Nous venons de présenter dans ce chapitre une simulation électrique d'un transistor MOS à l'aide de DESSIS afin d'étudier l'influence des paramètres technologiques sur son comportement électrique.

Pour cela nous avons fait varier l'épaisseur d'oxyde de grille (de 16nm jusqu'à 2.4nm), la longueur du canal (de 1.2 μm à 0.1 μm) et aussi le dopage du canal (entre $3.510^{17}.\text{cm}^{-3}$ et $3.510^{18}.\text{cm}^{-3}$).

Nous concluons à partir de cette simulation électrique que la réduction des dimensions de TMOS engendrent des phénomènes parasites (effet canal court, modification de la tension de seuil,...) qui détériorent les caractéristiques courant-tension.

Conclusion générale

Le travail que nous venons de présenter concerne l'étude de dispositifs MOSFET ultimes. Nous nous sommes intéressés en particulier à l'étude de phénomènes parasites engendrés par la miniaturisation de ces composants (citons: la variation de la tension de seuil, le phénomène du canal court,...) .

Nous avons vu ainsi l'effet des paramètres technologiques(longueur du canal, l'épaisseur d'oxyde de grille, ainsi que le dopage du canal) sur le comportement du TMOS, notamment sur la dérive de ses caractéristiques électriques.

Pour réaliser notre travail, nous avons tout d'abord commencé par l'installation du logiciel ISE-TCAD et l'établissement d'un manuel d'utilisation qui nous a permis de nous familiariser avec cet environnement. Les outils d'ISE sont en particulier adaptés pour des technologies naissantes et des applications complexes. En effet, ils peuvent considérer jusqu'aux dimensions nanométriques et sont adaptés pour différentes technologies(CMOS, BiCMOS...)

Nous avons ainsi utilisé le logiciel ISE pour la conception du "process" de fabrication technologique du transistor MOS en utilisant le module "DIOS ". La simulation électrique du composant réalisé était aisée grâce au module " DESSIS ". Les différents résultats sont visualisés à l'aide des deux modules graphiques " INSPECT " et " TECPLOT ".

Nous avons présenté une simulation technologique d'un "process" CMOS 0.35 μm . Nous avons vu en particulier que :

- l'ajustement de la tension de seuil se fait par l'optimisation du dopage du canal.
- La grille en polysilicium permet l'auto- alignement de la souce et du drain.
- Les espaceurs d'oxyde sont nécessaires pour éviter les courts –circuit possibles entre grille-source et grille –drain.

Après la simulation technologique, il a été nécessaire de faire une simulation électrique à l'aide de "DESSIS" afin d'étudier l'influence des paramètres technologiques sur le comportement du TMOS. Pour cela nous avons fait varier l'épaisseur d'oxyde de grille (de 16nm jusqu'à 2.4nm), la longueur du canal (de 1.2 μ m à 0.1 μ m). Le dopage du canal varie quand à lui entre 3.510¹⁷.cm⁻³ et 3.510¹⁸.cm⁻³.

Les principaux résultats obtenus au cours de la simulation électrique concernent :

1. L'effet du dopage du canal :

- Le dopage du canal est un paramètre clé pour régler la tension de seuil V_T
- Il permet également d'optimiser la valeur de la pente g_m du TMOS et donc du gain de celui.

2. L'effet de la longueur du canal :

- Le courant de drain d'un transistor à canal court ne sature pas pour des polarisation de drain isuelles. En outre, le courant I_D n'est pas nul pour une tension de grille nulle : la grille a donc perdu le contrôle du canal et ne peut plus " couper " le transistor.
- Pour les dispositifs à canal long, la tension de seuil est indépendante de la longueur du canal. Toute fois, pour les transistors à canal court, la tension de seuil décroît fortement.

3. L'effet de l'épaisseur d'oxyde :

- Le courant à travers l'oxyde de grille peut être considéré nul pour des épaisseurs d'oxydes supérieurs à 4nm. Cependant, pour les oxydes inférieurs à 3nm, le courant I_g croit exponentiellement avec la tension de grille V_G , et dans ce cas on ne peut plus le négliger. En dessous de 3nm, le courant de grille est essentiellement un courant Tunnel.
- La tension de seuil est fortement proportionnelle à la variation de l'épaisseur d'oxyde, donc au temps d'oxydation.
- La diminution de l'épaisseur d'oxyde s'accompagne d'un accroissement important du courant de drain I_D .

L'optimisation du composant TMOS se fait bien sur en ajustant un paramètre par rapport aux autres selon l'application choisie.

Ainsi, même si d'autres effets parasites n'apparaissent pas systématiquement dans les résultats que nous avons présentés, il est évident qu'ils peuvent exister et qu'un travail supplémentaire est nécessaire pour les définir.

Comme perspective à notre travail, il serait intéressant d'identifier les types de courants qui existent à travers la grille (FN, Tunnel,..) et d'optimiser ainsi les structures considérées. Cette étude concernera aussi bien des TMOS que des cellules EEPROM ; celles –ci étant constituées de deux TMOS.

Un autre volet, très complémentaire, de l'étude sera consacré au développement d'un code propre de calcul. Il s'agit de résoudre les équations couplées de Poisson et de Schrödinger dans la structure afin de voir les états liés dans le canal de conduction et l'évolution des fonctions d'Airy à travers l'oxyde. Ceci nous permettra de définir de manière très fine les caractéristiques électriques en nanotechnologie.

ملخص

هذا العمل يتعلق بدراسة مركبات MOSFET المستحدثة. حيث نهتم بمركب TMOS (Submicronique) ذا سمك أكسيد الشبكة يقدر بالنانومتر. الهدف من هذه الدراسة هو أخذ بعين الاعتبار تأثير عد من الوسائط التكنولوجية (طول القناة ، سمك أكسيد الشبكة و تطعيم القناة) في سلوك TMOS و بالأخص في ميزاته الكهربائية. اعتمدنا في إنجاز هذا العمل على برنامج ISE(Integrated Systems Engineering) الذى سمح لنا بالتمثيل التكنولوجي لمراحل إنجاز ترانزيستور MOS و أيضا بتمثيله كهربائيا. لقد لاحظنا ظهور تيارات ضائعة من نوع TUNNEL من أجل ترانزيستورات بأكسيد شبكة ذا سمك اقل من 3 نانومتر و طول قناة يقدر ب 0.35 ميكرومتر.

Résumé

Ce travail concerne l'étude de dispositifs MOSFET ultimes. Nous nous intéressons donc à des TMOS fortement submicroniques ayant une épaisseur d'oxyde nanométrique.

Le but de cette étude est de mettre en évidence la contribution de nombreux paramètres technologiques (longueur du canal, épaisseur d'oxyde de grille, ainsi que le dopage du canal) sur le comportement du TMOS, notamment sur la dérive de ses caractéristiques électriques.

L'outil de ce travail est le logiciel ISE (Integrated Systems Engineering) qui permet d'exécuter à la fois la simulation technologique du "process" de fabrication du transistor MOS et la simulation électrique de celui-ci.

Nous avons notamment pu mettre en évidence les courants de fuite de types tunnel qui apparaissent pour des épaisseurs d'oxyde de grille inférieures à 3 nm pour des longueurs de canal de 0.35 μm .

Abstract

This work relates to the study of ultimate devices MOSFET. We are thus interested in strongly submicronic TMOS having a nanometric thickness of oxide.

The goal of this study is to highlight the contribution of many technological parameters (length of the channel, thickness of oxide of grid, as well as the doping of the channel) on the behaviour of the TMOS, in particular on the drift of its electric characteristics

The tool for this work is the software ISE (Integrated Systems Engeneering) which makes it possible to carry out at the same time the technological simulation of the " process " of manufacture of transistor MOS and the electric simulation of this one.

We in particular could highlight the leakage currents of the tunnel types which appear for thicknesses of oxide of grid lower than 3 Nm for lengths of channel of 0.35 μm .

Bibliographie

- [1] J.M.Bethoux "Etude de l'architecture canal de transistor MOS à grille métallique MIDGAP ", *rapport de projet de fin d'étude, Institut National des Sciences Appliquées de Lyon, 2000-2001.*
- [2] S.Dib" Contribution à la modélisation de l'interface isolant/polysilicium dans une structure MOS", *mémoire de magister, faculté de sciences de l'ingénieur, institut de l'électronique, université de constantine , 2002.*
- [3] H. Mathieu " Physique des semiconducteurs et des composants électroniques", *Masson, 1987.*
- [4] F. Prégaldiny "Etude et modélisation du comportement électrique des transistors MOS fortement submicroniques", *thèse de doctorat, Université Louis Pasteur, Décembre, 2003.*
- [5] S.Merahi "Contribution à l'étude des propriétés électriques des films minces élaborés par plasma froids à partir de mélanges tétraéthylorthosilicate-oxygène", *mémoire de magister, faculté de sciences de l'ingénieur, institut de l'électronique, université de constantine, 2004.*
- [6] <http://www.ele.UCL.ac.be/Enseignement/ELEC2550/submicron>
- [7] T.Hori " Gate Dielectrics and MOS ULSIs principles, technologies, and applications", *Springer-verlag Berlin Heidelberg ,1997.*
- [8] Integrated Systemes Engineering, GENESISe OptimISE LIGAMENT INSPECT Tecplot – ISE Utilities 8.0, *User's manual,2002*
- [9] F.Nicolas, A Chedri, M.R.Beghoul. *Rapport de stage, Institut National des Sciences Appliquées de Lyon, 2000-2001.*
- [10] Integrated Systemes Engineering, DIOS 8.0, *User's manual,2002*
- [11] Integrated Systemes Engineering, MDRAW MESH DIP, *User's manual,2002*
- [12] Integrated Systemes Engineering, DESSIS 8.0, *User's manual,2002*

- [13] A.Abou Elnour, K.Schuenenann"comparison between different numerical methods used to solve poisson and Schrodinger's equations in semiconductor heterostructures", *J.Appl.Phys, September 1993, Vol. 74, No.5,P 3273-3276.*
- [14] B.Villard "Etude d'une technologie bipolaire compatible CMOS", *diplôme d'étude approfondies, rapport de stage, Institut National des Sciences Appliquées de Lyon,1993.*
- [15] A.Hassein –Bey "Modelisation physique du vieillissement et methodes d'extraction des paramètres des transistors MOS sumicroniques sur silicium massif et SIO", *thèse de doctorat, Institut National polytechnique de Grenoble, Juillet,1993.*
- [16] D. K. Slisher, R.G. Filippi, Jr., D. W. Storaska and A.H. Gay" Scaling Of Si MOSFETs For Digital Applications" , *Final Project in the "Advanced Concepts in Electronic and Optoelectronic Devices", 1999.*
- [17] J.R.Wathing,A.R.Brown,A.Asnov, D.K.Ferry"Quantum correction in 3-D drift diffusion Simulations of decanano MOSFETs using an effective potential",
- [18] H. S. Momose, T. Ohguro, S.Nakamura, Y. Toyoshima, , H.Ishiuchi, and H.Iwai, "Ultrathin Gate Oxide CMOS on (111) Surface-Oriented Si Substrate", *IEEE TRANSACTIONS ON ELECTRON DEVICES, September 2002, VOL. 49, N^o 9, p1597-1604.*
- [19] *K F . Scltuegraf, C.C. King. and C. Hri " Ultra-thin Silicon Dioxide Leakage Current and Scaling Limit", IEEE, 1992, p18-19.*
- [20] S.Morita, A.Shinozaki, Y.Morita, K. Nishimura, T.Okazaki, S.i Urabe and M. Morita "Tunneling Current through Ultrathin Silicon Dioxide Films under Light Exposure",*Japanese Journal of Applied Physics, 2004, Vol. 43, No. 11B, p 7857–7860.*
- [21] Y. T. Hou and M. F. Lia " Direct tunneling hole currents through ultrathin gate oxides in metal-oxide-semiconductor devices", *JOURNAL OF APPLIED PHYSICS, 2002, VOL.91, N^o1 , P 258-264*
- [22] F. Crupia, C. Ciofi, A. Germano, G. Iannaccone, J. H. Stathis, S. Lombardo, " On the role of interface states in low-voltage leakage currents of metal–oxide–semiconductor structures", *APPLIED PHYSICS LETTERS, JUNE 2002, VOL 80, N^o 24 17, P 4597-4599.*
- [23] A.Gehring, "Modeling of tunneling current and gate dielectric.reliability for Non-volatile Memory Device", *IEEE, 2004.*
- [24] [http:// www.laas.fr/JNRDM/fichiers/Exemple/Ex2.pdf](http://www.laas.fr/JNRDM/fichiers/Exemple/Ex2.pdf)