



Année: 2018  
N° d'ordre: 69/D3C/2018  
Série: 06/Ele/2018

## THÈSE

Pour l'obtention du diplôme de Doctorat en 3ème cycle LMD  
Option : Micro et Nanotechnologies

---

# Impact des TSVs (Through Silicon Vias) sur les circuits CMOS nanométriques – Étude et conception d'un détecteur verticalement intégré de rayon X

---

**Mohamed El Amine BENKECHKACHE**

Soutenue le 21/06/2018 devant le jury composé de :

|                             |                       |  |
|-----------------------------|-----------------------|--|
| Pr. Salah SAHLI             | Président             | Université des Frères Mentouri - Constantine 1 |
| Pr. Saida LATRECHE          | Directeur de thèse    | Université des Frères Mentouri - Constantine 1 |
| Pr. Gian-Franco DALLA BETTA | Co-Directeur de thèse | Université Trento, Italie                      |
| Pr. Saida REBIAI            | Examineur             | Université des Frères Mentouri - Constantine 1 |
| Pr. Farida HOBAR            | Examineur             | Université de Oum el Bouaghi                   |
| Pr. Ramdane MAHAMDI         | Examineur             | Université de Batna 2                          |
| Pr. Lucio PANCHERI          | Invité                | Université Trento, Italie                      |

**Impact des TSVs (Through Silicon Vias) sur  
les circuits CMOS nanométriques – Étude  
et conception d'un détecteur verticalement  
intégré de rayon X**

---

Mohamed El Amine BENKECHKACHE

Sous la direction de : Pr. S. Latreche et Pr. G.-F. Dalla Betta

*Je dédie cette thèse à mes parents  
Ma fiancée  
Mes sœurs  
Mon frère  
Qui m'ont accompagné et soutenu  
tout au long de ce travail.*

# Remerciements

A l'issue de la rédaction de cette recherche, je suis convaincu que la thèse est loin d'être un travail solitaire. En effet, je n'aurais jamais pu réaliser ce travail doctoral sans le soutien d'un grand nombre de personnes dont la générosité, la bonne humeur et l'intérêt manifestés à l'égard de ma recherche m'ont permis de progresser dans cette phase délicate de l'apprenti chercheur.

En premier lieu, je tiens à exprimer mes plus vifs remerciements à mon encadreur Saida LATRECHE-LASSOUED professeur à l'université Constantine 1 les frères Mentouri qui fut pour moi un directeur de thèse attentif et disponible malgré ses nombreuses charges. Sa compétence, sa rigueur scientifique et sa clairvoyance m'ont beaucoup appris. Ils ont été et resteront des moteurs de mon travail de chercheur. Je lui suis particulièrement reconnaissant de m'avoir laissé une grande liberté scientifique, ce qui m'a permis de recevoir un bon apprentissage à la recherche ;

Je tiens également à exprimer ma gratitude à mon Co-encadreur Pr. Gian-Franco DALLA BETTA qui a beaucoup contribué à la réalisation de cette thèse. Je lui suis entièrement reconnaissant pour son aide et à l'attention qu'il m'a accordé tout au long de ce travail de thèse.

Mes sincères remerciements vont aussi au Pr. Lucio PANCHERI, pour l'aide constante durant l'élaboration de ce travail, ses conseils, et ses compétences scientifiques et humaines le long de mon séjour à l'université de Trento.

Un grand merci également aux responsables du centre de fabrication FBK, et surtout à S. Ronchin, M. Boscardin et F. Ficorella pour leurs aides pendant la caractérisation électrique des dispositifs réalisés

J'adresse également mes sincères remerciements à tout les membres du laboratoire Micro et Nano Système à l'université de Trento, Italie. et tout les collègues du laboratoire Hyperfréquences et Semiconducteurs.

Je remercie le Pr. Salah SAHLI d'avoir accepté de présider mon jury. Je remercie également tous les membres du jury Pr. Saida REBIAI , Pr. Farida HOBAR et le Pr. Ramdane MAHAMDI . Qu'ils veuillent trouver ici toute ma reconnaissance pour la peine qu'ils ont prise afin d'examiner et d'évaluer ce travail.

Que mes enseignants, mes collègues et tous le personnel de la Faculté des Sciences de la Technologie trouve ici l'expression de ma sincère reconnaissance.

Je tiens à remercier également toute personne ayant participer de près ou de loin à l'accomplissement de cette thèse.

*Mohamed El Amine..*

# Résumé

L'évolution de la microélectronique est acquise aujourd'hui grâce à l'utilisation de la technologie tridimensionnelle dans la fabrication des Circuits Intégrés (CIs). Cette technologie 3D a permis d'apporter plusieurs avantages en termes d'amélioration des performances électriques des circuits homogènes, une optimisation du coût et du rendement de production ainsi qu'une architecture adaptée à l'intégration hétérogène. Parmi les approches de l'intégration 3D on trouve ce qu'on appelle les Through Silicon Vias (TSVs). Ce type d'interconnexions verticales permet de relier les différentes couches de Circuits Intégrés en véhiculant toute sorte de signaux. Pour ce faire, cette technologie 3D-TSV est utilisée de nos jours dans différentes applications telles que les détecteurs de radiation. Justement, cette thèse de doctorat s'intéresse à évaluer l'impact de ce type d'interconnexions TSVs sur les performances électriques des circuits CMOS, et particulièrement sur les détecteurs de rayons X générés par des Lasers à Électrons Libres (XFEL). Ces détecteurs sont conçus de différentes couches et circuits qui sont assemblés l'une à l'autre par une intégration verticale en reliant le capteur avec sa partie électronique (ASIC). Afin d'atteindre notre objectif, une étude de l'influence des interconnexions TSVs sur les circuits CMOS est établie par une définition d'une approche numérique et analytique. Ensuite, la seconde partie de l'étude porte sur la conception d'un détecteur verticalement intégré, réalisé dans le cadre d'un projet dit 'PixFEL'. A ce titre, des optimisations de ce capteur sont faites à l'aide des simulations TCAD. Ces optimisations nous ont permis de réaliser de différents types de structures de ces détecteurs qui sont conçus et caractérisés électriquement le long de ce travail.

**Mots-clés** Intégration 3D, TSVs, Circuits CMOS, Détecteur de rayons-X, Simulation TCAD et Caractérisation électrique.

# Abstract

Current innovations in electronics combine performance, size and cost criteria. Nevertheless, in the all-digital era, the 2D technology and the fabrication of CMOS Integrated Circuits are approaching their ultimate limits. As a result, the use of 3D technology in the fabrication of different Integrated Circuits is becoming very appealing. Among the aspects of the 3D Integration we find the Through Silicon Vias (TSVs), short vertical interconnects that convey the different layers all kind of signals. 3D integration, first introduced for memory chips, has later found increasing application to other domains in microelectronics, particularly in radiation detectors. These imaging instrumentations are being used recently in many fields such as for the next generation free electron lasers (FELs) that are currently being developed in a few research centers worldwide. Among these, the X-ray Free Electron Lasers (XFELs). To fully exploit the potential of XFEL facilities, a new generation of image sensors using vertical integration technologies, as Through Silicon Vias (TSVs), and an enhanced characteristic with respect to currently-available devices has to be manufactured. Therefore, this PhD work consists on the investigation of the impact of TSVs interconnects on CMOS circuits as well as the study and design of a vertically integrated X-ray detector. To this purpose, a numerical and an analytical analysis of CMOS circuits with a 3D-TSV technology is investigated. The most relevant technological parameters regarding TSVs are optimized. The knowledge gained from this analysis is used in the development for the multilayer large area X-ray imaging detector within the framework of an R&D project PixFEL. These imaging instrumentations are studied and optimized first by means of TCAD simulations, considering the most relevant geometry and process parameters, allowing for structures with minimum edge size and larger operating bias conditions. The layout of wafers including different structures of edgeless sensors, arrays, and test structures are designed. The fabricated devices are electrically characterized, and the feasibility of the process is demonstrated along this work of this thesis.

**Keywords** 3D Integration, TSVs, CMOS circuits, X-ray detectors, TCAD simulation and Device characterization

## ملخص

لقد عرف ميدان الإلكترونيات الدقيقة اليوم تطورا مبهرا بفضل استخدام التكنولوجيا ثلاثية الأبعاد في تصنيع الدوائر المتكاملة. وقد ساهمت هذه التكنولوجيا في العديد من الفوائد بالمقارنة بالدوائر المنفصلة من حيث التقليل من استهلاك الطاقة، والتقليل إلى حد كبير من طول الأسلاك الكلي مما يجعل تشغيل العمليات أسرع وبأقل تكلفة. من بين التقنيات المستعملة في هذه التكنولوجيا ثلاثية الأبعاد ما يسمى بالأسلاك العمودية القصيرة. هذا النوع من التوصيلات أو الأسلاك يسمح بربط مختلف طبقات الدوائر المتكاملة وبتزويدها بجميع أنواع الإشارات. لهذا، يتم استخدام هذه التقنية اليوم في مجالات متعددة من بين ذلك كاشفات الإشعاع.

ترتكز أطروحة الدكتوراه هذه على دراسة مدى تأثير هذا النوع من التوصيلات على الخصائص الكهربائية للدوائر المتكاملة، والتي بدورها تستعمل في كاشف الأشعة السينية المنبثقة من ليزر الإلكترون الحر. تصميم هذه الكواشف يتم عن طريق ربط وتجميع المجس بجزئه الإلكتروني مع بعضهما البعض عن طريق التوصيلات ثلاثية الأبعاد.

من أجل الوصول إلى هدفنا هذا، لقد تم أولاً دراسة مدى تأثير هذه الأسلاك العمودية القصيرة على الخصائص الكهربائية للدوائر المتكاملة عن طريق منهج رقمي باستعمال برنامج محاكاة يمكننا من جهة من التمثيل التكنولوجي لمراحل إنجاز دوائر متكاملة تحتوي على هذه التوصيلات ومن جهة أخرى يسمح لنا بتبيين خصائصها الكهربائية. المعلومات المستوحاة من هذه الدراسة سوف تسمح لنا بعد ذلك في الجزء الثاني من الدراسة بتصميم جهاز كشف ثلاثي الأبعاد، والذي تم إنجازه من خلال مشروع بحث يسمى "PixFEL". للقيام بتصميم هذا النوع من المستشعر لقد تم استخدام برنامج المحاكاة من أجل دراسة أنواع مختلفة من هذه الكواشف والتي صممت وقيست كهربائياً خلال هذه الأطروحة.

**الكلمات المفتاحية:** التكنولوجيا ثلاثية الأبعاد ، الأسلاك العمودية القصيرة ، الدوائر المتكاملة، كاشف الأشعة السينية

# Table des matières

|   |          |
|---|----------|
| Remerciements   | ii       |
| Résumé  | iii      |
| Abstract  | iv       |
| Introduction générale   | xvii     |
| <b>1 Intégration tridimensionnelle (3D-TSV) appliquée aux détecteurs de rayonnement</b> | <b>1</b> |
| 1.1 Introduction  | 2        |
| 1.2 Intégration tridimensionnelle dans les CIs  | 2        |
| 1.2.1 Limitation des technologies conventionnelles                                      | 2        |
| 1.2.2 Historique et solutions temporaires   | 3        |
| 1.2.3 Évolution de l'approche planaire vers une technologie 3D                          | 5        |
| 1.2.4 Intégration 3D  | 7        |
| 1.2.5 Motivation de l'approche 3D   | 9        |
| 1.3 Approches de l'intégration 3D   | 12       |
| 1.3.1 Intégration verticale moyenne densité : 3D-WLP                                    | 14       |
| 1.3.2 Intégration verticale haute densité : 3D-SIC                                      | 14       |
| 1.3.3 Intégration verticale très haute densité : 3D monolithique                        | 15       |
| 1.3.4 Options d'intégration   | 16       |
| 1.4 Intégration 3D à la base des TSVs   | 20       |
| 1.4.1 Structures et géométries des TSVs   | 20       |
| 1.4.2 Avantages et feuilles de route de la technologie 3D-TSV                           | 20       |
| 1.4.3 Processus de fabrication des TSVs   | 21       |
| 1.4.4 Défis de la technologie 3D-TSV  | 25       |
| 1.4.5 Applications de la technologie 3D-TSV   | 26       |
| 1.5 Détecteurs de radiations verticalement intégrés                                     | 32       |
| 1.5.1 Configuration globale des détecteurs  | 32       |
| 1.5.2 Principe du fonctionnement  | 33       |
| 1.5.3 Partie capteur  | 34       |
| 1.5.4 Partie électronique (ASIC)  | 40       |
| 1.5.5 Interconnexions relatives au détecteur en technologie 3D                          | 40       |
| 1.6 Détecteur de rayon-X  | 41       |
| 1.6.1 Les lasers à électron libre de rayons-X (XFEL)                                    | 42       |
| 1.6.2 Spécifications des détecteurs développés  | 43       |
| 1.7 Contribution du doctorat et démarches proposées                                     | 45       |
| 1.8 Conclusion  | 46       |

|          |  |            |
|----------|--|------------|
| <b>2</b> | <b>Impact des TSVs (Through Silicon Vias) sur les circuits CMOS</b>                  | <b>47</b>  |
| 2.1      | Introduction . . . . .   | 48         |
| 2.2      | Notions théoriques sur le couplage par le substrat . . . . .                         | 48         |
| 2.2.1    | Sources de bruit substrat . . . . .  | 48         |
| 2.2.2    | Propagation du bruit . . . . .   | 48         |
| 2.2.3    | Mécanismes de réception du bruit . . . . .   | 49         |
| 2.2.4    | Solutions d'isolation du substrat . . . . .  | 49         |
| 2.3      | Caractéristiques électriques des composants et circuits CMOS . . . . .               | 50         |
| 2.3.1    | Transistors NMOS et PMOS . . . . .   | 50         |
| 2.3.2    | Inverseur CMOS . . . . .   | 53         |
| 2.4      | Couplage induit par l'intégration 3D sur le composant . . . . .                      | 56         |
| 2.4.1    | Approche numérique . . . . .   | 57         |
| 2.4.2    | Approche analytique . . . . .  | 61         |
| 2.5      | Couplage induit par l'intégration 3D sur les circuits CMOS . . . . .                 | 70         |
| 2.5.1    | Couplage induit par l'intégration 3D sur un inverseur CMOS . . . . .                 | 71         |
| 2.5.2    | Couplage induit par l'intégration 3D sur un oscillateur en anneaux . . . . .         | 73         |
| 2.6      | Conclusion . . . . .   | 77         |
| <b>3</b> | <b>Etude et conception des détecteurs réalisés dans le cadre du projet PixFEL</b>    | <b>78</b>  |
| 3.1      | Introduction . . . . .   | 79         |
| 3.2      | Aperçu du détecteur PixFEL . . . . .   | 79         |
| 3.3      | Structure du capteur planaire . . . . .  | 80         |
| 3.4      | Capteur planaire à bord actif . . . . .  | 80         |
| 3.4.1    | Capteur p-on-n sans anneaux de garde . . . . .                                       | 82         |
| 3.4.2    | Capteur p-on-n avec un seul anneau de garde . . . . .                                | 83         |
| 3.4.3    | Capteur p-on-n avec trois anneaux de garde . . . . .                                 | 85         |
| 3.4.4    | Capteur p-on-n avec quatre anneaux de garde . . . . .                                | 86         |
| 3.4.5    | Optimisation des paramètres . . . . .  | 87         |
| 3.4.6    | Dynamique de la collection de charge . . . . .                                       | 92         |
| 3.5      | Capteur planaire à bord mince . . . . .  | 103        |
| 3.5.1    | Structure du capteur à bord mince . . . . .  | 103        |
| 3.5.2    | Géométries des tranchées du capteur à bord mince . . . . .                           | 105        |
| 3.6      | Conclusion . . . . .   | 108        |
| <b>4</b> | <b>Conception du <i>layout</i> et caractérisation électrique du détecteur PixFEL</b> | <b>109</b> |
| 4.1      | Introduction . . . . .   | 110        |
| 4.2      | Conception du <i>layout</i> du détecteur PixFEL . . . . .                            | 110        |
| 4.2.1    | Structures de test standard . . . . .  | 110        |
| 4.2.2    | Structure de capteurs à bord actif . . . . .   | 111        |
| 4.2.3    | Structure de capteurs à bord mince . . . . .   | 114        |
| 4.2.4    | Capteur de 15x15 pixels . . . . .  | 116        |
| 4.3      | Fabrication de la plaquette . . . . .  | 120        |
| 4.4      | Caractérisation électrique . . . . .   | 120        |
| 4.4.1    | Les sources d'erreurs . . . . .  | 122        |
| 4.4.2    | Structures de test . . . . .   | 123        |
| 4.4.3    | Structure de diodes . . . . .  | 125        |
| 4.4.4    | Capteur 8x8 pixels . . . . .   | 127        |
| 4.5      | Conclusion . . . . .   | 131        |
|          | <b>Conclusion générale</b>   | <b>132</b> |

|                                 |            |
|---------------------------------|------------|
| <b>Bibliographie</b>            | <b>134</b> |
| <b>Appendices</b>               | <b>141</b> |
| <b>Publications de l'auteur</b> | <b>142</b> |
| .1 Revues . . . . .             | 142        |
| .2 Communications . . . . .     | 143        |

# Table des figures

|      |  |    |
|------|--|----|
| 1.1  | Loi de Moore et ses perspectives : 'More Moore' se concentre sur la miniaturisation des composants, 'More Than Moore' se concentre sur la diversification fonctionnelle [6]. . . . .   | 3  |
| 1.2  | Délais caractéristiques d'une interconnexion globale et d'un transistor NMOS en fonction des nœuds technologiques [7] . . . . .  | 4  |
| 1.3  | Éléments pouvant être regroupés sur une même puce d'un système SoC. . . . .  | 5  |
| 1.4  | Ensemble d'éléments pouvant être regroupés sur une même puce d'un système SiP. . . . .   | 6  |
| 1.5  | Principe de connexion par câblage ( <i>wire-bonding</i> ) et par report ( <i>flip-chip</i> ). . . . .  | 6  |
| 1.6  | Exemple de circuit 3D. . . . .   | 8  |
| 1.7  | Un circuit simple avec une intégration 3D. . . . .   | 8  |
| 1.8  | Un circuit 3D-SiP composé de différentes puces. . . . .  | 8  |
| 1.9  | Exemple d'une réduction des longueurs d'interconnexions pour un dispositif intégré en 2D ou assemblé en 3D. La courbe de droite montre que plus grand est le nombre de couches empilées, plus grand est le gain au niveau des longueurs d'interconnexion. . . . .  | 9  |
| 1.10 | Le <i>layout</i> des inverseurs 2D et 3D montrant une réduction de 30% de la surface totale [25]. . . . .  | 10 |
| 1.11 | Positionnement de l'intégration 3D parmi les solutions d'intégration existantes [27]. . . . .  | 11 |
| 1.12 | a) Comparaison entre un <i>System-on-Chip</i> et une intégration 3D, b) comparaison des coûts relatifs à la fabrication d'un SoC 45nm et son équivalent 3D 45nm / 0.8 $\mu$ m en fonction de la surface du circuit considéré [28]. . . . .   | 12 |
| 1.13 | Structure d'interconnexions à trois niveaux. . . . .   | 14 |
| 1.14 | Une intégration verticale de moyenne densité, 3D-WLP. . . . .  | 14 |
| 1.15 | Une intégration verticale haute densité, 3D-SiC. . . . .   | 15 |
| 1.16 | Quelques exemples de démonstration technologique d'intégration 3D monolithique [38]. . . . .   | 15 |
| 1.17 | Les types d'empilement W2W ( <i>Wafer to Wafer</i> ), D2W ( <i>Die to Wafer</i> ) et D2D ( <i>Die to Die</i> ). . . . .  | 16 |
| 1.18 | Schéma représentatif des orientations possibles pour l'empilement 3D de deux circuits. . . . .   | 17 |
| 1.19 | Exemple d'intégration utilisée suivant l'approche du collage : a) <i>Face to face</i> , dans ce cas, la plaquette 2 est amincie après collage. b) <i>face to back</i> , dans ce cas, la plaquette 2 est collée sur une plaquette de support pour être amincie puis retournée et collée sur la plaquette 1, la plaquette de support est ensuite retirée [39]. . . . . | 17 |
| 1.20 | L'architecture <i>via first</i> . . . . .  | 18 |
| 1.21 | L'architecture <i>via middle</i> . . . . .   | 18 |
| 1.22 | L'architecture <i>via last</i> . . . . .   | 18 |

|      |   |    |
|------|---|----|
| 1.23 | Illustration des différentes options d'intégration d'une architecture tridimensionnelle en utilisant une technologie 3D-TSV [33]. . . . .   | 19 |
| 1.24 | Un circuit 3D contenant un TSV. . . . .   | 20 |
| 1.25 | Différentes configurations de TSVs [40]. . . . .  | 21 |
| 1.26 | Les étapes de fabrication du TSV : Gravure du Si, Isolation des flancs du TSV, Dépôt d'un matériau barrière, Remplissage du TSV par un matériau conducteur. . . . .   | 22 |
| 1.27 | Représentation schématique des étapes de gravure du masque dure et du silicium. . . . .   | 22 |
| 1.28 | Fabrication d'un via avec un procédé BOSCH DRIE avec un diamètre de $5\mu m$ et une profondeur de $50\mu m$ . . . . .   | 23 |
| 1.29 | Réalisation d'oxyde par dépôt de vapeur chimique en phase gazeuse à pression sous-atmosphérique (SACVD) [43]. . . . .   | 23 |
| 1.30 | Exemple de dépôt du matériau barrière dans des TSVs de dimensions de $5\mu m \times 50\mu m$ [47]. . . . .  | 24 |
| 1.31 | Représentation schématique d'un TSV après le procédé de remplissage. . . . .  | 25 |
| 1.32 | Roadmap concernant les différentes applications de l'architecture 3D-TSV [52]. . . . .  | 27 |
| 1.33 | Roadmap des différentes applications intégrant des mémoires 3D-TSV [52]. . . . .  | 28 |
| 1.34 | L'écart de performance entre les microprocesseurs et les mémoires [55]. . . . .   | 28 |
| 1.35 | Vue latérale des puces empilées F2F à l'aide d'une technologie 3D-TSV de <i>Tezzaron</i> [56]. . . . .  | 29 |
| 1.36 | Une vue représentative de la structure d'un détecteur réalisé dans une technologie 3D-TSV. . . . .  | 30 |
| 1.37 | Vue en coupe du détecteur d'image à 3 couches [61]. . . . .   | 30 |
| 1.38 | (a) Vue schématique en coupe d'un détecteur chimique [62], et (b) un détecteur de pression piézorésistives avec une architecture 3D-TSV. . . . .  | 31 |
| 1.39 | Vue schématique en coupe de la structure d'un détecteur de radiation. . . . .   | 31 |
| 1.40 | Vue schématique de deux types de configuration des détecteurs de rayonnement : (a) détecteurs hybrides, (b) détecteurs monolithiques. . . . .   | 33 |
| 1.41 | Vue schématique en coupe de la structure d'un détecteur de radiation [65]. . . . .  | 33 |
| 1.42 | Vue schématique en coupe du principe de fonctionnement d'un détecteur de rayonnement. . . . .   | 34 |
| 1.43 | (a) Vue schématique en coupe d'un détecteur à micro-pistes [68], et (b) Vue schématique en coupe d'un détecteur à pixels hybrides [69]. . . . .   | 37 |
| 1.44 | Vue schématique en coupe d'un capteur avec des anneaux de garde au bord de la structure [70] : décroissance graduelle du champ électrique. . . . .  | 38 |
| 1.45 | (a) Vue schématique en coupe d'un capteur à bord mince ( <i>Slim Edge</i> ), et (b) Vue schématique en coupe d'un capteur à bord actif ( <i>Active Edge</i> ) [70]. . . . .   | 38 |
| 1.46 | Représentation schématique des effets de surface dans un dioxyde de silicium $SiO_2$ subissant une interaction ionisante [75]. . . . .  | 39 |
| 1.47 | (a) Liaisons par câblage extérieur dans une approche classique occupent une grande zone morte. (b) Capteurs avec un pas de pixel plus grand que celui du circuit de lecture peuvent être utilisés pour réduire la zone morte. (c) Utilisation d'une technologie 3D-TSV permet de réduire la zone morte dans le module de détecteur multi-puce [77]. . . . . | 41 |
| 1.48 | La famille restreinte des lasers à rayons X dans le monde [3]. . . . .  | 42 |
| 1.49 | Le principe de laser à rayons X à électrons libres (XFEL) [3]. . . . .  | 43 |
| 2.1  | Schéma électrique équivalent d'un élément de silicium. . . . .  | 49 |

|      |  |    |
|------|--|----|
| 2.2  | Régime de fonctionnement d'un transistor MOS. . . . .  | 51 |
| 2.3  | La structure du transistor MOS. . . . .  | 53 |
| 2.4  | (a) Caractéristique de transfert $I_D (V_{GS})$ du transistor MOS, et (b) la caractéristique de sortie $I_D (V_{DS})$ du transistor MOS. . . . .   | 53 |
| 2.5  | (a) Schéma électrique d'un inverseur CMOS, et (b) la caractéristique de transfert d'un inverseur CMOS. . . . .   | 54 |
| 2.6  | Structure finale de l'inverseur CMOS. . . . .  | 55 |
| 2.7  | La caractéristique de transfert VTC et les courants $i_n$ et $i_p$ des deux transistors du circuit inverseur CMOS. . . . .   | 56 |
| 2.8  | La tension de sortie $V_{out}$ du circuit inverseur CMOS. . . . .  | 56 |
| 2.9  | Structure simplifiée bidimensionnelle d'un transistor NMOS placé à proximité d'un via traversant. . . . .  | 57 |
| 2.10 | (a) Coupe de distribution du potentiel électrique, et (b) impact du couplage induit par le TSV sur le courant de drain du transistor MOS. . . . .  | 58 |
| 2.11 | Variations dynamiques maximales du courant de drain en fonction de l'épaisseur du substrat $T_{SUB}$ pour différentes épaisseurs d'isolation du TSV et pour une zone d'exclusion de $6\mu m$ . . . . .   | 60 |
| 2.12 | Variations dynamiques maximales du courant de drain en fonction de la zone d'exclusion $D_{TSV}$ pour différentes épaisseurs d'isolation du TSV et pour une épaisseur de substrat de $10\mu m$ . . . . .   | 60 |
| 2.13 | Variations dynamiques maximales du courant de drain en fonction du temps de montée et descente du front de potentiel pour différentes épaisseurs d'isolation du TSV. . . . .   | 61 |
| 2.14 | Modèle électrique équivalent du substrat de silicium contenant un TSV. . . . .   | 62 |
| 2.15 | Résistances équivalentes verticales et latérales de la structure en fonction de l'épaisseur du substrat, $T_{SUB}$ . . . . .   | 66 |
| 2.16 | Résistances équivalentes latérales de la structure en fonction de la zone d'exclusion, $D_{TSV}$ . . . . .   | 66 |
| 2.17 | Vue schématique du TSV ainsi que ses paramètres liés à la capacité de la couche d'isolation. . . . .   | 67 |
| 2.18 | Schéma électrique du circuit utilisé pour l'étude de l'impact du TSV sur un transistor MOS. . . . .  | 67 |
| 2.19 | Impact du TSV sur le courant de drain et la tension substrat d'un TMOS. . . . .  | 68 |
| 2.20 | (a) Variations dynamiques maximales du courant de drain en fonction de l'épaisseur du substrat $T_{SUB}$ , (b) Variations dynamiques maximales de la tension substrat en fonction de l'épaisseur du substrat $T_{SUB}$ . . . . .                                     | 69 |
| 2.21 | (a) Variations dynamiques maximales du courant de drain en fonction de la zone d'exclusion $D_{TSV}$ , (b) Variations dynamiques maximales de la tension substrat en fonction de la zone d'exclusion $D_{TSV}$ . . . . .   | 69 |
| 2.22 | (a) Variations dynamiques maximales du courant de drain en fonction du temps de montée/descente du potentiel TSV, $t_{rf}$ , (b) Variations dynamiques maximales de la tension substrat en fonction du temps de montée/descente du potentiel TSV, $t_{rf}$ . . . . . | 70 |
| 2.23 | Vue schématique du circuit modélisé sous SPICE pour l'étude de l'impact du TSV sur un circuit inverseur CMOS. . . . .  | 71 |
| 2.24 | Impact du TSV sur le courant de sortie $I_{OUT}$ et la tension de sortie $V_{OUT}$ de l'inverseur CMOS. . . . .  | 72 |

|      |  |    |
|------|--|----|
| 2.25 | (a) Variations dynamiques du courant de sortie de l'inverseur CMOS en fonction de l'épaisseur du substrat $T_{SUB}$ , (b) Variations dynamiques de la tension de sortie de l'inverseur CMOS en fonction de l'épaisseur du substrat $T_{SUB}$ . . . . .   | 73 |
| 2.26 | (a) Variations dynamiques du courant de sortie de l'inverseur CMOS en fonction de la zone d'exclusion $D_{TSV}$ , (b) Variations dynamiques de la tension de sortie de l'inverseur. . . . .  | 73 |
| 2.27 | (a) Variations dynamiques du courant de sortie de l'inverseur CMOS en fonction du temps de montée/descente du potentiel TSV , (b) Variations dynamiques de la tension de sortie de l'inverseur CMOS en fonction du temps de montée/descente du potentiel TSV. . . . .  | 74 |
| 2.28 | Vue schématique du circuit oscillateur en anneaux à 11 étages modélisé sous SPICE. . . . .   | 74 |
| 2.29 | Le signal de sortie de l'oscillateur à 11 étages avant et après intégration 3D-TSV. . . . .  | 75 |
| 2.30 | Variations du temps de retard de l'oscillateur à 11 étages après intégration d'une technologie 3D-TSV en fonction de l'épaisseur substrat $T_{SUB}$ . . . . .  | 76 |
| 2.31 | Variations du temps de retard de l'oscillateur à 11 étages après intégration d'une technologie 3D-TSV en fonction de la zone d'exclusion $D_{TSV}$ . . . . .   | 76 |
| 2.32 | Variations du temps de retard de l'oscillateur à 11 étages après intégration d'une technologie 3D-TSV en fonction du temps de montée / descente du signal TSV $t_{rf}$ . . . . .   | 77 |
| 3.1  | Structure globale du détecteur PixFEL composé principalement de la partie capteur reliée à la partie ASIC avec une nouvelle technologie d'interconnexions tridimensionnelle. . . . .   | 79 |
| 3.2  | Vue schématique en coupe d'un capteur a bord actif. . . . .  | 80 |
| 3.3  | Une coupe transversale schématique de la structure de détecteur basés sur une technologie à bord actif. . . . .  | 81 |
| 3.4  | (a) Densité de charges d'oxyde $N_{ox}$ en fonction de la dose de rayonnement-X obtenue à partir des structures de test de différents fournisseurs [101] et (b) Estimation analytique de l'épaisseur active du capteur en fonction de l'énergie d'un rayons X [103]. . . . .   | 81 |
| 3.5  | Vue Schématique en coupe d'un capteur p-on-n sans anneaux de garde entre le bord actif et le dernier pixel du capteur. . . . .   | 83 |
| 3.6  | (a) La tension de claquage en fonction de la largeur de la plaque de champ pour différentes valeurs de densités de charge d'oxyde, (b) La tension de claquage en fonction de la distance d'écart entre le bord actif et le dernier pixel du capteur pour différentes densités de charge d'oxyde. . . . .                         | 83 |
| 3.7  | (a) Vue Schématique en coupe d'un capteur p-on-n avec un anneau de garde entre le bord actif et le dernier pixel du capteur, (b) la distribution du champ électrique dans un capteur p-on-n avec un anneau de garde pour différentes tensions de polarisation pour une densité de charge d'oxyde de $2.10^{12}cm^{-2}$ . . . . . | 84 |
| 3.8  | (a) La tension de claquage en fonction de la distance d'écart entre le bord actif et l'anneau de garde avec différentes densités de charge d'oxyde, (b) La tension de claquage en fonction de la largeur de l'anneau de garde avec un gap de $25\mu m$ . . . . .   | 85 |
| 3.9  | Vue Schématique en coupe d'un capteur p-on-n avec trois anneaux de garde entre le bord actif et le dernier pixel du capteur. . . . .   | 85 |

|      |  |    |
|------|--|----|
| 3.10 | La tension de claquage en fonction de l'épaisseur d'oxyde d'un capteur p-on-n pour différentes structures ; sans anneau de garde, 2 anneaux et 3 anneaux de garde pour le cas de $N_{ox}=3.10^{12}cm^{-2}$ . . . . .   | 86 |
| 3.11 | La tension de claquage en fonction de la densité de charge d'oxyde d'un capteur p-on-n avec 3 anneaux de garde et différentes épaisseurs d'oxyde. . . . .  | 87 |
| 3.12 | Vue Schématique en coupe d'un capteur p-on-n avec quatre anneaux de garde entre le bord actif et le dernier pixel du capteur. . . . .  | 87 |
| 3.13 | La tension de claquage en fonction de l'épaisseur d'oxyde pour différents cas de structures de bord avec $N_{ox} = 3.10^{12}cm^{-2}$ . . . . .   | 88 |
| 3.14 | La tension de claquage simulée en fonction de l'épaisseur d'oxyde pour différentes valeurs de profondeur de jonction avec $N_{ox} = 3.10^{12}cm^{-2}$ . . . . .  | 88 |
| 3.15 | La tension de claquage en fonction de la densité de charge d'oxyde d'un capteur p-on-n à quatre anneaux de garde en considérant différentes valeurs de profondeur de jonction pour $t_{ox} = 300nm$ . . . . .  | 89 |
| 3.16 | La tension de claquage en fonction de l'épaisseur d'oxyde d'un capteur p-on-n pour différentes valeurs de facteur de diffusion latérale avec $N_{ox} = 3.10^{12}cm^{-2}$ . . . . .   | 90 |
| 3.17 | La tension de claquage en fonction de l'épaisseur d'oxyde pour différentes valeurs de longueur de la plaque de champ avec $N_{ox} = 3.10^{12}cm^{-2}$ . . . . .  | 91 |
| 3.18 | La tension de claquage en fonction de la densité de charge d'oxyde pour le cas de différentes structures du bord d'un capteur p-on-n. . . . .  | 91 |
| 3.19 | Une structure 2D d'un capteur p-on-n à multi-électrode et une épaisseur de substrat de $450\mu m$ . . . . .  | 92 |
| 3.20 | La courbe I(V) du capteur p-on-n pour différentes densités de charge d'oxyde. . . . .  | 93 |
| 3.21 | La densité de charge injectée sur un capteur p-on-n dans un point localisé de $(100, 250\mu m)$ avec une fenêtre de $5\mu m * 5\mu m$ . . . . .  | 94 |
| 3.22 | Mécanisme de collection des électrons sous l'effet d'un rayonnement X d'une énergie de $10^4 12keV$ dans un point localisé $(100, 250\mu m)$ pour une tension de polarisation de $500V$ . . . . .  | 94 |
| 3.23 | Mécanisme de collection des trous sous l'effet d'un rayonnement X d'une énergie de $10^4 12keV$ dans un point localisé $(100, 250\mu m)$ pour une tension de $500V$ . . . . .  | 94 |
| 3.24 | Le courant et le nombre charge collectée pour différentes tensions de polarisation pour le cas d'un rayonnement X de $10^4$ photons d'une énergie de $12keV$ . . . . .   | 95 |
| 3.25 | L'intensité optique d'une impulsion laser avec différentes longueurs d'onde dans un point localisé $(100, 450\mu m)$ du capteur p-on-n. . . . .  | 96 |
| 3.26 | (a) L'intensité optique d'une impulsion laser avec une longueur d'onde de $660nm$ dans un point localisé $(100, 450\mu m)$ du capteur p-on-n, (b) L'intensité optique d'une impulsion laser avec une longueur d'onde de $1015nm$ dans un point localisé $(100, 450\mu m)$ du capteur p-on-n. . . . .   | 96 |
| 3.27 | Vue schématique en coupe de la région centrale d'un capteur p-on-n. . . . .  | 97 |
| 3.28 | Les courants et le nombre de charge collectés d'un capteur p-on-n pour différentes tensions de polarisation après injection de deux types de rayonnement x à hautes intensités (de l'ordre de $10^4$ photons) ; avec une longueur d'onde de $660nm$ et une énergie de $1keV$ (a) ainsi qu'une longueur d'onde de $1015nm$ et une énergie de $12keV$ (b). . . . . | 98 |

|      |  |     |
|------|--|-----|
| 3.29 | Les courants et le nombre de charge collectés du capteur pour différentes intensités de rayonnement x injectées ; avec une longueur d'onde de $660nm$ et une énergie de $1keV$ (a) et l'autre d'une longueur d'onde de $1015nm$ et une énergie de $12keV$ (b). . . . .   | 99  |
| 3.30 | Les courants et le nombre de charge collectés d'un capteur p-on-n pour un facteur de zone de $100\mu m$ et différentes tensions de polarisation après injection de deux types de rayonnement x à hautes intensités (de l'ordre de $10^4$ photons) ; avec une longueur d'onde de $660nm$ et une énergie de $1keV$ (a) et l'autre d'une longueur d'onde de $1015nm$ et une énergie de $12keV$ (b). . . . . | 100 |
| 3.31 | Les courants et le nombre de charge collectés d'un capteur p-on-n pour différentes tensions de polarisation après injection d'un rayonnement x sur une fenêtre de diamètre de $100\mu m$ avec une longueur d'onde de $660nm$ et une énergie de $1keV$ . . . . .  | 100 |
| 3.32 | Vue schématique en coupe de la région de bord d'un capteur p-on-n à 3 pixels et 4 anneaux de garde. . . . .  | 101 |
| 3.33 | Les courants et le nombre de charge collectés d'un capteur p-on-n pour différentes tensions de polarisation après injection de deux types de rayonnement à hautes intensités (de l'ordre de $10^4$ photons) ; avec une longueur d'onde de $660nm$ et une énergie de $1keV$ (a) et l'autre d'une longueur d'onde de $1015nm$ et une énergie de $12keV$ (b). . . . .                                       | 102 |
| 3.34 | Les courants et le nombre de charge collectés d'un capteur p-on-n pour différentes intensités de rayonnement x injecté ; avec une longueur d'onde de $660nm$ et une énergie de $1keV$ (a) et l'autre d'une longueur d'onde de $1015nm$ et une énergie de $12keV$ (b). . . . .  | 103 |
| 3.35 | La structure 3D d'un capteur p-on-n à bord mince et 4 anneaux de garde. . . . .  | 104 |
| 3.36 | Les courbes $I(V)$ du capteur p-on-n à bord mince et 4 anneaux de garde pour une épaisseur d'oxyde de $300nm$ . . . . .  | 105 |
| 3.37 | Comparaison de la tension claquage des structures de capteur 2D et 3D à bord mince et bord actif en fonction de la densité de charge d'oxyde. . . . .  | 105 |
| 3.38 | Les différentes géométries des tranchées du capteur à bord mince ; (a) des tranchées rectangulaires sans chevauchement, (b) des tranchées rectangulaires avec chevauchement, (c) des tranchées circulaires. . . . .  | 106 |
| 3.39 | La région de délétion dans un capteur à bord mince pour des tranchées rectangulaires avec et sans chevauchement. . . . .   | 106 |
| 3.40 | Comparaison de la tension de claquage dans un capteur à bord mince pour des tranchées rectangulaires avec et sans chevauchement. . . . .   | 107 |
| 3.41 | La région de déplétion d'un capteur à bord mince avec des tranchées circulaires. . . . .   | 107 |
| 4.1  | Structures de test : Une diode planaire avec un anneau de garde (1), quelques structures Van der Pauw (2), une capacité MOS réalisée sur un substrat fortement dopé (3), Diodes à grille <i>Gate-controlled-diodes</i> (4), une capacité MOS (5). . . . .  | 111 |
| 4.2  | <i>Layout</i> design des différentes structures du capteur à bord actif. . . . .   | 112 |
| 4.3  | Structure d'une large diode à bord actif avec une configuration de quatre anneaux de garde. . . . .  | 112 |
| 4.4  | Capteur d'une matrice de $8x8$ pixels et une vue schématique d'un pixel. . . . .   | 113 |
| 4.5  | Capteur d'une matrice de $32x32$ pixels avec une structure de quatre anneaux de garde et un bord actif. . . . .  | 114 |

|      |   |     |
|------|---|-----|
| 4.6  | Capteur d'une matrice de 64x64 pixels avec une structure de quatre anneaux de garde et un bord actif. . . . .   | 114 |
| 4.7  | (a) une diode à bord mince avec des tranchées rectangulaires sans chevauchement, (b) une diode à bord mince avec des tranchées rectangulaires avec chevauchement, (c) une diode à bord mince avec des tranchées circulaires. . . . .  | 115 |
| 4.8  | (a) capteur de 8x8 pixels à bord mince avec des tranchées rectangulaires sans chevauchement, (b) capteur de 8x8 pixels à bord mince avec des tranchées rectangulaires avec chevauchement, (c) capteur de 8x8 pixels à bord mince avec des tranchées circulaire. . . . .                         | 116 |
| 4.9  | Matrice de 15x15 pour l'extraction capacitive. . . . .  | 117 |
| 4.10 | Le <i>layout</i> de la plaquette PixFEL, (b) un prototype d'une plaquette conçu par le centre de fabrication FBK. . . . .   | 118 |
| 4.11 | Image MEB du bord clivé du capteur montrant un profil de tranchée. . . . .  | 120 |
| 4.12 | Image microscopique de deux capteurs de 64x64 pixels avec quatre anneaux de garde montrant des défauts de bord. . . . .   | 121 |
| 4.13 | (a) Image microscopique d'un capteur de 8x8 pixels avec quatre anneaux de garde, et (b) Image microscopique d'un capteurs de 32x32 pixels avec quatre anneaux de garde. . . . .   | 121 |
| 4.14 | (a) Une station de sonde semi-automatique contenant une plaquette PixFEL, et (b) image microscopique de l'aiguille de la station de sonde qui vient en contact avec une diode à bord actif de six anneaux de garde. . . . .   | 122 |
| 4.15 | Courbes $C(V)$ relatives aux capacités MOS de la plaquette (W15). . . . .   | 123 |
| 4.16 | Les courbes de $1/C^2$ en fonction de la tension appliquée mesurées sur différentes diodes de test. . . . .   | 125 |
| 4.17 | (a) Courbes $I(V)$ mesurées des diodes à bords actifs avec différentes configurations de la région de bord (sans AG, 4 AG, 6 AG, and 8 AG), (b) Courbes $I(V)$ mesurées des diodes à bords minces avec différentes configurations de la région de bord (sans AG, 4 AG, 6 AG, and 8 AG). . . . . | 126 |
| 4.18 | Histogrammes de données des différentes configurations de bord qui détermine le nombre et le bon fonctionnement des composants diodes de la plaquette (W15). . . . .  | 127 |
| 4.19 | Courbes $I(V)$ mesurées des capteurs de 8 x 8 pixels à bords actifs avec 4 anneaux de garde. . . . .  | 128 |
| 4.20 | (a) Courbes $I(V)$ mesurées des capteurs de 8 x 8 pixels à bords mince (tranchées rectangulaires) avec 4 anneaux de garde, (b) Courbes $I(V)$ mesurées des capteurs de 8 x 8 pixels à bords mince (tranchées circulaires) avec 4 anneaux de garde. . . . .                                      | 128 |
| 4.21 | Histogrammes de données des différentes configurations de bord qui déterminent le nombre et le bon fonctionnement des diodes de la plaquette (W15). . . . .   | 129 |
| 4.22 | Inspection visuelle des capteurs de 32x32 pixels pour les différentes plaquettes. . . . .   | 130 |

# Liste des tableaux

|     |  |     |
|-----|--|-----|
| 1.1 | Classification des intégrations 3D (avec et sans TSV).   | 13  |
| 1.2 | Feuilles de route d'une technologie 3D-SiC avec des interconnexions au niveau global [33].   | 21  |
| 1.3 | Feuilles de route d'une technologie 3D-SiC avec des interconnexions au niveau intermédiaire [33].  | 21  |
| 1.4 | Spécifications de différents types de détecteurs de Rayon-X dédiés aux expériences FEL [88].   | 45  |
| 2.1 | Fréquences de coupure dans le silicium pour différents niveaux de dopage [90].   | 49  |
| 2.2 | Gamme de valeurs des différents paramètres technologiques et électriques étudiés.  | 59  |
| 2.3 | Capacité totale de la couche d'isolation du TSV en fonction de l'épaisseur du substrat.  | 66  |
| 3.1 | Spécifications du détecteur développé dans le cadre du projet PixFEL [4].  | 80  |
| 3.2 | Résumé des différents résultats obtenus pour l'étude de la collection de charge dans la région centrale du capteur.  | 101 |
| 4.1 | Structures de test planaires disponibles et leur taille. Les paramètres extraits de la caractérisation électrique sont également reportés, $R_{implant}$ et $R_{contact}$ sont la résistivité et le coefficient de Hall des implantations et des contacts, $C_{AC}$ est la valeur de la capacité MOS réalisée sur un substrat fortement dopé, $J_{bulk}$ , $V_{FD}$ et $N_{bulk}$ sont la densité de courant de fuite, la tension de déplétion totale et la concentration de dopage du substrat, $t_{ox}$ et $N_{ox}$ sont l'épaisseur d'oxyde et la concentration des charge d'oxyde, $s_0$ est la vitesse de recombinaison en surface. | 111 |
| 4.2 | L'ensemble des différentes structures de capteurs incluses dans la plaquette à fabriquer par le centre de fabrication FBK.   | 119 |
| 4.3 | Propriétés électriques des différentes plaquettes après la caractérisation électrique des structures de test.  | 125 |
| 4.4 | Tensions de seuil de chaque configuration de bord déterminant le bon fonctionnement des composants diodes de la plaquette.   | 127 |
| 4.5 | Résumé des valeurs moyennes et maximales des tensions de claquage mesurées sur différents types de dispositifs de la plaquette (W15).  | 130 |

# Introduction générale

De nos jours, et avec la miniaturisation des composants CMOS et la diversification de leurs fonctionnalités, un nouveau concept a émergé dans le domaine de la microélectronique. Il s'agit de l'intégration tridimensionnelle des Circuits Intégrés (CIs). Cette nouvelle technologie repose sur l'empilement de puces aux fonctionnalités différentes et la transmission des signaux au travers des interconnexions verticales. Cette avancée technologique a permis d'apporter plusieurs avantages en termes d'amélioration des performances électriques des circuits CMOS, de réduction du coût de fabrications ainsi qu'une architecture adaptée à l'intégration hétérogène.

L'utilisation des interconnexions verticales de type TSVs (Through Silicon Via) présente un des aspects les plus usités de cette nouvelle technologie tridimensionnelle. Ces TSVs, qui sont des courtes interconnexions verticales, permettent de véhiculer toute sorte de signaux entre les différentes couches des CIs. Cependant, cette technologie 3D-TSV, introduite pour la première fois avec les puces de mémoire, a par la suite trouvé une application croissante dans d'autres domaines de la microélectronique, en particulier avec les détecteurs de rayonnement [1].

Ces imageurs ou détecteurs de rayonnement se trouvent de nos jours dans différents secteurs et institutions de recherche tels qu'aux expériences du Centre Européen de Recherche Nucléaire (CERN) avec ses détecteurs ATLAS, CMS, etc.[2], ainsi qu'aux expériences du centre de recherche européen (XFEL) pour la réalisation du Laser à Electrons libres à rayons X[3]. Ce dernier, qui a été inauguré à Hambourg fin 2017, est considéré comme le plus puissant laser et la plus brillante source de rayons X au monde. Par ailleurs, pour exploiter pleinement le potentiel des installations XFEL, une nouvelle génération de détecteurs utilisant des technologies d'intégration tridimensionnelles, telles que les TSVs, et avec des performances électriques améliorées par rapport aux dispositifs actuellement disponibles, doit être fabriquée.

De plus, ces détecteurs doivent répondre à certaines exigences et spécifications des expériences XFEL en termes d'une plage dynamique large, une collection de charges rapide, une zone inactive minimale ainsi qu'une bonne tolérance au rayonnement. Actuellement, plusieurs groupes de recherche mènent des travaux afin d'optimiser ces détecteurs, parmi lesquels on peut citer le projet PixFEL [4]. Ce projet de recherche, dédié au développement du détecteur d'imagerie par Rayons-X, nécessite l'utilisation de nombreuses technologies permettant d'assembler les différentes couches du détecteur : des capteurs de pixel à bord actif et à bord mince, un process technologique CMOS 65nm ainsi qu'une intégration verticale utilisant des vias traversant (TSVs) et des microbilles.

C'est ainsi que l'objectif de ce travail de thèse sera consacré à l'étude de l'impact des interconnexions TSVs sur les performances électriques des circuits CMOS ainsi qu'à l'étude et la conception d'un détecteur de rayon-X verticalement intégré.

La démarche adoptée est basée sur l'optimisation, en utilisant des méthodes de simulation robustes (à éléments finis : logiciel TCAD, Sentaurus), des modèles analytiques, permettant ainsi de déterminer les paramètres physiques et technologiques des détecteurs à réaliser. Des caractérisations non destructives variées ( $I(V)$  et  $C(V)$ ) sont ensuite effectuées permettant ainsi la réalisation d'un détecteur de Rayons X optimisé.

Ce travail, regroupé en quatre chapitres, se présente de la manière suivante :

Au cours du premier chapitre, nous mettrons en évidence l'évolution de l'intégration tridimensionnelle dans les CIs, ses différentes approches, la technologie tridimensionnelle à la base des vias traversant (TSV) ainsi que ses domaines d'application. Ensuite, les bases nécessaires à la bonne compréhension des détecteurs de radiation verticalement intégrés de rayon-X sont présentées.

Dans le second chapitre, nous aborderons l'étude de l'impact des interconnexions TSVs sur les performances électriques des circuits CMOS de l'électronique avoisinant le détecteur. C'est pour cette raison que nous commencerons tout d'abord par la présentation des notions théoriques sur le couplage substrat induit par l'intégration 3D. Ensuite, une implémentation d'une approche numérique et analytique de circuits CMOS qui intègrent des interconnexions de type TSVs est faite.

Le troisième chapitre sera consacré à l'étude du détecteur de rayonnement verticalement intégré réalisé dans le cadre du projet Européen PixFEL. Dans un premier temps, nous allons présenter un aperçu sur ce détecteur. Ensuite, nous allons illustrer la structure de sa partie capteur planaire à bord actif et à bord mince. Ainsi, différents paramètres technologiques relatifs au capteur seront optimisés à l'aide des simulations numériques en utilisant l'outil Sentaurus-TCAD.

Dans le dernier chapitre, on s'intéressera, d'une part, à la conception du *layout* de la plaquette du détecteur PixFEL incluant les différents types de structures de capteurs à bord actif et à bords mince, et d'autre part, à la présentation de la démarche à suivre pour la fabrication de la plaquette ainsi que la caractérisation électrique de type  $I(V)$  et  $C(V)$  des différents prototypes de structures conçus.

Enfin, nous concluons ce travail par une synthèse des résultats obtenus.

# Chapitre 1

## Intégration tridimensionnelle (3D-TSV) appliquée aux détecteurs de rayonnement

### Sommaire

---

|            |  |           |
|------------|--|-----------|
| <b>1.1</b> | <b>Introduction</b>  | <b>2</b>  |
| <b>1.2</b> | <b>Intégration tridimensionnelle dans les CIs</b>          | <b>2</b>  |
| 1.2.1      | Limitation des technologies conventionnelles               | 2         |
| 1.2.2      | Historique et solutions temporaires                        | 3         |
| 1.2.3      | Évolution de l'approche planaire vers une technologie 3D   | 5         |
| 1.2.4      | Intégration 3D   | 7         |
| 1.2.5      | Motivation de l'approche 3D                                | 9         |
| <b>1.3</b> | <b>Approches de l'intégration 3D</b>                       | <b>12</b> |
| 1.3.1      | Intégration verticale moyenne densité : 3D-WLP             | 14        |
| 1.3.2      | Intégration verticale haute densité : 3D-SIC               | 14        |
| 1.3.3      | Intégration verticale très haute densité : 3D monolithique | 15        |
| 1.3.4      | Options d'intégration                                      | 16        |
| <b>1.4</b> | <b>Intégration 3D à la base des TSVs</b>                   | <b>20</b> |
| 1.4.1      | Structures et géométries des TSVs                          | 20        |
| 1.4.2      | Avantages et feuilles de route de la technologie 3D-TSV    | 20        |
| 1.4.3      | Processus de fabrication des TSVs                          | 21        |
| 1.4.4      | Défis de la technologie 3D-TSV                             | 25        |
| 1.4.5      | Applications de la technologie 3D-TSV                      | 26        |
| <b>1.5</b> | <b>Détecteurs de radiations verticalement intégrés</b>     | <b>32</b> |
| 1.5.1      | Configuration globale des détecteurs                       | 32        |
| 1.5.2      | Principe du fonctionnement                                 | 33        |
| 1.5.3      | Partie capteur   | 34        |
| 1.5.4      | Partie électronique (ASIC)                                 | 40        |
| 1.5.5      | Interconnexions relatives au détecteur en technologie 3D   | 40        |
| <b>1.6</b> | <b>Détecteur de rayon-X</b>                                | <b>41</b> |
| 1.6.1      | Les lasers à électron libre de rayons-X (XFEL)             | 42        |
| 1.6.2      | Spécifications des détecteurs développés                   | 43        |
| <b>1.7</b> | <b>Contribution du doctorat et démarches proposées</b>     | <b>45</b> |
| <b>1.8</b> | <b>Conclusion</b>  | <b>46</b> |

---

## 1.1 Introduction

L'évolution de la microélectronique est acquise aujourd'hui grâce à l'utilisation de la technologie tridimensionnelle dans la fabrication des Circuits Intégrés (CIs). Dans ce chapitre nous allons présenter une synthèse de l'état de l'art de cette nouvelle technologie ainsi que ses avantages en termes : d'amélioration des performances électriques des circuits CMOS et la réduction du coût de fabrication. Dans un premier temps, nous allons présenter l'intégration tridimensionnelle dans les CIs, ses différentes approches ainsi que l'intégration 3D à la base des TSVs. Dans un deuxième temps, nous présentons ses domaines d'application, particulièrement pour les détecteurs de radiation verticalement intégrés ainsi que les détecteurs de rayon-X. Nous terminerons ce chapitre par un récapitulatif des concepts étudiés dans ce chapitre ainsi que leurs intérêts dans notre projet de thèse.

## 1.2 Intégration tridimensionnelle dans les CIs

Dans cette section, nous allons présenter : les limitations des technologies conventionnelles, l'historique des solutions temporaires, l'évolution de l'approche planare vers une technologie 3D ainsi que la motivation de l'approche 3D.

### 1.2.1 Limitation des technologies conventionnelles

Lors de ces dernières années, l'électronique a envahi notre vie quotidienne et est devenue indispensable dans plusieurs secteurs tels que celui des communications, la sécurité, la santé, l'éducation, les loisirs, etc.

L'évolution de la technologie et de nouveaux microsystèmes ont été caractérisés par un besoin de miniaturisation des composants électroniques prévus par la loi de Moore. Cette loi a été prévue en 1965 par Gordon Moore et elle prédit que le nombre de transistors dans une puce double chaque 18 mois [5]. Ce principe, que l'industrie des semi-conducteurs a respecté durant un demi-siècle, a servi comme une motivation afin d'augmenter les fonctionnalités et les performances des composants électroniques. Les dimensions des transistors sont réduites par un facteur 0.7 d'une génération technologique à une autre, ce qui a permis d'augmenter de plus la densité d'intégration. Par ailleurs, les innovations actuelles sont confrontées à des enjeux et des limites physiques, technologiques et économiques. D'une part, nous notons l'augmentation de la complexité, l'écart entre la technologie et la connaissance fondamentale ainsi que les difficultés pour satisfaire les exigences de qualité et de robustesse. D'autre part, le besoin de réduire le coût et le temps de développement et de qualification est un enjeu majeur. Les voies de l'évolution de la technologie microélectronique sont présentées sur la Figure 1.1.

La première approche '*More Moore*' consiste en la miniaturisation des transistors basés sur la technologie CMOS (*Complementary Metal Oxide Semiconductor*). Cette approche propose de rassembler plusieurs fonctions réalisées dans un même nœud technologique permettant, principalement, d'augmenter les performances des circuits. Parallèlement, l'émergence d'autres approches '*More Than Moore*' et du *Beyond CMOS* ont permis d'ouvrir les horizons de la miniaturisation des systèmes.

Ainsi, l'alternative dite '*More Than Moore*' consiste à assembler dans un même système des composants hétérogènes issus de technologies matures. Pour ce faire, un grand nombre

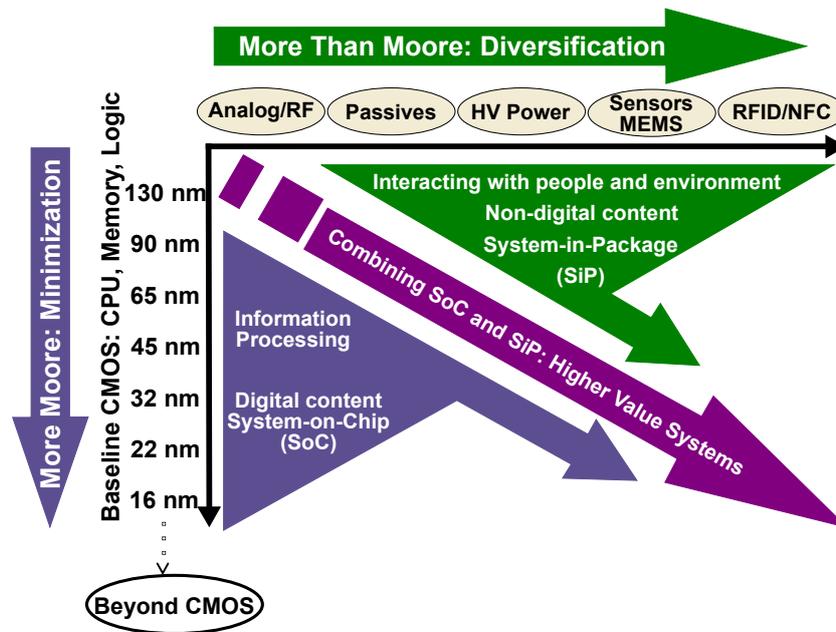


FIGURE 1.1 – Loi de Moore et ses perspectives : 'More Moore' se concentre sur la miniaturisation des composants, 'More Than Moore' se concentre sur la diversification fonctionnelle [6].

d'industries de semiconducteurs travaillent beaucoup sur cette voie par la diversification des composants et aussi sur la combinaison des SoCs (*System on Chip*) et SiP (*System in Package*) afin d'optimiser leurs composants (les détails de ces derniers sont présentés dans le prochain paragraphe).

Ces différentes démarches et voies adoptées sont, cependant, confrontées depuis quelques années par un net ralentissement qui est apparu du point de vue économique et technologique et qui est dû principalement aux problèmes des interconnexions. Ceci est traduit par le délai de propagation du signal dans les interconnexions, leurs longueurs globales dans une puce, ainsi que leurs types et leur fiabilité. Ceci se traduit par des problématiques de performance électrique et d'hétérogénéité.

### 1.2.2 Historique et solutions temporaires

L'histoire de l'évolution de la technologie microélectronique remonte à plus d'un demi-siècle, maintenant. A partir de l'invention du circuit intégré (interconnexions de plusieurs transistors sur une même puce) en 1958, l'accroissement du nombre de composants par CI s'est fait de façon exponentielle. Ce rythme de croissance prédit par la loi de Moore, et qui est toujours maintenu, a permis une révolution industrielle, en liaison avec le développement des logiciels et des communications. Cette évolution est reliée principalement aux améliorations technologiques des composants électroniques et des interconnexions qui ont joué un rôle très important. Ainsi, une réduction appréciable du temps de commutation des transistors a pu être observée. En revanche, ceci a engendré une augmentation indésirable du temps de réponse des interconnexions.

Ce délai généré par ces interconnexions devient le facteur limitant des performances des circuits intégrés actuels. La Figure 1.2 représente une prévision de l'ITRS [7] pour les délais caractéristiques d'une interconnexion et d'un transistor MOS à différents nœuds technologiques. D'autre part, sur une période d'environ dix ans seulement, les spécifications

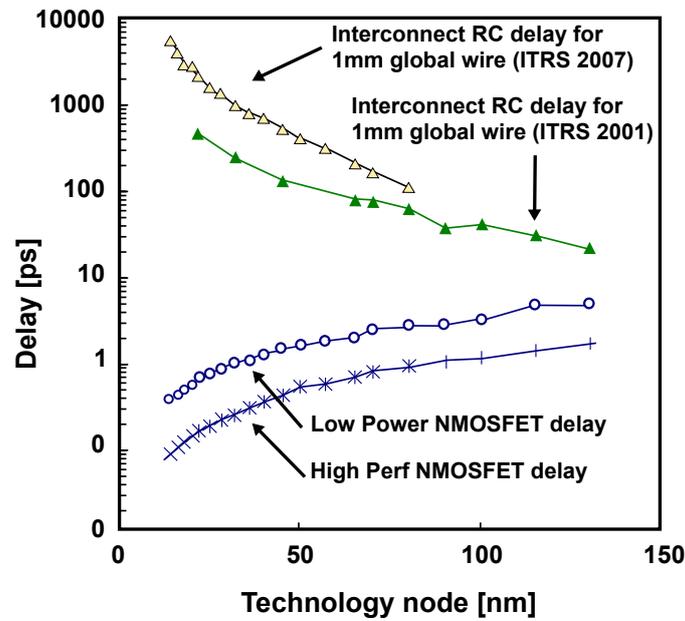


FIGURE 1.2 – Délais caractéristiques d’une interconnexion globale et d’un transistor NMOS en fonction des nœuds technologiques [7]

électriques des circuits ont elles aussi évolué ; telles que l’augmentation du courant d’alimentation et la chute de la tension d’alimentation. Ceci impose un lourd fardeau aux interconnexions qui régissent le réseau de distribution de puissance dans le circuit, notamment en termes de fiabilité des matériaux.

En plus, le fait de relier des circuits de natures différentes (logique et numérique) sur une même puce, rend les réseaux d’interconnexions de plus en plus denses tout en augmentant leurs longueurs totales d’un facteur de 50 par puce [8]. Ceci accroît la valeur de la capacité totale des d’interconnexions et par conséquent la puissance dynamique consommée.

Toutes ces évolutions se basent sur les performances des interconnexions, qui imposent des limitations sur la dissipation d’énergie, le délai et l’intégrité du signal dans un circuit intégré. Ces limitations sont engendrées d’une part, par les lois physiques et les innovations technologiques, et d’autre part, par les contraintes liées aux coûts de fabrication et aux demandes du marché. En revanche, certaines solutions temporaires technologiques et conceptuelles ont été prises en considération pour dépasser ces limitations, parmi lesquelles, on peut mentionner :

- Le délai de propagation du signal des interconnexions dépend essentiellement du produit résistance-capacité RC (la résistance R des lignes métalliques et de capacité C correspondant à l’espace entre deux lignes, qui est généralement de l’oxyde). L’utilisation de différents matériaux moins résistifs comme le cuivre au lieu de l’aluminium utilisé, auparavant, pour les interconnexions a l’effet de diminuer la résistance. Néanmoins, la largeur des lignes d’interconnexions dans ce cas devient inférieure au libre parcours moyen des électrons augmentant ainsi la résistivité de ces lignes.
- La réduction de la capacité du produit RC induite par la minimisation de la permittivité diélectrique des isolants interlignes en introduisant de la porosité [9, 10, 11]. Cependant, cette dernière ne peut pas être ajoutée indéfiniment.

- L’utilisation des niveaux de métallisation supplémentaires pour réaliser de nouvelles générations technologiques (inférieure à 14nm par exemple), une solution qui a pour inconvénient d’augmenter le coût de fabrication des puces.
- L’ajout des “répéteurs” au niveau des lignes d’interconnexions les plus longues, est une solution conceptuelle intéressante pour minimiser le nombre de niveaux de métal [12, 13]. Or, ceci demande une augmentation de la surface utilisée dans la puce ainsi qu’une augmentation de la consommation globale d’énergie.

En réalité, ces améliorations technologiques et conceptuelles présentent des solutions uniquement temporaires qui atteignent leurs limites, rendant difficile la poursuite de la miniaturisation des circuits 2D classiques telle que prévue par la loi de Moore.

### 1.2.3 Évolution de l’approche planare vers une technologie 3D

Les restrictions technologiques relatives aux interconnexions vues auparavant ont pour conséquence de freiner l’augmentation de la densité d’intégration et la miniaturisation des composants électroniques. Or, les innovations actuelles et la diversification des applications tendent à satisfaire les demandes du marché et offrir plus de puissance de calcul, une réduction des dimensions, un faible coût et une moindre consommation d’énergie. Cela a fait apparaître des systèmes complets intégrés sur une même puce, incluant soit des technologies similaires, soit des technologies hétérogènes. Ces systèmes sont plus connus sous les appellations anglophones *System-on-Chip* (SoC) et *System-in-Package* (SiP). Ces derniers sont considérés comme deux systèmes d’intégrations complémentaires. Le principe de base ainsi que leurs avantages et inconvénients sont présentés ci-après.

#### ”System on Chip” (SoC) :

Un *System-on-Chip* (SoC) ou système sur puce est un circuit intégré qui rassemble sur une seule puce électronique des composants actifs et passifs [14]. Il peut intégrer des fonctions numériques, analogiques, signaux mixtes et souvent des signaux RF, le tout sur la même surface. L’ensemble des composants du SoC est conçu à partir d’un même nœud technologique. L’intérêt essentiel de ces systèmes consiste en leur faible encombrement ainsi que leur consommation d’énergie réduite. Néanmoins, les systèmes sur puce (SoC) se trouvent limités par leur grande complexité de conception qui demande des moyens de calculs ainsi qu’un savoir-faire très avancé. En conséquence, ils représentent une des principales problématiques actuelles du domaine *More Moore*. La Figure 1.3, présente un ensemble des éléments qui peuvent être regroupés sur une même puce.

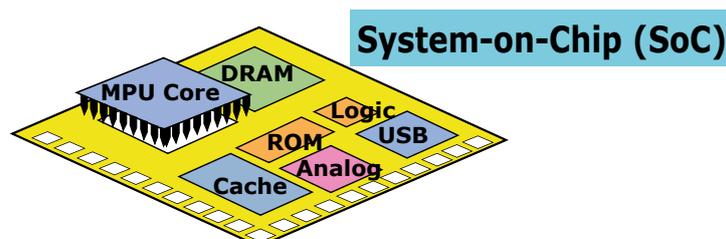


FIGURE 1.3 – Éléments pouvant être regroupés sur une même puce d’un système SoC.

## ”System in Package” (SiP) :

La solution *System-in-Package* (SiP) ou système en boîtier est une alternative du SoC qui désigne un système de circuits intégrés dans un boîtier ou module. Il consiste à regrouper au sein d’un même boîtier une ou plusieurs puces de silicium (circuits logiques, mémoires, ASICs, microcontrôleurs, etc.) empilées soit par câblage extérieur appelé ’*wire-bonding*’, soit par une technologie de puce retournée, connue sous le nom de ’*flip-chip*’. Un schématique de ce type de système est présenté sur la Figure 1.4.

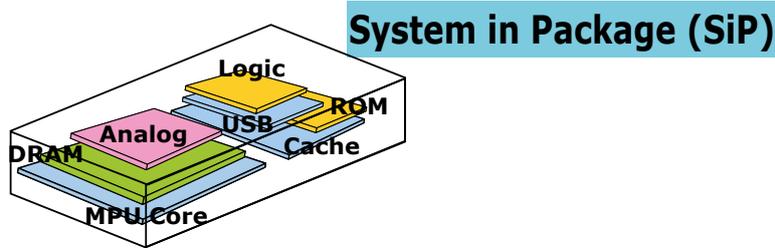


FIGURE 1.4 – Ensemble d’éléments pouvant être regroupés sur une même puce d’un système SiP.

Ces systèmes SiP se trouvent aujourd’hui sur une grande partie du marché des semi-conducteurs grâce à leurs nombreux avantages. Ceci se traduit par la grande flexibilité et le gain de place occupée sur la carte mère, ce qui rend le coût de fabrication plus faible. En plus, une réduction des complexités du composant simplifie la conception du produit final. Néanmoins, parmi les défis de ce type de système qui constitue la limite principale des systèmes hétérogènes du *More Than Moore*, on peut citer :

- D’une part, la nécessité de garder thermiquement et mécaniquement stables, les différentes connexions des puces tout en conservant le boîtier le plus fin possible.
- D’autre part, le besoin d’avoir une méthode de test bien précise pour chacune des puces ainsi que les techniques de câblage qui peuvent pénaliser la fiabilité ainsi que la vitesse des circuits.

Les deux types de connectiques (*flip-chip* et *wire-bonding*) utilisés pour empiler les différents éléments les uns sur les autres sont décrits sur la Figure 1.5.

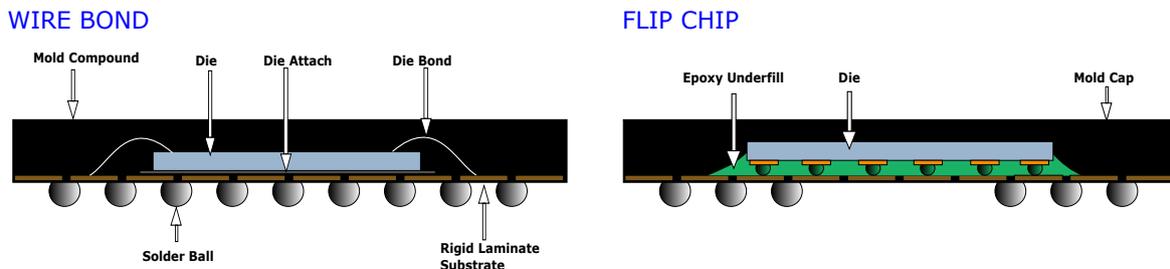


FIGURE 1.5 – Principe de connexion par câblage (*wire-bonding*) et par report (*flip-chip*).

Dans le domaine des semiconducteurs, la technique dite *wire-bonding* ou câblage par fil, est une des techniques utilisées pour effectuer les connexions électriques de plusieurs puces et d'assembler n'importe quelle puce à une autre. Cette dernière présente une technique ancienne qui est utilisée dans le milieu industriel sur plus de 95% des boîtiers fabriqués. Le principe de base consiste à relier deux plots entre eux par un fil conducteur en utilisant des techniques ultrasoniques et de thermocompression. L'intérêt principal de cette technique est de faire la superposition de plusieurs puces électroniques avec un grand nombre de connexions d'entrée/sorties, tout cela est réalisé avec un prix réduit. Cependant, puisque les connexions par câble se trouvent en périphérie des puces, afin d'éviter les courts-circuits, ceci nécessite un espace dédié supplémentaire.

La deuxième méthode d'interconnexion, dite *flip-chip*, est une technique utilisée pour effectuer les connexions électriques situées sous la puce. Ces connexions sont, généralement, juste des microbilles ou de bossages métalliques sur une seule face de la puce permettant un gain de place par rapport à la technique du *wire-bonding* qui occupe une large surface. Mais, l'inconvénient de cette méthode de connexion réside dans l'incapacité d'empiler plusieurs puces ce qui impose de les poser côte à côte.

Cependant, afin de combiner les avantages des deux techniques ; permettant la possibilité d'assembler plusieurs puces sur une surface bien réduite, la technologie microélectronique converge vers une solution viable, pour atteindre cet objectif d'architecture ultime, c'est l'intégration tridimensionnelle.

### 1.2.4 Intégration 3D

Comme nous venons de voir, les architectures traditionnelles de circuits intégrés en considérant une technologie planare 2D, sont aujourd'hui limitées, à la fois d'un point de vue technologique pour la réalisation des futures générations, et d'un point de vue conceptuel par la complexité croissante des circuits. Cependant, d'autres voies sont étudiées pour augmenter les performances et les fonctionnalités des CIs. L'alternative la plus crédible est l'utilisation de la 3<sup>ème</sup> dimension afin d'empiler les composants électroniques, en superposant des puces d'un boîtier (3D-SiP) ou des *wafers* les uns sur les autres (3D-WLP). Ce concept d'empilement vertical date des premiers temps de l'industrie des semiconducteurs dans les années 50. En effet, des empilements d'un composant actif sur des couches de composants passifs avaient été réalisés à cette époque [15]. Ce type d'architecture a été repris et amélioré par la suite sur des systèmes SiP en utilisant les deux procédés d'interconnexions *flip-chip* et *wire-bonding* en même temps. A titre d'exemple, la Figure 1.6 présente une simple configuration d'un circuit 3D-SiP assemblé verticalement avec deux puces empilées l'une sur l'autre. La puce du bas est réalisée avec une technologie de puce retournée (*flip-chip*) en utilisant des microbilles alors que celle du dessus est connectée au substrat de *packaging* avec la technique du câblage par fil (*wire-bonding*).

L'exploitation de la troisième dimension dans les circuits intégrés ne cesse d'évoluer avec l'utilisation de nouveaux procédés d'interconnexions. Ainsi, une voie prometteuse a émergé en utilisant des connexions électriques courtes, ou bien des vias, entre les composants électroniques, directement au travers des différentes couches. Ces derniers sont communément appelés TSVs, pour '**Through Silicon Vias**'. L'utilisation de cette configuration de connexion verticale entre les différents étages de silicium est devenue une filière principale et le cœur des empilements 3D (Figure 1.7). Ceci est possible grâce aux nombreux avantages relatifs à la technologie des vias traversant qui permettent de véhiculer

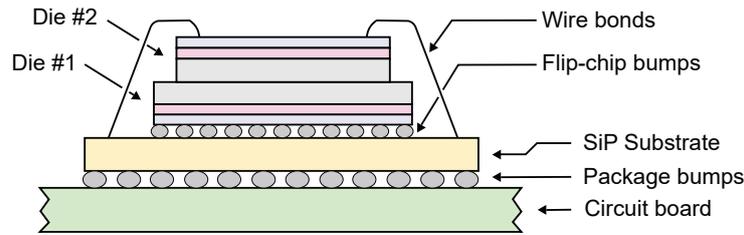


FIGURE 1.6 – Exemple de circuit 3D.

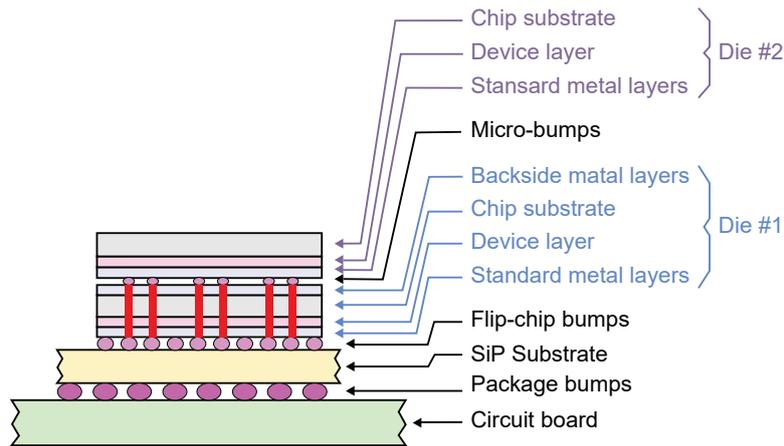


FIGURE 1.7 – Un circuit simple avec une intégration 3D.

entre les différentes couches toute sorte de signaux. Ainsi, par exemple, nous pourrions avoir une puce de mémoire attachée à un circuit digital (ou vice versa), ou un circuit analogique / RF attachée à un circuit digital, etc.

La dernière configuration ne présente qu'une simple structure de circuit assemblé avec une technologie 3D. Des circuits intégrés de plus en plus complexes peuvent être réalisés à la base des différentes approches de l'intégration 3D. A titre d'exemple, la Figure 1.8 présente une configuration 3D-SiP composée de plusieurs puces les unes au dessus des autres empilées avec des TSVs et des microbilles afin de les interconnecter les unes avec les autres ainsi qu'avec le substrat de *packaging* du SiP.

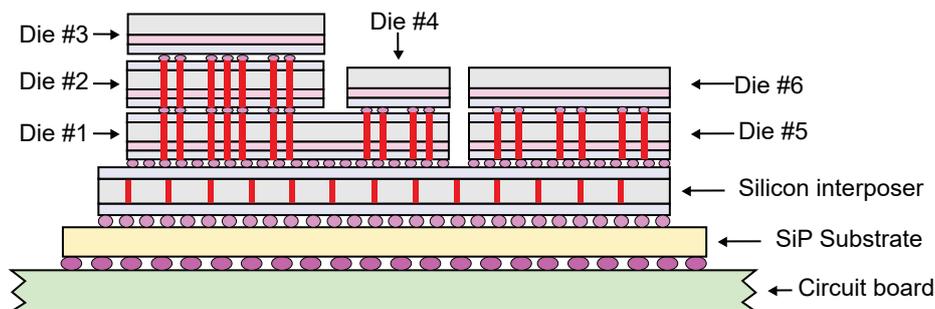


FIGURE 1.8 – Un circuit 3D-SiP composé de différentes puces.

## 1.2.5 Motivation de l'approche 3D

L'intérêt d'utiliser l'intégration 3D dans le domaine de la microélectronique représente une voie alternative qui offre plusieurs avantages majeurs. Nous pouvons citer notamment l'augmentation des performances globales des circuits par la réduction du délai de propagation des signaux dans les interconnexions. Leur consommation énergétique est également réduite. De plus, la possibilité d'ajout à moindre coût de nouvelles fonctions est possible.

### Réduction des interconnexions

L'intégration planaire 2D de différents blocs d'un circuit a montré des limites certaines, principalement sur le délai de propagation du signal des interconnexions. Le fait d'empiler verticalement les différents blocs présente l'avantage de l'intégration 3D qui diminue considérablement les longueurs d'interconnexions. La Figure 1.9 illustre cette réduction globale des interconnexions d'un dispositif intégré en 2D ou assemblé en 3D. Les câblages entre les différentes couches des circuits 2D sont ici remplacés par des via traversant (TSVs). Dans le but d'estimer la diminution moyenne des longueurs d'interconnexions, une étude en [16] montre que la longueur du câblage diminue par un facteur de racine carrée de nombre de couches du dispositif  $\sqrt{N_z}$ . Cependant, une estimation plus récente de cette diminution a été donnée par [17] qui ont montré que la réduction des longueurs d'interconnexions est de l'ordre de 42% dans le cas d'une superposition de trois niveaux actifs. Une autre étude et estimation de [18] a montré une diminution de 30% sur toutes les lignes de la structure 3D comparée à une structure 2D.

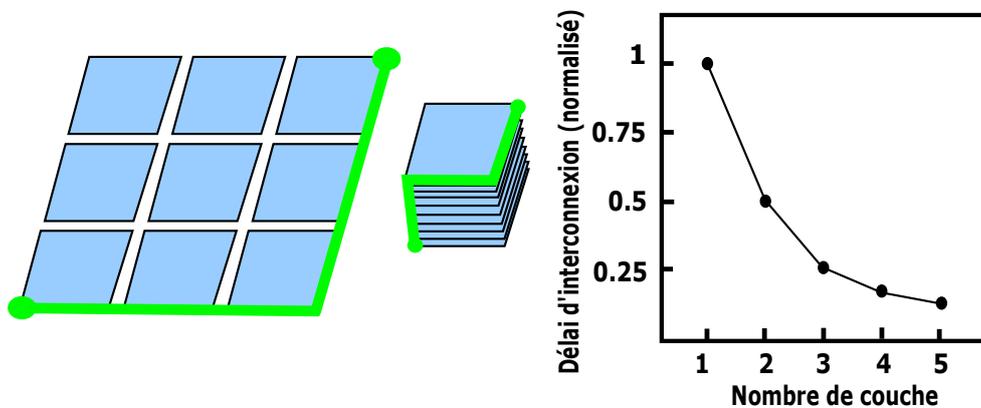


FIGURE 1.9 – Exemple d'une réduction des longueurs d'interconnexions pour un dispositif intégré en 2D ou assemblé en 3D. La courbe de droite montre que plus grand est le nombre de couches empilées, plus grand est le gain au niveau des longueurs d'interconnexion.

### Réduction de la consommation électrique

L'avantage de la réduction significative de la longueur d'interconnexions n'a pas pour conséquence que la réduction du délai de propagation du signal, mais aussi la diminution de la puissance dynamique dissipée dans le réseau d'interconnexions. La consommation électrique totale de ces derniers ( $P_{interconnect}$ ) dans une puce verticalement intégrée est calculée suivant la formule 1.1 [19] :

$$P_{interconnect} = \frac{1}{2} \alpha \cdot C \cdot V_{dd}^2 \cdot f_c \quad (1.1)$$

Où  $V_{dd}$  est la tension d'alimentation,  $C$  la capacité totale inhérente au réseau d'interconnexions,  $f_c$  la fréquence d'horloge et  $\alpha$  est une constante qui dépend de l'activité de la ligne. Une grande partie de l'énergie dissipée dans une puce est ainsi due au réseau d'interconnexions.

Par ailleurs, la réduction de la longueur d'interconnexions sert également à diminuer le nombre de répéteurs ajoutés au niveau de longues interconnexions globales dans les circuits 2D. Ceci a pour conséquence de réduire la consommation globale d'énergie dans le cas d'une configuration tridimensionnelle. La réduction de la puissance est approximativement déterminée par un facteur racine carrée de couches de dispositif dans un circuit 3D (c'est-à-dire, une configuration 3D avec quatre couches peut réduire la puissance totale d'interconnexion de 50%) [20]. Cependant, cette estimation approximative n'est pas toujours valide mais elle varie plutôt selon les différents types de conception des circuits. A titre d'exemple, un banc de registres conçu pour un microprocesseur 3D assemblé sur un boîtier à deux puces et un autre boîtier à quatre puces présente respectivement 58,5% et 58,2% de réduction de puissance [21]. Intel a rapporté aussi qu'un microprocesseur iA32, qui est verticalement intégré avec deux puces, a montré une réduction de la consommation d'énergie de 15% et une amélioration de performance de 15% [22].

### Gain en surface utilisée / augmentation des densités d'intégration

Un circuit intégré planaire peut être partitionné horizontalement sur plusieurs puces, ce qui occupe une large surface. L'utilisation des architectures tridimensionnelles par contre sert à avoir un gain en surface considérable. Ce gain se traduit d'une part, par le fait d'empiler les différents composants les uns sur les autres, et d'autre part, par la réduction de la longueur d'interconnexion remplacé par des connexions verticales (TSVs) [23]. Un facteur de rétrécissement relatif à une conception 3D peut être déterminé en fonction du nombre de couches de dispositif à empiler. Ce facteur peut être exprimé par :  $A_{3D} = \frac{A_{2D}}{N_{layer}}$ , où  $A_{3D}$  et  $A_{2D}$  sont les surfaces des puces 3D et 2D respectivement, et  $N_{layer}$  est le nombre de couches [24].

Néanmoins, pratiquement la réduction de la surface occupée avec le nombre croissant de couches du dispositif dépend essentiellement du schématique *layout*. Ainsi le gain en surface ne peut pas être atteint comme prévu. La Figure 1.10 montre un *layout* d'un inverseur 2D et d'un inverseur 3D, dont les transistors n-FET sont placés en top des

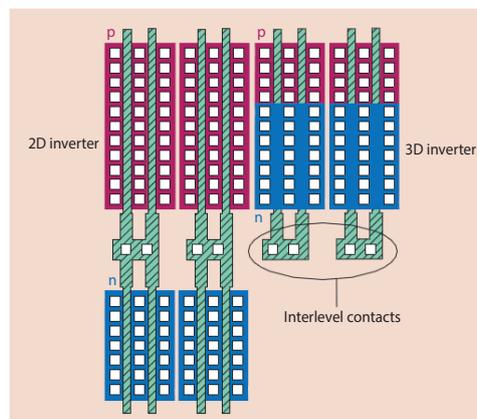


FIGURE 1.10 – Le *layout* des inverseurs 2D et 3D montrant une réduction de 30% de la surface totale [25].

transistors p-FET pour le cas de l'inverseur 3D. Il est démontré que la surface totale de l'inverseur 3D, est inférieure de 30% à celle du 2D [25]. Il est possible de nos jours d'obtenir de forte densité d'interconnexion allant jusqu'à  $10^7$  connexions par  $cm^2$ .

### Intégration hétérogène des systèmes

Afin d'augmenter les performances et les fonctionnalités des CIs, des technologies hétérogènes (y compris des fonctions logiques, RF, mémoire, MEMS, etc.) peuvent être intégrées sur un seul *packaging* grâce à l'intégration tridimensionnelle. Chaque puce est fabriquée séparément, puis empilée verticalement en utilisant l'intégration 3D. En outre, les composants avec une fabrication incompatible pourraient être combinés dans un seul circuit 3D. Ceci permet la minimisation du couplage ou bruit entre les différents circuits comme celui d'un circuit digital et un circuit RF, où chacun est placé sur des puces différentes avec des substrats distincts. En effet, parmi les applications qui peuvent être établies, il existe l'assemblage de différentes technologies nécessitant des tensions d'alimentation différentes, telles que le couplage de circuits mémoires SRAM ou DRAM sur des circuits logiques [26]. La Figure 1.11 présente quelques architectures 3D avec des densités d'intégration ainsi que des fonctionnalités bien supérieures aux circuits 2D actuels.

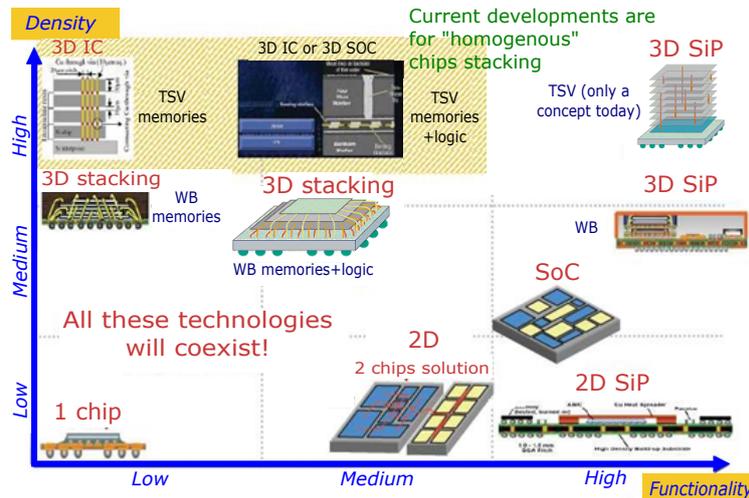


FIGURE 1.11 – Positionnement de l'intégration 3D parmi les solutions d'intégration existantes [27].

### Diminution du coût de production

L'optimisation des coûts et du rendement de production est un des avantages d'utilisation de l'intégration 3D dans la fabrication des circuits intégrés. En effet, le coût peut être réduit en raison du gain en surface avec un empilement 3D. De plus, l'interconnexion verticale des différentes couches, comme expliqué auparavant, offre une minimisation de la longueur des interconnexions qui est liée directement à l'abaissement du coût de fabrication des CIs. Une estimation de la réduction globale des coûts de production est reportée sur [28] par une simple comparaison du coût relatif à la fabrication d'un SoC et un circuit 3D. Le circuit SoC est réalisé dans une technologie  $45nm$ , alors que pour le circuit 3D, la partie numérique reste en  $45nm$  par contre la partie analogique passe en  $0.8\mu m$ . Cette comparaison, qui est décrite sur la Figure 1.12, montre que l'intégration 3D réduit drastiquement le coût global de fabrication des différents sous-systèmes dont le coût du procédé 3D ne représente que 3 à 8% du coût total d'un circuit 3D [28].

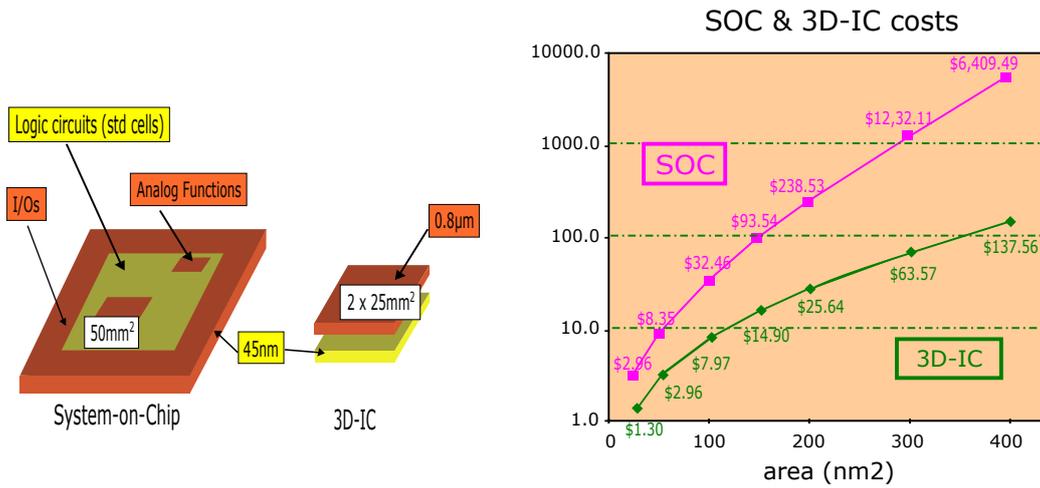


FIGURE 1.12 – a) Comparaison entre un *System-on-Chip* et une intégration 3D, b) comparaison des coûts relatifs à la fabrication d'un SoC 45nm et son équivalent 3D 45nm / 0.8µm en fonction de la surface du circuit considéré [28].

### 1.3 Approches de l'intégration 3D

Nous venons de voir que l'utilisation d'une technologie tridimensionnelle a permis d'apporter plusieurs avantages aux développements des systèmes électroniques, à savoir la miniaturisation, l'intégration hétérogène, l'amélioration des performances du circuit et la faible consommation électrique.

Un large spectre d'architectures physiques relatif à une technologie 3D peut être réalisé où chacune est reliée à un certain niveau d'interconnexions, de *packaging* ou d'assemblage. Afin d'avoir une vision claire sur les feuilles de route pour ces technologies 3D, il est important de parvenir à une définition et une classification de la grande variété de ces technologies. Celles-ci sont présentées dans les paragraphes ci-dessous.

Un système électronique réalisé dans une technologie 3D se compose principalement de deux parties : des éléments dit bSoC (transistors, diodes, composants passifs, etc.) et un réseau d'interconnexion afin de relier ces composants électroniques. Ce réseau est organisé d'une manière hiérarchique :

- De courtes interconnexions entre les éléments bSoC ou FEOL (*Front-End-Of-Line* : désignant l'ensemble des parties actives d'un CI) à des interconnexions grandes.
- De plus longues pour relier les différents blocs d'un circuit ou BEOL (*Back-End-Of-Line* : désignant l'ensemble des interconnexions métalliques d'un CI).

Ces niveaux d'interconnexions sont bien définis comme interconnexions locales, semi-globales et globales. Une architecture moderne d'interconnexion comporte typiquement ces trois niveaux de hiérarchisation (Figure 1.13)[29]. A chaque niveau correspond une intégration 3D associée dont la dénomination et les principales caractéristiques et fonctions sont explicitées sur la Table 1.1 [30]. Les différentes technologies 3D avec utilisation de TSVs, présentées sur le tableau, sont détaillées dans les paragraphes suivants, à savoir la moyenne densité d'interconnexions (3D-WLP), la haute densité (3D-SIC) et la très haute densité (3D monolithique).

TABLE 1.1 – Classification des intégrations 3D (avec et sans TSV).

| Niveau d'interconnexion             | Dénomination  | Densité des interconnexions | Logistique de fabrication   | Caractéristiques clés   |
|-------------------------------------|---|-----------------------------|---|---|
| Connexion au niveau des <i>pads</i> | 3D-WLP<br><i>Level Packaging</i>                                | Moyenne densité             | Production type <i>packaging</i> à l'échelle du <i>Wafer</i>  | <ul style="list-style-type: none"> <li>- Infrastructure WLP ; tel que la '<i>Redistribution Layer</i>' (RDL) et connexion par microbilles.</li> <li>- Connexions réalisées au niveau des <i>pads</i> I/O. Densité des TSVs similaire à la densité des <i>pads</i>.</li> </ul>   |
| Global                              | 3D-SoC<br><i>(System-on-Chip) / 3D-SIC (Integrated Circuit)</i> | Haute densité               | Production type <i>wafer</i> CMOS classique   | <ul style="list-style-type: none"> <li>- Empilements de blocs logiques (<i>IP blocks</i>), de mémoire, similaire à une approche SoC avec les différents circuits sur plusieurs couches indépendantes.</li> <li>- Application : empilement de technologies hétérogènes, mémoire à large bande passant sur logique.</li> <li>- Densité des TSVs plus importante que pour le 3D-WLP : les spécifications pour le '<i>pitch</i>' sont de l'ordre de 4-16 <math>\mu m</math>.</li> </ul> |
| Semi-global                         | 3D-SIC  | Haute densité               | Production type <i>wafer</i> CMOS classique   | <ul style="list-style-type: none"> <li>- Empilement de petits blocs logiques (parties de blocs IP).</li> <li>- Forte densité de TSVs nécessaire : <i>pitch</i> aux alentours de 1-4 <math>\mu m</math>.</li> </ul>  |
| Local                               | 3D monolithique   | Très haute densité          | Production type <i>wafer</i> CMOS avec adaptation du flot de fabrication (car plusieurs niveaux FEOL) | <ul style="list-style-type: none"> <li>- Empilement de plusieurs niveaux de transistors interconnectés par un seul empilement d'interconnexions (BEOL).</li> <li>- Application : très forte densité de composants dans une cellule mémoire.</li> <li>- Les connexions 3D sont réalisées au niveau FEOL, impliquant des niveaux de densité typiques aux interconnexions locales.</li> </ul>  |

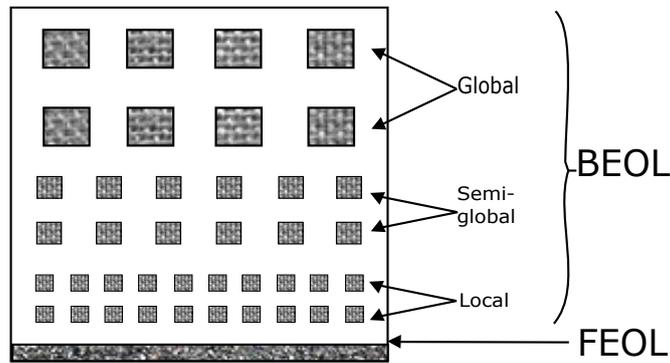


FIGURE 1.13 – Structure d’interconnexions à trois niveaux.

### 1.3.1 Intégration verticale moyenne densité : 3D-WLP

Une technologie dite WLP (*Wafer-Level Packaging*) est une intégration verticale à moyenne densité. Elle est basée sur l’empilement direct des différentes puces avec la technique de puce retournée *flip-chip* en utilisant des microbilles. Un grand nombre de fabricants ont adopté cette technologie depuis plusieurs années [31, 32]. Les connexions électriques des entrées et sorties d’un système électronique de cette approche sont réalisées aux niveaux des *pads*. Des interconnexions verticales, de grandes dimensions, de types TSVs sont utilisées (avec un diamètre autour de  $(20 - 40\mu m)$ ) [33] pour relier une face à une autre sans opter pour la solution du câblage externe (*wire-bonding*). Leur densité est similaire au nombre des *pads*. La Figure 1.14 présente un exemple d’une technologie 3D-WLP.

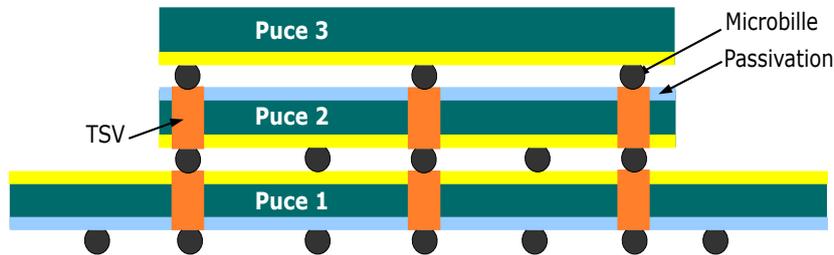


FIGURE 1.14 – Une intégration verticale de moyenne densité, 3D-WLP.

### 1.3.2 Intégration verticale haute densité : 3D-SIC

Ce type d’intégration 3D-SIC (*3D-Stacked-Integrated-Circuit*) est lié à un niveau d’interconnexions globales et semi-globales. Cette architecture présente une intégration verticale de haute densité qui est assez différente d’un point de vue fonctionnel de l’intégration 3D-WLP. Elle consiste en l’empilement direct des blocs logiques (IP blocs) avec les différents circuits situés sur plusieurs couches indépendantes. Cette technologie permet d’offrir plusieurs avantages en termes de réduction de la longueur des interconnexions de type TSV ainsi que l’augmentation de leur densité. Le grand nombre d’interconnexion nécessite dans ce cas l’utilisation des TSVs de faibles diamètres de l’ordre de  $4 - 16\mu m$  pour un facteur de forme situé entre 1 et 10 [33]. Plusieurs compagnies et laboratoires ont adopté cette technologie 3D [34]. La Figure 1.15 montre un exemple d’une intégration 3D-SIC.

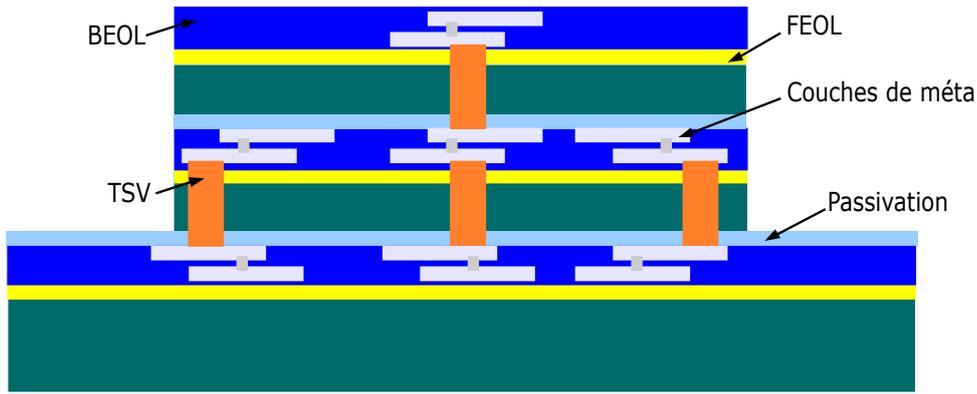


FIGURE 1.15 – Une intégration verticale haute densité, 3D-SIC.

### 1.3.3 Intégration verticale très haute densité : 3D monolithique

La technologie 3D monolithique dite ‘ultime’ est une intégration verticale à très haute densité. Elle permet d’empiler directement plusieurs niveaux de transistors interconnectés par un seul empilement d’interconnexions. Cette architecture, par rapport aux intégrations 3D moyenne et haute densité, permet de réaliser des différents niveaux de composants sur un même substrat. Ces différents niveaux sont interconnectés au niveau FEOL par des TSVs de type microélectronique avec un diamètre d’environ 100nm. Le tout est ainsi interconnecté par un réseau d’interconnexions BEOL, constituant un seul bloc intégré, d’où l’appellation 3D monolithique. Ce concept d’intégration 3D est adopté de nos jours dans différents systèmes nanoélectroniques tels que les cellules de mémoire 3D-NAND [35, 36] et les capteurs d’images MAPS (*Monolithic-Active-Pixel-Sensor*)[37]. Ceci s’explique principalement par les nombreux avantages présentés par cette technologie en termes de miniaturisation, de réduction de la consommation électrique et d’hétérogénéité. Néanmoins, cette approche 3D a un budget thermique significativement important, ce qui présente un des principaux freins au développement de cette technologie. A ce titre, plusieurs solutions ont été proposées afin de minimiser l’effet de ce dernier [38]. Une présentation schématique de cette architecture ainsi que des exemples de démonstration sont présentés sur la Figure 1.16.

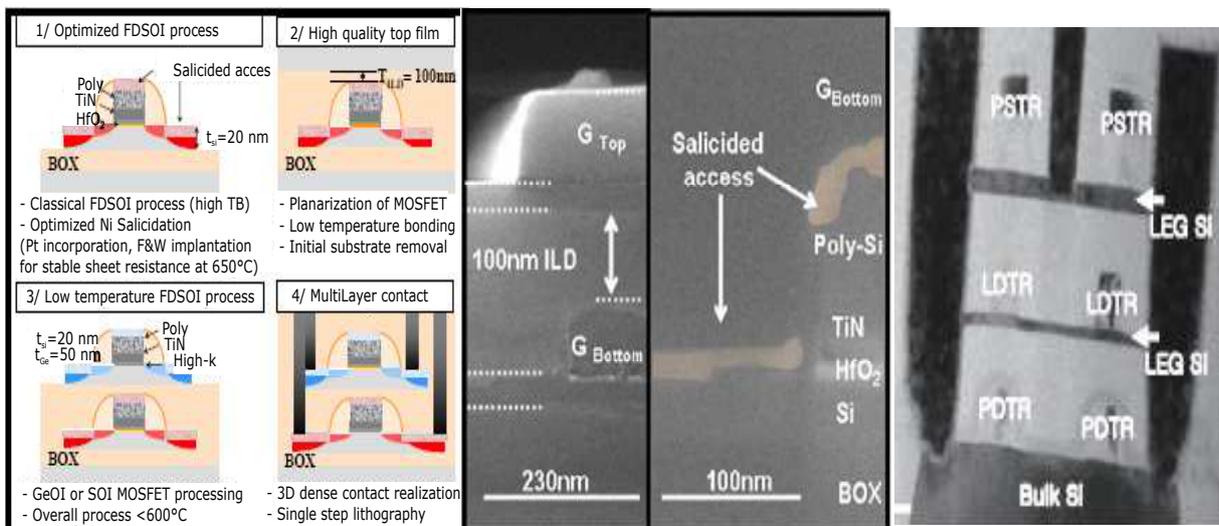


FIGURE 1.16 – Quelques exemples de démonstration technologique d’intégration 3D monolithique [38].

### 1.3.4 Options d'intégration

Il existe un large choix d'options technologiques pour réaliser les architectures que nous venons de présenter. Celles-ci sont orientées par le choix des procédés technologiques maîtrisés et du produit final désiré. Ces options ou approches dépendent de plusieurs paramètres tels que le type d'empilement, son orientation, la nature du collage d'empilement, ou peuvent même être en fonction du moment de réalisation du TSV dans la chaîne de fabrication.

#### Type d'empilement

L'empilement de couches des intégrations 3D peut se faire à travers plusieurs façons ; Puce à puce (D2D–*Die-to-Die*), Plaquette à plaquette (W2W– *Wafer-to-Wafer*), Puce à plaquette (D2W– *Die-to-Wafer*). La Figure 1.17 présente un exemple de ces différentes formes d'empilement.

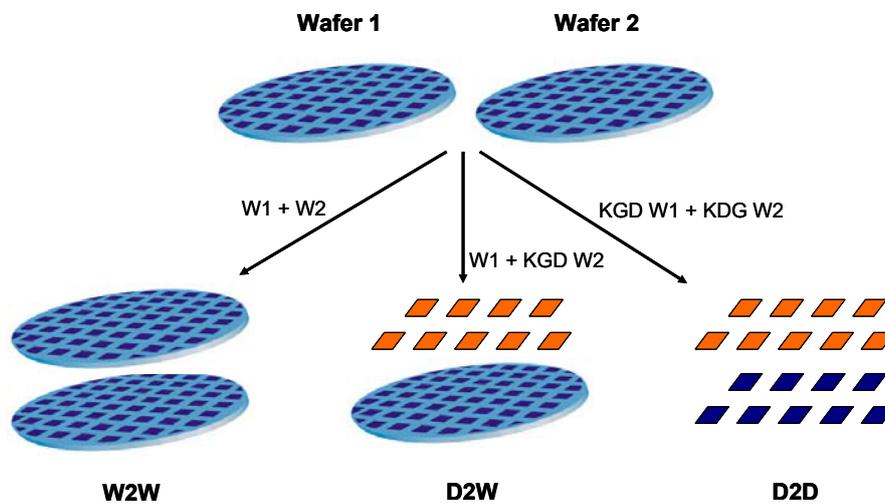


FIGURE 1.17 – Les types d'empilement W2W (*Wafer to Wafer*), D2W (*Die to Wafer*) et D2D (*Die to Die*).

#### Orientation des circuits

Il existe plusieurs façons d'empiler les différents niveaux actifs des circuits 3D. L'assemblage de ces niveaux peut être orienté soit dans le même sens (*face-to-back*), soit face à face (*face-to-face*). La Figure 1.18 présente ces différentes façons d'empilement.

#### Type de collage

La nature de collage des différentes puces à assembler peut prendre plusieurs formes et dépend du matériau utilisé au niveau de l'interface de collage. En effet, on peut trouver :

1. Le collage métallique en utilisant des lignes de cuivre.
2. Le collage isolant (collage oxyde ou collage polymère).
3. Le collage moléculaire qui est fréquemment réalisé en pleine plaquette, à des températures dites basses (typiquement 250 – 350°C) [8].

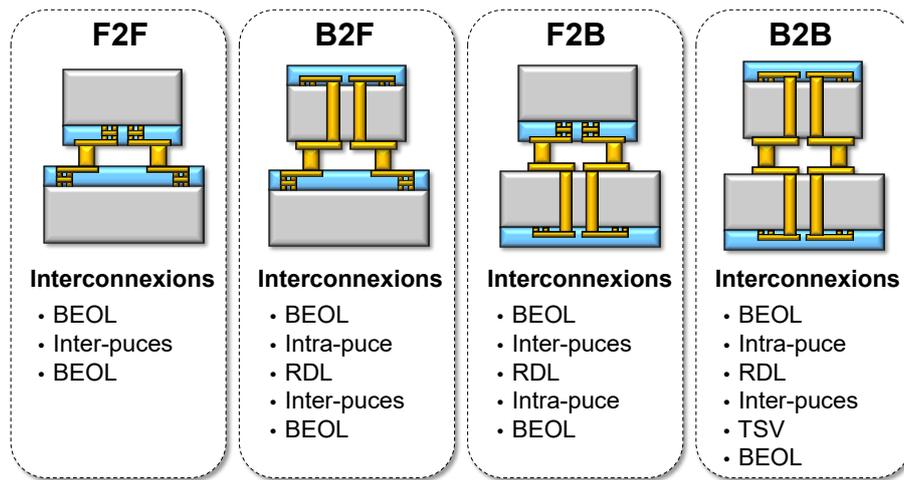


FIGURE 1.18 – Schéma représentatif des orientations possibles pour l'empilement 3D de deux circuits.

Les puces ou plaquettes collées, qui ont généralement une épaisseur d'environ  $700\mu m$ , doivent être amincies afin de permettre la réalisation des interconnexions verticales reliant les différents circuits. Ces derniers sont de type TSVs avec une hauteur qui est généralement inférieure à  $100\mu m$ . Cette étape d'amincissement est fortement dépendante de l'orientation des plaquettes assemblées. De plus, le choix de l'approche utilisée (*face-to-face* or *face-to-back*) aura un impact sur le flot de la réalisation du circuit 3D. La Figure 1.19 illustre un exemple parfait d'intégration utilisée suivant l'approche du collage.

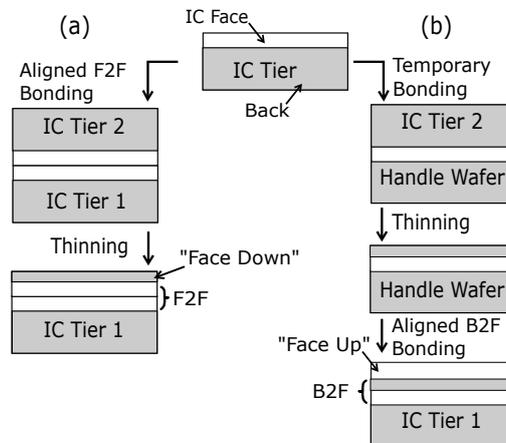


FIGURE 1.19 – Exemple d'intégration utilisée suivant l'approche du collage : a) *Face to face*, dans ce cas, la plaquette 2 est amincie après collage. b) *face to back*, dans ce cas, la plaquette 2 est collée sur une plaquette de support pour être amincie puis retournée et collée sur la plaquette 1, la plaquette de support est ensuite retirée [39].

### Connexions intra-strate (TSV)

La principale particularité de la technologie des interconnexions verticales, dite 'TSV', est de traverser le silicium en reliant les différentes puces d'un CI. Cette technologie TSV peut être appliquée à différents moments du processus de réalisation globale de la structure 3D. Selon son positionnement au cours de la chaîne de fabrication du circuit, on distingue trois types d'empilements différents appelés : *vias first*, *vias middle*, *vias last*.

- **Vias first** : On parle d'une architecture *via first* quand les TSVs sont réalisés avant l'étape de collage des deux plaques. Le processus de fabrication des vias se fait avant même la réalisation de la partie active du FEOL. La Figure 1.20 illustre l'architecture *via first*.

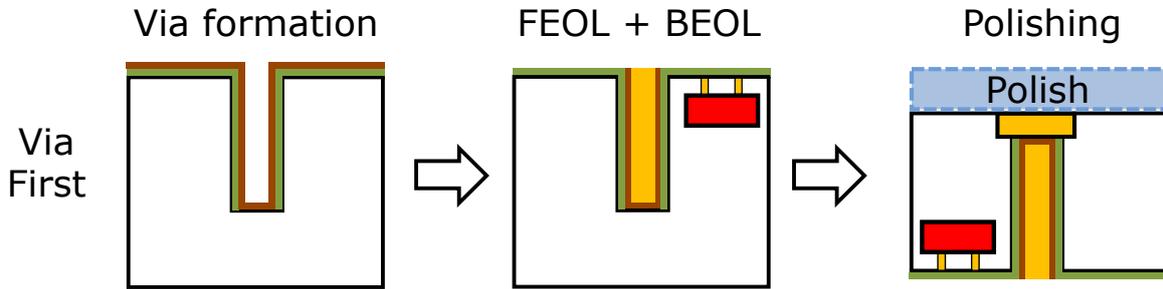


FIGURE 1.20 – L'architecture *via first*.

- **Vias middle** : une architecture dite *via middle* fait référence à une approche d'une réalisation des TSVs après formation des composants actifs et avant réalisation des interconnexions du BEOL. La Figure 1.21 présente l'architecture *vias middle*.

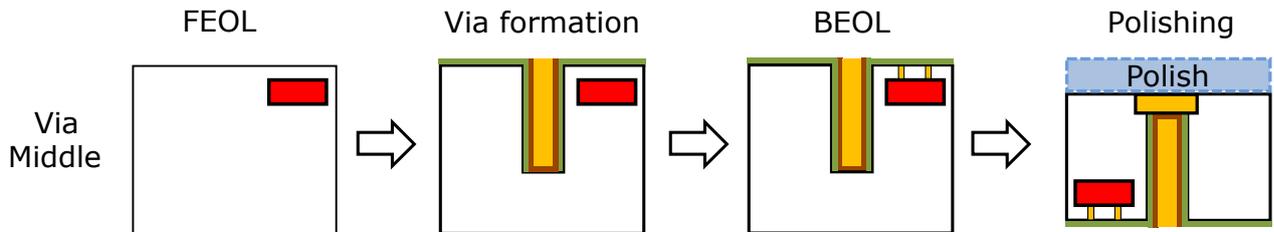


FIGURE 1.21 – L'architecture *via middle*.

- **Vias last** : la dernière approche *vias last* fait référence à des TSVs réalisés à la fin du processus de fabrication et donc après réalisation des composants actifs BEOL, du collage et des étapes d'amincissement. La Figure 1.22 présente l'architecture *vias last*.

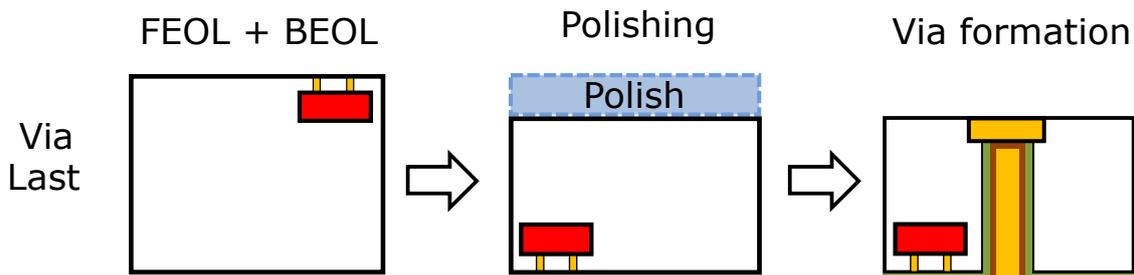


FIGURE 1.22 – L'architecture *via last*.

Une représentation schématique des différentes options d'intégration d'une architecture tridimensionnelle en utilisant une technologie 3D-TSV est représentée sur la Figure 1.23.

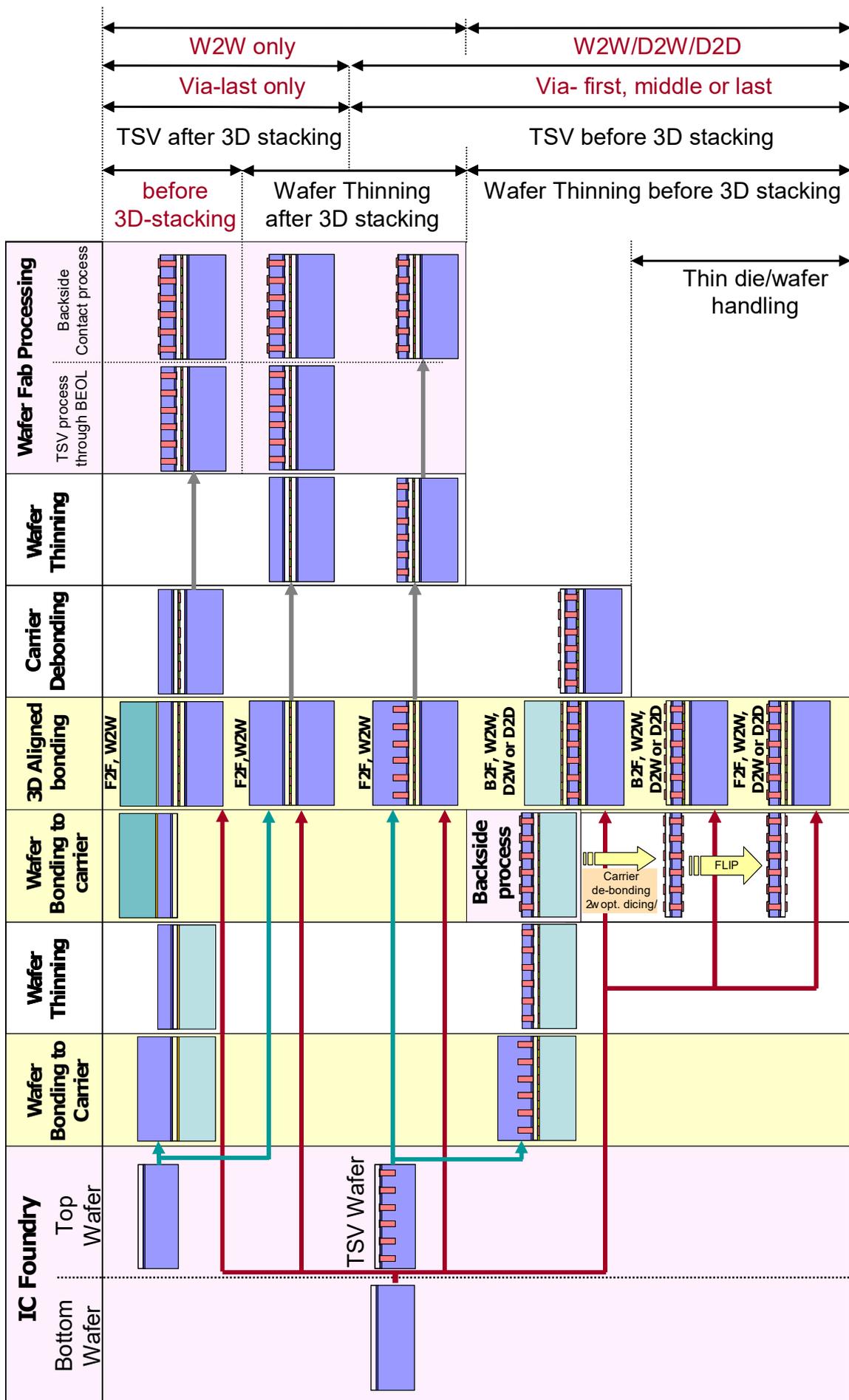


FIGURE 1.23 – Illustration des différentes options d'intégration d'une architecture tridimensionnelle en utilisant une technologie 3D-TSV [33].

## 1.4 Intégration 3D à la base des TSVs

Comme nous venons de voir dans ces derniers paragraphes, le cœur de l'intégration 3D est l'utilisation des vias traversant ou les TSVs (Through Silicon Vias). En effet, dans cette partie nous allons montrer la structure principale des TSVs, leur processus de fabrication ainsi que les défis et les applications de la technologie 3D à base des TSVs.

### 1.4.1 Structures et géométries des TSVs

Ce type de connexions dites TSVs sont de courtes interconnexions verticales qui traversent le substrat du silicium en reliant les différentes couches des circuits intégrés. Ceci permet de véhiculer toute sorte de signaux à travers les différents niveaux du circuit 3D. La structure globale d'un TSV est constituée tout simplement d'un matériau conducteur déposé en utilisant un processus de gravure au sens vertical du substrat du silicium, il est ensuite entouré par un isolant, comme il est représenté sur la Figure 1.24.

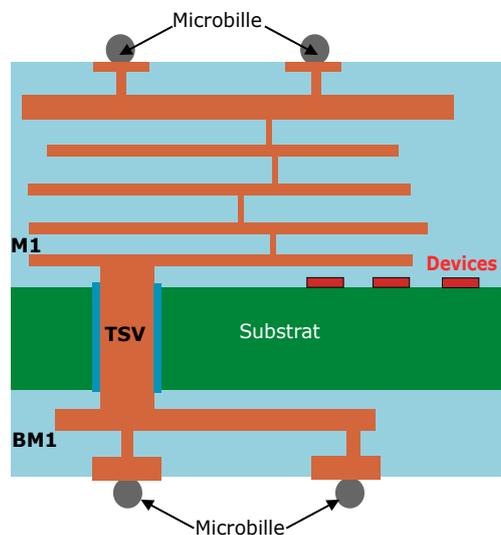


FIGURE 1.24 – Un circuit 3D contenant un TSV.

Aujourd'hui, selon les spécifications demandées et les besoins industriels, il existe une variété de structures de TSVs fabriqués et caractérisés, avec différentes tailles, hauteurs, facteur de forme (rapport entre largeur et le diamètre) et matériaux. La Figure 1.25 illustre diverses configurations de TSVs telles que des formes circulaires, rectangulaires, carrés, coniques, coaxiales, et annulaires. Chaque configuration de ces TSVs présente des propriétés électriques différentes et multiples avantages et intérêts.

### 1.4.2 Avantages et feuilles de route de la technologie 3D-TSV

L'évolution de la technologie 3D-TSV dans le secteur de l'industrie microélectronique a apporté plusieurs avantages. Cette dernière, qui est considérée comme le cœur des empilements 3D, a offert une plus grande efficacité spatiale et une densité d'interconnexion plus élevée que l'empilement *wire-bonding* et *flip-chip*. La combinaison surtout de la technologie *micro-bump* avec celle des vias traversant a permis un niveau d'intégration plus élevé et des performances électriques meilleures. En plus, l'utilisation de cette technologie a induit une consommation d'énergie plus faible, une bande passante plus large, une densité plus élevée, un facteur de forme plus petit, un poids plus léger et éventuellement un coût de production inférieur.

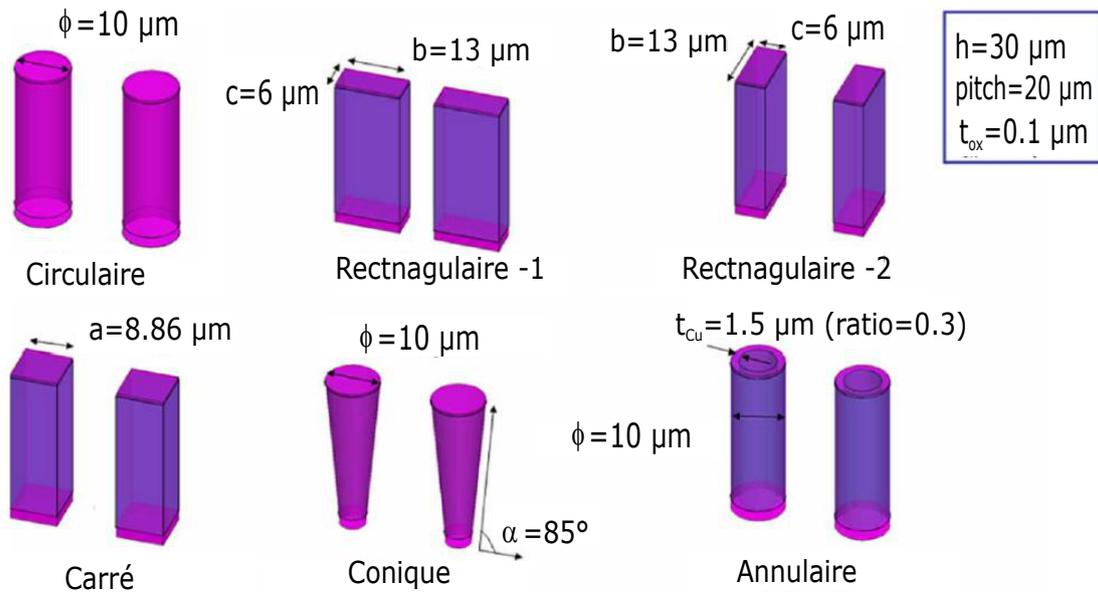


FIGURE 1.25 – Différentes configurations de TSVs [40].

Les feuilles de routes d'une technologie 3D-TSV des interconnexions au niveau globale et intermédiaire sont estimées par l'ITRS et représentées sur la Table 1.2 et 1.3.

TABLE 1.2 – Feuilles de route d'une technologie 3D-SiC avec des interconnexions au niveau global [33].

| Global Level             | 2013-2014        | 2015-2018       |
|--------------------------|------------------|-----------------|
| Minimum TSV diameter     | 5 – 10 $\mu m$   | 2 – 4 $\mu m$   |
| Minimum TSV pitch        | 10 – 20 $\mu m$  | 4 – 8 $\mu m$   |
| Minimum TSV depth        | 40 – 100 $\mu m$ | 30 – 50 $\mu m$ |
| Maximum TSV aspect ratio | 8 : 1 – 10 : 1   | 12 : 1 – 15 : 1 |

TABLE 1.3 – Feuilles de route d'une technologie 3D-SiC avec des interconnexions au niveau intermédiaire [33].

| Global Level             | 2015-2018      | 2019-2022       |
|--------------------------|----------------|-----------------|
| Minimum TSV diameter     | 1 – 2 $\mu m$  | 0.5 – 2 $\mu m$ |
| Minimum TSV pitch        | 2 – 4 $\mu m$  | 1 – 4 $\mu m$   |
| Minimum TSV depth        | 5 – 40 $\mu m$ | 5 – 20 $\mu m$  |
| Maximum TSV aspect ratio | 5 : 1 – 20 : 1 | 5 : 1 – 20 : 1  |

### 1.4.3 Processus de fabrication des TSVs

Le processus de fabrication des TSVs est constitué principalement de quatre étapes génériques. Afin d'avoir une description détaillée sur la chaîne de fabrication de ces derniers, on décrit ci-dessous ces différentes étapes en stipulant pour chacune d'elles les enjeux technologiques, ainsi que les procédés largement utilisés. Une illustration des principales étapes de fabrication du TSV est montrée sur la Figure 1.26.

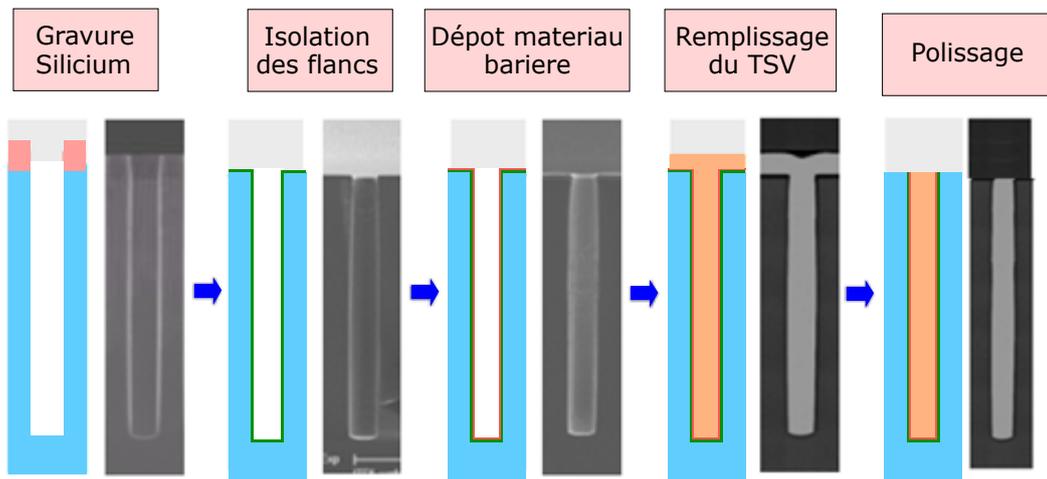


FIGURE 1.26 – Les étapes de fabrication du TSV : Gravure du Si, Isolation des flancs du TSV, Dépôt d’un matériau barrière, Remplissage du TSV par un matériau conducteur.

### Gravure du TSV dans le silicium

La gravure du silicium de manière verticale et profonde, qui permet de donner le squelette du TSV, se fait généralement par un procédé de gravure plasma ou gravure ionique réactive profonde, plus connu sous l’acronyme DRIE (*Deep Reactive Ion Etching*).

Ce procédé, qui a été développé par BOSCH et Surface Technology Systems (STS) au milieu des années 90, consiste en une série répétée de réactions de gravure anisotrope du silicium par  $SF_6$ , suivie d’une étape de passivation par  $C_4F_8$  afin de former un revêtement polymère protecteur sur les parois latérales du via qui sera retiré après. Les Figures 1.27 et 1.28 illustrent parfaitement le procédé de base de cette méthode de gravure avec quelques exemples. Cette méthode de gravure, qui est fortement utilisée en microélectronique, surtout pour les microsystèmes électromécaniques (MEMS), présente un procédé de gravure des tranchées profondes avec un rapport largeur/hauteur de 20/1 ou plus [39].

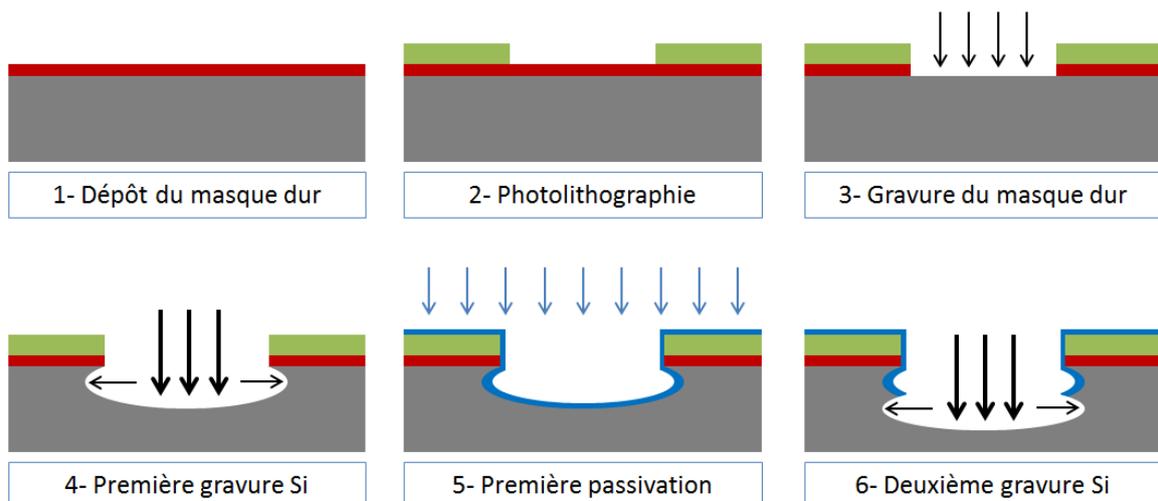


FIGURE 1.27 – Représentation schématique des étapes de gravure du masque dure et du silicium.

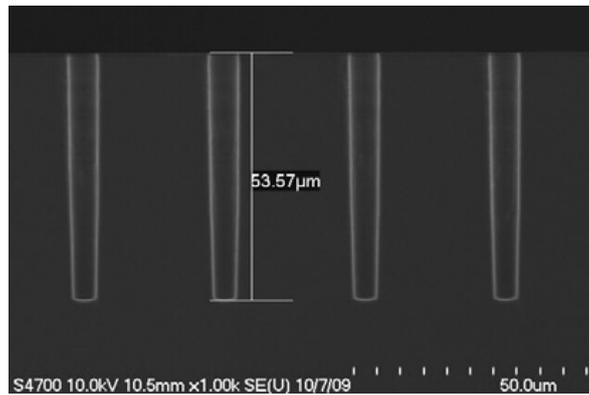


FIGURE 1.28 – Fabrication d’un via avec un procédé BOSCH DRIE avec un diamètre de  $5\mu m$  et une profondeur de  $50\mu m$ .

### Isolation des flancs du TSV

La deuxième étape de fabrication du TSV consiste en l’isolation électrique entre le matériau conducteur et le silicium. Cette étape est faite afin d’éviter tout risque de court-circuit et de minimiser le courant de fuite entre le TSV et le substrat. Le  $SiO_2$  est couramment utilisé comme couche d’isolation ou liner diélectrique pour le TSV. En effet, cette couche doit avoir une faible constante diélectrique, un faible courant de fuite, une forte tension de claquage, une faible contrainte mécanique et une forte adhésion aux matériaux environnants. Sa formation commence tout d’abord par un dépôt conforme d’une couche organique de type TEOS (tetraethyl-orthosilicate).

Ce dépôt est généralement réalisé par oxydation thermique ou dépôt chimique en phase gazeuse à pression sous-atmosphérique (SACVD) si la température l’autorise ( $400^\circ C$ ). Sinon un dépôt chimique en phase vapeur assisté par plasma (PECVD) présente un meilleur choix en raison de son budget thermique inférieur ( $250^\circ C$  à  $400^\circ C$ ). D’autres laboratoires ont développé également des dépôts à base de  $Si_3N_4$  déposé par CVD thermique et le dépôt de couche atomique (ALD)  $Al_2O_3$  [41, 42]. La Figure 1.29 montre la réalisation d’oxyde par dépôt de vapeur chimique en phase gazeuse à pression sous-atmosphérique (SACVD).

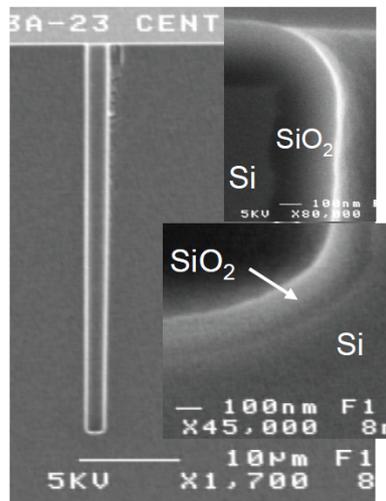


FIGURE 1.29 – Réalisation d’oxyde par dépôt de vapeur chimique en phase gazeuse à pression sous-atmosphérique (SACVD) [43].

## Dépôt d'un matériau barrière

Après avoir fait le dépôt du diélectrique pour l'isolation des flancs du TSV, un dépôt d'un matériau dit barrière est nécessaire afin d'éviter le phénomène de diffusion atomique par substitution. Ce phénomène présente la diffusion des atomes de métal dans un autre matériau en échangeant leur place respective dans la structure cristallographique [44]. Cependant, afin de bloquer la diffusion du Cuivre des TSVs dans le silicium, lui faisant ainsi perdre ses propriétés semi-conductrices, une couche de barrière est déposée par pulvérisation physique. Les matériaux couramment utilisés sont en général des nitrures, comme le Nitrure de Titane (TiN), le Nitrure de Tantale (TaN) ou le Nitrure de Tungstène (WN) [45, 46].

En parallèle, une autre méthode de dépôt est récemment utilisée à savoir le processus d'électro-greffe (eG), pour produire une couche dite d'accroche, communément appelée *seed-layer*. Sa fonction première est d'initier le dépôt électrolytique du cuivre pour le remplissage du TSV. Le dépôt de cette couche à l'aide d'eG répond à toutes les exigences essentielles ; telles que la résistivité, l'adhérence, les faibles niveaux de contaminants et surtout la conformité [47]. Cette dernière est définie comme étant le rapport entre l'épaisseur de la couche au fond du TSV et celle en haut du TSV. La Figure 1.30 montre un exemple de dépôt du matériau barrière dans des TSVs de dimensions de  $5 \mu m \times 50 \mu m$ .

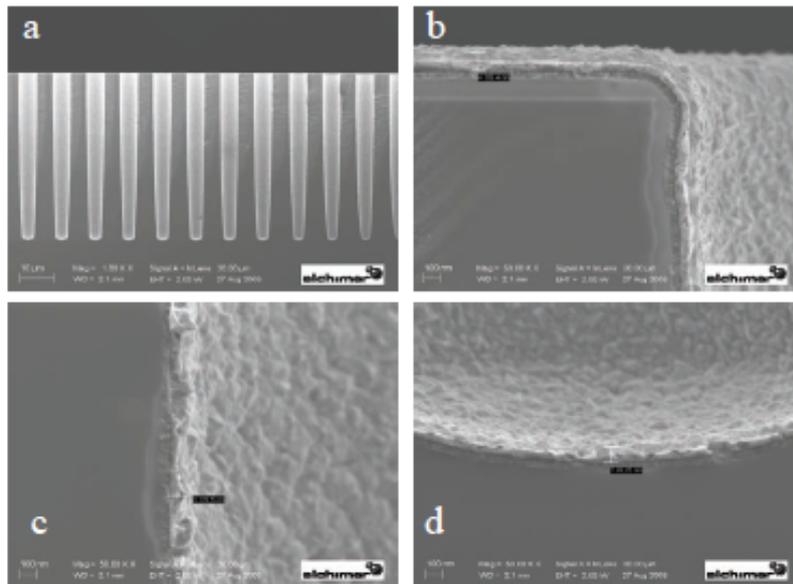


FIGURE 1.30 – Exemple de dépôt du matériau barrière dans des TSVs de dimensions de  $5 \mu m \times 50 \mu m$  [47].

## Remplissage du TSV par un matériau conducteur

La fonction de conduction électrique dans le TSV est assurée par un remplissage métallique de ce dernier. Différents matériaux conducteurs peuvent être utilisés tels que le Tungstène (W), le Poly-Silicium dopé (poly-Si), l'Aluminium (Al) et le Cuivre (Cu). Ce dernier, le Cu, est le matériau couramment utilisé comme noyau du TSV en raison de ses propriétés électriques, telles que la faible résistivité et l'électromigration (EM) réduite. Il est déposé par voie électrochimique sur la couche d'accroche qui permet d'établir le contact électrique.

Selon les dimensions du TSV, son remplissage en cuivre par dépôt électrochimique sera soit un remplissage complet de telle manière à remplir complètement le trou du via, ce qui demandera un temps de dépôt prohibitif, soit un remplissage partiel avec un dépôt métallique recouvrant uniquement les flancs et le fond du TSV. Cependant, des TSVs avec un facteur de forme important (TSV moyenne densité) prennent un temps de dépôt trop long et un procédé trop coûteux comparé avec des TSVs de petite taille (TSV haute densité). De plus, plus le facteur de forme du TSV est élevé, plus il est difficile de réaliser un dépôt de métal conforme. En revanche, plusieurs études se développent pour améliorer l'intégrité du remplissage final du TSV par la considération de différents paramètres, géométries et matériaux afin d'avoir un dépôt électrochimique sans défauts (pas de présence de trous, remplissage continu jusqu'au fond, etc.) [48]. La Figure 1.31 présente un schématique d'un TSV après le procédé d'un remplissage partiel de ce dernier.

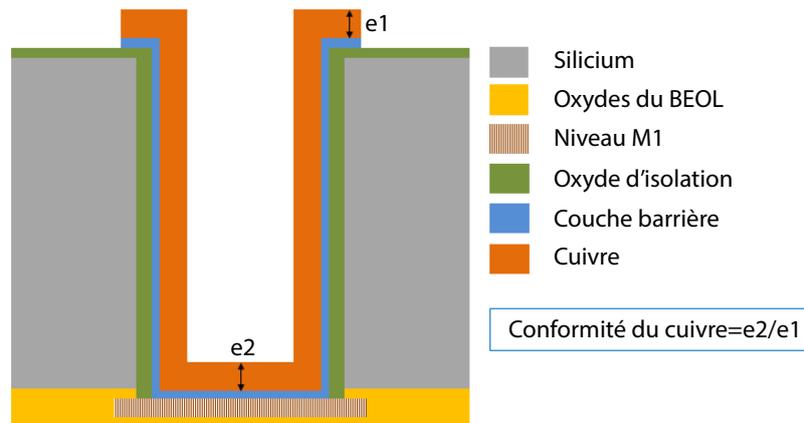


FIGURE 1.31 – Représentation schématique d'un TSV après le procédé de remplissage.

#### 1.4.4 Défis de la technologie 3D-TSV

Nous venons de voir dans ces derniers paragraphes les avantages et les atouts apportés par la technologie 3D-TSV dans l'industrie microélectronique. Cependant, cette nouvelle technologie novatrice doit surpasser de multiples défis et constitue en cela une véritable révolution technologique. En effet, un grand nombre de laboratoires de recherche et d'entreprises ont déjà investigué un certain nombre de problématiques propres aux intégrations à la base de cette technologie, parmi lesquelles on peut mentionner :

- La grande variété d'approches pour la technologie 3D en microélectronique pose le problème de compatibilité avec les composants classiques. En effet, ces différentes approches et technologie doivent co-habiter et fonctionner de manière optimale. Ceci engendre plus de défis de conception afin d'obtenir des systèmes 3D hétérogènes et homogènes.
- L'impact thermomécanique lié aux procédés 3D sur les composants et les circuits est un sujet de plus en plus étudié. Citons en particulier l'effet du procédé d'amincissement des substrats pour l'incorporation des connexions TSVs [49] ainsi que l'impact des procédés 3D et de leur intégration sur le fonctionnement électrique des transistors unitaires (N et P) [50]. Ces travaux ont montré un impact non négligeable de l'intégration 3D sur le fonctionnement électrique normal des composants et circuits.

- L’existence des phénomènes électromagnétiques indésirables dans le substrat entre les composants et les interconnexions. Cependant, dans le contexte de l’intégration 3D, le phénomène dit ‘couplage substrat’ présente toutes les perturbations générées par les interconnexions de type TSV qui résultent du couplage entre ce dernier et les circuits. Des travaux ont permis d’apporter des connaissances et éléments de compréhension utiles pour l’étude de ce phénomène induit par le TSV sur la sensibilité des circuits CMOS. Ceci nécessite également une définition d’une règle minimale de positionnement des TSVs par rapport aux zones actives (emplacement des transistors).
- Les exigences électriques pour les valeurs RLC des interconnexions 3D présentent un défi principal dans les TSVs. Le délai de propagation du signal et la consommation électrique des interconnexions 3D seront principalement déterminés par la capacité TSV. Cette capacité devrait être de l’ordre de la capacité du câblage d’interconnexion global dans des circuits 2D afin d’éviter la dégradation de performance du circuit.
- Des problèmes thermiques existent à cause des flux de chaleur générés par les puces multifonctions empilées dans des boîtiers miniatures et qui peuvent être extrêmement élevés. De plus, les circuits 3D augmentent la densité de puissance totale produite par unité de surface. Pour ce faire, ce défi de contrôle de la chaleur dans les circuits 3D, en particulier les couches intégrées, est essentiel pour l’architecture optimale des circuits afin de minimiser les effets de chaleur sur les performances 3D-IC.
- Une grande précision des équipements est nécessaire pour les alignements.
- Autant qu’une nouvelle technologie, l’intégration 3D constitue un changement de paradigme et c’est l’ensemble de la chaîne d’intégration de composants électroniques qui est à revoir, ce qui prend du temps, risque de coûter cher et rend frileux les entreprises à engager des investissements massifs. Notons cependant que c’est un enjeu important et la majorité des firmes internationales ont franchi ce pas.
- L’intégration 3D reste confrontée aux problèmes de manque des recommandations de design et des logiciels de conception. Cependant, plusieurs institutions ont ouvert leur technologie à des concepteurs externes qui peuvent soumettre leurs designs IC pour la fabrication en 3D. Lincoln Laboratory a publié des règles de conception 3D et a complété trois séries de fabrication 3D basées sur une technologie de trois niveaux avec des interconnexions de type TSV. *Tezzaron* a également acquis des fonds pour soutenir un programme en technologie 3D [51]. Ainsi, le soutien financier de l’industrie microélectronique sera nécessaire pour maintenir l’accès aux technologies 3D afin d’accélérer le développement de l’équipement 3D-IC.

### 1.4.5 Applications de la technologie 3D-TSV

Lors de ces dernières années, la technologie 3D à la base des TSVs est arrivée à un degré de maturité technologique suffisant pour qu’elle soit appliquée dans différentes applications. Le passage des architectures 2D aux architectures 3D a permis de fabriquer conjointement des circuits électroniques et des composants sensoriels, tels que capteurs et actionneurs, tout en ayant la possibilité de les co-intégrer. En effet, différentes familles de

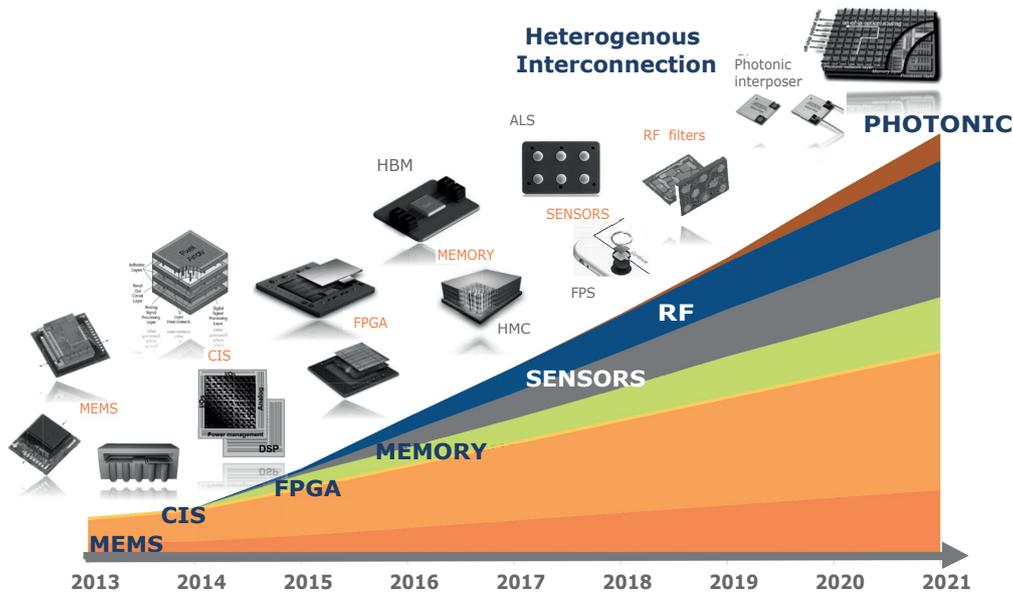


FIGURE 1.32 – Roadmap concernant les différentes applications de l’architecture 3D-TSV [52].

produits (Figure 1.32) tels que les détecteurs, les microprocesseurs, les mémoires (Flash et DRAM) et les systèmes électroniques hétérogènes, ont adopté cette nouvelle technologie 3D-TSV afin de bénéficier de ses nombreux avantages décrits auparavant.

## Les Mémoires

L’utilisation des interconnexions verticales dans les applications de mémoires se présente comme une solution parfaite pour l’intégration 3D. Le marché des applications mémoires en utilisant cette nouvelle technologie, a montré un taux impressionnant de croissance annuelle CAGR (*Compound Annual Growth Rate*) de 43% avec près de 200 000 unités de *wafers* en 2016 [52]. Ce taux de croissance est prévu de dépasser les 10% au cours des cinq prochaines années, grâce à la prochaine vague d’adoption, en particulier avec les dispositifs de mémoire 3D pour les graphiques, l’informatique, les réseaux et les applications des centres de données (Figure 1.33).

A titre d’exemple, des mémoires de haute bande passante ‘HBM’ ont été introduites par AMD dans sa carte graphique *Radeon™ R9 Fury X* [53]. System Plus Consulting a publié en 2016 une analyse approfondie de cette composante, intitulée ‘La première mémoire HBM au monde Powered Product SK Hynix 3D-TSV de AMD’, mettant en évidence la valeur ajoutée de la technologie 3D-TSV dans ce nouveau composant. Cette composante de AMD interconnecte ce type de mémoire tel que des mémoires DRAM avec des circuits logiques en utilisant des *via-middle* 3D-TSV. De plus, AMD et Nvidia ont également annoncé de nouveaux produits graphiques exploitant la prochaine génération de technologie nommée ‘HBM2’ toujours avec une architecture 3D-TSV [53, 54]. D’autres fabricants des équipements réseau tels que Cisco et Juniper Networks ont considéré également la fabrication des commutateurs et des routeurs intégrés avec une des mémoires HBM et d’autres mémoires dites *Hybrid Memory Cube* (HMC). Par ailleurs, les fournisseurs de mémoires tels que SK Hynix, Samsung et Micron ont déjà annoncé les spécifications pour la troisième génération HBM3 et HMC3.

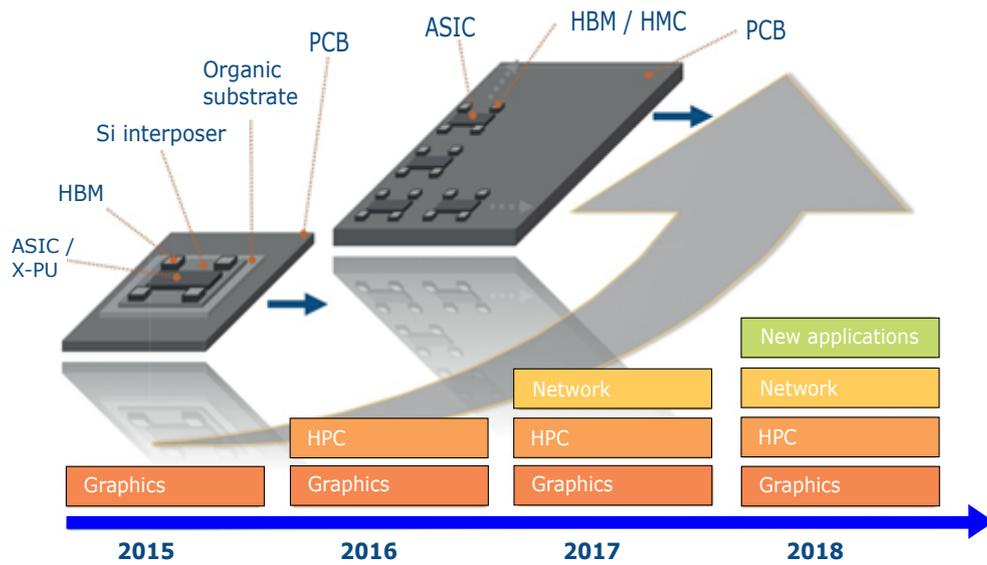


FIGURE 1.33 – Roadmap des différentes applications intégrant des mémoires 3D-TSV [52].

### Les microprocesseurs

De nos jours, un des problèmes fondamentaux de l'industrie semiconducteur est l'écart entre les performances des microprocesseurs et celles de leurs mémoires associées. Ce fossé est couramment connu sous le terme anglophone *Processor-Memory Bottleneck*. Ce terme, qui a été utilisé depuis des décennies, se réfère à la tendance bien connue des CPU à avancer plus rapidement en termes de performance que les vitesses d'accès à la mémoire. La Figure 1.34 montre bien cet écart de performance entre les microprocesseurs et les mémoires. La mise en œuvre de différents niveaux de mémoire cache ( $L_1$ ,  $L_2$ ,  $L_3$ ) est une des techniques utilisées dans le but de réduire l'impact de cette lacune. Une autre façon de résoudre ce problème est l'utilisation de l'intégration 3D. Ceci consiste à relier le processeur directement à sa mémoire dans une structure 3D. La réorganisation du système (microprocesseur / mémoires) sur plusieurs niveaux superposés réduirait considérablement les longueurs d'interconnexions qui relient les deux entités.

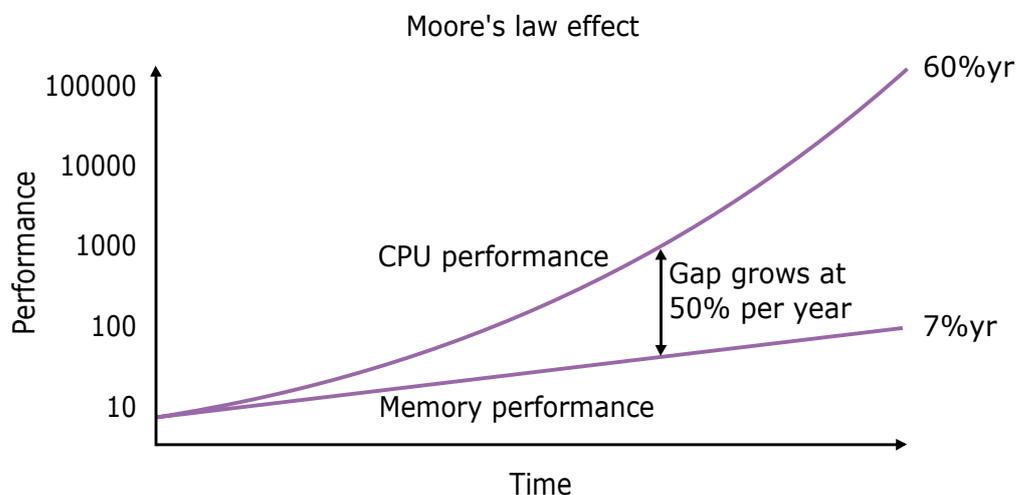


FIGURE 1.34 – L'écart de performance entre les microprocesseurs et les mémoires [55].

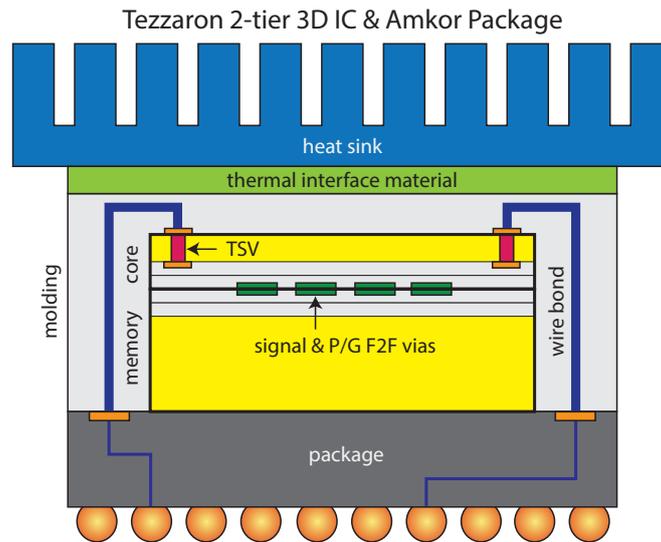


FIGURE 1.35 – Vue latérale des puces empilées F2F à l’aide d’une technologie 3D-TSV de *Tezzaron* [56].

Lors de ces dernières années, plusieurs travaux ont été réalisés dans ce sens-là. A titre d’exemple un processeur multi-cœurs 3D-MAPS (*3D MASSively Parallel processor with Stacked memory*) a été fabriqué [56]. Ce processeur à 64 cœurs a été conçu avec une technologie *Tezzaron* 3D à deux niveaux avec un nœud technologique de 130nm de *Global Foundaries*, comme le montre la Figure 1.35. La technologie *Tezzaron* a utilisé une *via-first* 3D-TSV avec un empilement de puces *face-to-face*. Les TSVs considérés sont des via en Tungstène avec un diamètre de  $1,2\mu m$ , un pas de  $5\mu m$  et une profondeur de  $6\mu m$ . Des nouveaux travaux de MIT montrent également l’avantage d’utilisation des puces 3D intégrant la RAM directement au processeur. Ce n’est pas non plus qu’un modèle théorique ; l’équipe de conception de Stanford et MIT a réussi de construire un million de cellules de mémoires RRAM en 2016 dans une seule conception dans le but de réaliser des structures 3D [57].

Ces derniers exemples sont un échantillon parmi plusieurs autres projets en utilisant cette nouvelle technologie. Afin de se renseigner plus, on peut se référer à de nombreux travaux récents telles que les références [51, 58].

## Les détecteurs

Les détecteurs ont été les premières applications qui ont adopté cette nouvelle technologie 3D à la base des interconnexions TSVs. Cette famille de produits inclus plusieurs types de détecteurs ; détecteurs d’image, détecteurs de radiation, détecteurs de mouvements, détecteurs de pression, etc. Ces détecteurs considèrent généralement la même structure de circuits électroniques co-intégrés avec des composants sensoriels, comme il est montré sur la Figure 1.36.

Au début, le marché a été principalement piloté par les imageurs CMOS (détecteur d’image) utilisés dans différents domaines tels que les applications portatives des cameras, automobile, médical, etc. La première génération de détecteurs d’images qui a utilisé cette technologie 3D-TSV a vu le jour au début des années 2008 en remplaçant les systèmes

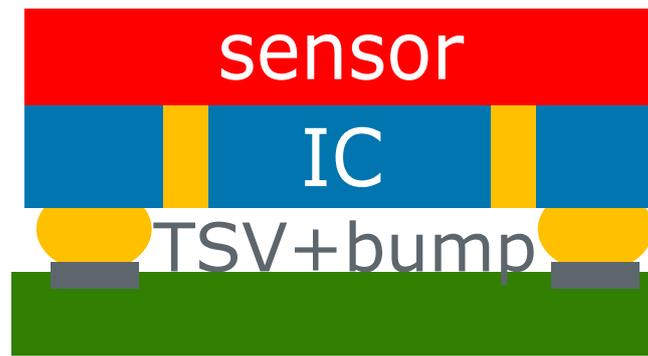


FIGURE 1.36 – Une vue représentative de la structure d'un détecteur réalisé dans une technologie 3D-TSV.

de *packaging* classiques (comme le *wire-bonding*) [59]. Toshiba a commercialisé le premier détecteur d'images avec une approche *via-last* et une seule couche. L'évolution de la technologie de ce type de détecteurs a permis ensuite de réaliser des détecteurs d'image dont la partie capteurs d'image CMOS et l'autre partie de circuits électroniques sont fabriquées séparément et reliées avec des connexions de type TSV.

Une deuxième génération de détecteurs d'image a été développée par Sony en 2014 par la fabrication de sa camera 13MP IMX214 en utilisant une technologie de 90/65nm [60]. Plus récemment en février 2017, Sony a annoncé également la fabrication d'un imageur 3D à trois couches comprenant la partie capteur en couche supérieure, une couche intermédiaire de cellules de mémoire DRAM et une couche inférieure pour la partie logique du dispositif [61] (Figure 1.37).

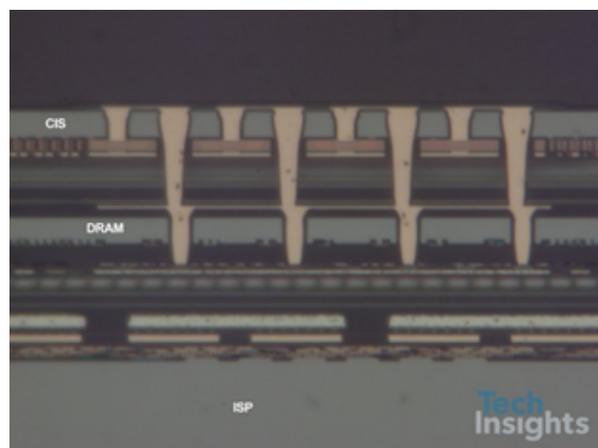


FIGURE 1.37 – Vue en coupe du détecteur d'image à 3 couches [61].

Ensuite, lors de ces dernières années, cette technologie a été généralisée et introduite pour les autres types de détecteurs. D'ailleurs, des détecteurs chimiques à base d'une architecture 3D-TSV ont été fabriqués. A titre d'exemple, un capteur de gaz a été réalisé par [62] en utilisant une technologie CMOS 0.35 $\mu m$ . Les différentes couches de ce détecteur sont connectées à l'aide des connexions TSVs d'un diamètre de 80 $\mu m$  et un facteur de forme de 2.5. La Figure 1.38-a montre la structure globale de ce détecteur. De plus, des détecteurs de pression piézorésistives ont été conçus également à l'aide d'une technologie 3D-TSV (Figure 1.38-b) [63, 64].

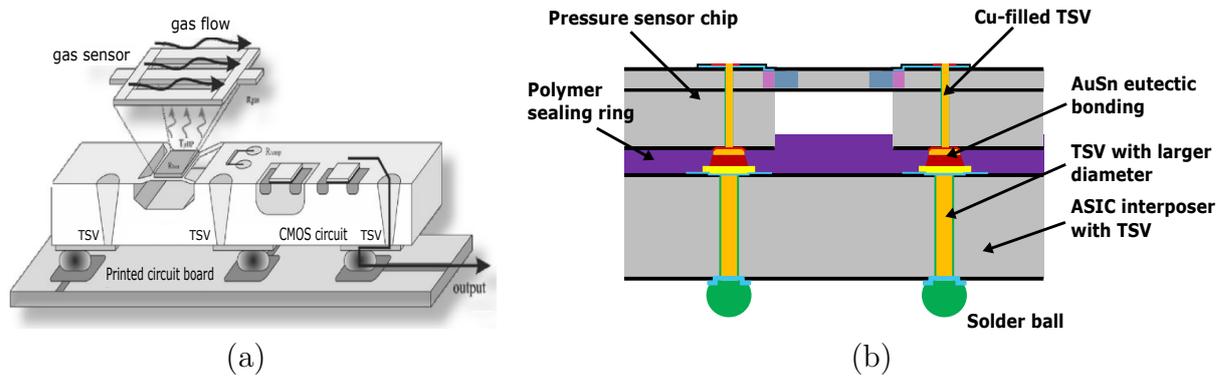


FIGURE 1.38 – (a) Vue schématique en coupe d'un détecteur chimique [62], et (b) un détecteur de pression piézorésistives avec une architecture 3D-TSV.

Un autre type de détecteur qui a adopté cette nouvelle technologie 3D-TSV est le détecteur de radiation, également connu comme un détecteur de rayonnement ou de particules. Ce détecteur, qui a joué récemment un rôle très important dans le développement de la physique expérimentale et appliquée, physique nucléaire et génie nucléaire, est un dispositif qui est utilisé pour la détection et / ou l'identification des particules ionisantes, telles que celles produites par la désintégration nucléaire, le rayonnement cosmique ou les réactions dans un accélérateur de particules. Ces détecteurs peuvent mesurer l'énergie des particules et d'autres paramètres tels que la quantité de mouvement, le spin, la charge, ou tout simplement de marquer la présence d'une particule. Pour ce faire, ces détecteurs se trouvent de nos jours dans différents secteurs et institutions de recherche tel qu'aux expériences du Centre Européen de Recherche Nucléaire (CERN) avec ses détecteurs ATLAS, CMS, etc [2], ainsi qu'aux expériences du centre de recherche européen (XFEL) pour la réalisation du Laser à Electrons libres et à rayons X [3].

Le développement de performances de ce genre de détecteur pour ces projets de recherche est considéré comme une nécessité et un atout principal. Afin d'atteindre cet objectif, de multiples types de structures ont été considérées lors de ces dernières années, surtout avec l'incorporation de l'architecture 3D dans la fabrication de ces détecteurs. Ceci a permis de réaliser les différentes parties du détecteur sur des niveaux distincts, puis les joindre ensemble où la partie capteur du détecteur est reliée avec sa partie électronique (ASIC) via des interconnexions TSVs et des microbilles (Figure 1.39). La structure générale de ce détecteur et ses différentes parties sera détaillée dans les prochains paragraphes. En effet, ceci représente l'intérêt principal de notre travail de thèse qui sera consacré à l'étude et la conception d'un détecteur de radiation qui est verticalement intégré.

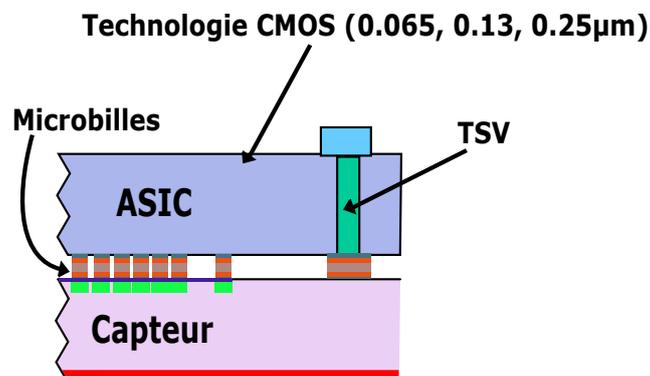


FIGURE 1.39 – Vue schématique en coupe de la structure d'un détecteur de radiation.

## 1.5 Détecteurs de radiations verticalement intégrés

Les détecteurs de radiations ou rayonnements sont des détecteurs à semiconducteurs qui ont été utilisés dans des applications de spectroscopie depuis les années 1960. Au cours des dernières années, ils ont été introduits dans une grande variété de domaines scientifiques et technologiques, notamment en physique nucléaire, physique des particules, astronomie et imagerie à rayon X. Leur utilisation intensive dans ces différents secteurs est due à leurs nombreux avantages et à leurs propriétés uniques qui ne sont pas disponibles dans d'autres types de détecteurs.

Les détecteurs à semiconducteurs réunissent un certain nombre d'avantages bien connus tels que leur linéarité, leur rapidité ou bien la possibilité d'identifier différents types de particules. De plus, leur avantage principal réside dans la valeur minimale de l'énergie pour produire une paire électron-trou par rapport aux chambres d'ionisation : 3,6eV contre environ 20eV. Le matériau le plus utilisé dans ces détecteurs est le silicium vu ses qualités incontournables. Cependant, l'inconvénient majeur du silicium consiste dans le fait qu'il soit sensible aux dommages occasionnés par des doses élevées de rayonnements. Il existe d'autres matériaux semiconducteurs qui pourraient offrir une meilleure tolérance au rayonnement que le silicium mais ils ne sont pas actuellement disponibles dans de grandes plaquettes (par exemple Diamond ) ou leur qualité n'est pas encore totalement acceptable (par exemple CdTe et SiC). Ceci apportera de nouveaux défis pour les détecteurs en silicium qui doivent être considérés pour maintenir les bonnes performances électriques.

Un intense effort de Recherche et Développement (R&D) est actuellement en cours pour concevoir de nouveaux détecteurs plus tolérants aux radiations et au cumul des événements générant un grand nombre de traces à reconstruire. Plusieurs approches ont été proposées et étudiées pour la conception des nouvelles configurations de ces détecteurs parmi lesquels on peut citer la technologie 3D. Grâce à l'utilisation des interconnexions tridimensionnelles, tel que les vias traversant (TSVs) et les microbilles, les détecteurs de radiation ou rayonnement ont connu récemment un développement assez rapide.

Puisque cette thèse se concentre sur l'étude et la conception de nouveaux détecteurs en silicium verticalement intégré à la base d'une architecture 3D-TSV, seul le type de connexion électrique TSV est discuté dans ce travail. Le principe de fonctionnement de base des détecteurs de rayonnement et de l'électronique avoisinant sera également mis en évidence en se concentrant sur les propriétés des capteurs nécessaires dans les systèmes de suivi. Les dommages dus au rayonnement dans le silicium seront également discutés.

### 1.5.1 Configuration globale des détecteurs

La configuration globale des détecteurs de rayonnement consiste principalement en deux différentes parties ; une partie capteur et une partie ASIC (circuit électronique). Le rayonnement incident traversant le détecteur est absorbé par la partie capteur et traité par la partie électronique de ce dernier. Il existe deux grands types de technologies et configurations pour les détecteurs de rayonnement à savoir les détecteurs Hybrides et les détecteurs Monolithiques. Ces deux types de technologies présentent des propriétés uniques, telles que leur détection monophotonique et leur plage dynamique élevée.

Dans un détecteur hybride, les processus d'absorption du rayonnement et le traitement du signal sont effectués par deux parties distinctes (parties capteur et ASIC), qui

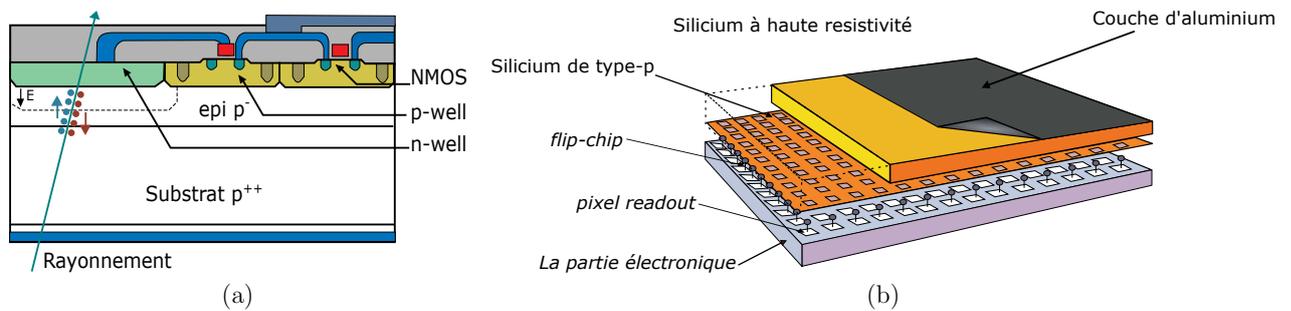


FIGURE 1.40 – Vue schématique de deux types de configuration des détecteurs de rayonnement : (a) détecteurs hybrides, (b) détecteurs monolithiques.

sont reliées entre eux par des interconnexions à haute densité, telles que des interconnexions TSVs et des microbilles. L'avantage de cette technologie est que l'absorption et le traitement du signal peuvent être optimisés indépendamment. Contrairement aux détecteurs hybrides, l'autre type de détecteur, dit monolithique, comprend une partie capteur pour l'absorption du rayonnement et la partie ASIC pour le traitement du signal qui sont réalisées dans le même substrat. Ceci engendre moins de flexibilité par rapport aux détecteurs hybrides. La Figure 1.40 présente une vue schématique de deux types de technologies hybride et monolithique. Cependant, nous allons dans ce travail de thèse concentrer notre étude sur le premier type de détecteurs hybrides réalisés à la base des interconnexions tridimensionnelle.

Quel que soit la configuration ou la technologie des détecteurs considérés, le principe de base du fonctionnement du détecteur reste le même. Le détecteur comprend différents modules et fonctions. Le rayonnement est absorbé par la partie capteur et converti en un signal électrique. Ce signal de bas niveau attaque un préamplificateur suivi d'un conformateur d'impulsions. Il est ensuite numérisé par un Convertisseur Analog-Digital (ADC) et enfin stocké pour une analyse ultérieure. La Figure 1.41 illustre le processus et les fonctions de base d'un détecteur de rayonnement. Nous allons voir dans les prochains paragraphes l'utilité de chaque module du détecteur comprenant la partie capteur ainsi que sa partie ASIC [65].

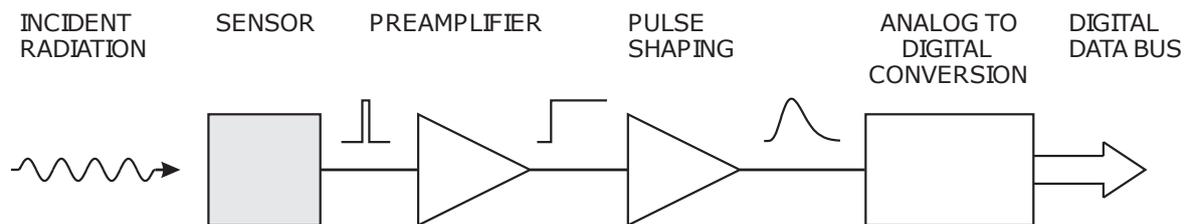


FIGURE 1.41 – Vue schématique en coupe de la structure d'un détecteur de radiation [65].

## 1.5.2 Principe du fonctionnement

Le principe sur lequel s'appuie la détection des rayonnements, qu'il soit électromagnétique ou corpusculaire, repose toujours sur les mêmes éléments :

- Une partie capteur pour la détection du rayonnement.
- Une partie électronique pour le traitement du signal.

Le rayonnement incident traversera le capteur en silicium qui est tout simplement une photodiode ou une jonction p-n polarisée en inverse. La zone de déplétion créée par la tension appliquée peut être étendue sur une large surface du capteur grâce à son substrat de haute résistivité, ce qui permettra de créer une zone libre des porteurs de charge. Lorsque le rayonnement traverse le capteur, des paires d'électron-trou sont générées dans cette région. Les paires d'électron-trou dérivent ensuite sous l'influence du champ électrique vers une des électrodes du capteur produisant ainsi un signal électrique qui est mesuré et traité par la partie électronique du détecteur. Les propriétés et les types de capteur utilisé seront discutés dans les prochains paragraphes. Le principe de fonctionnement de ce dernier peut être illustré schématiquement à partir de la Figure 1.42.

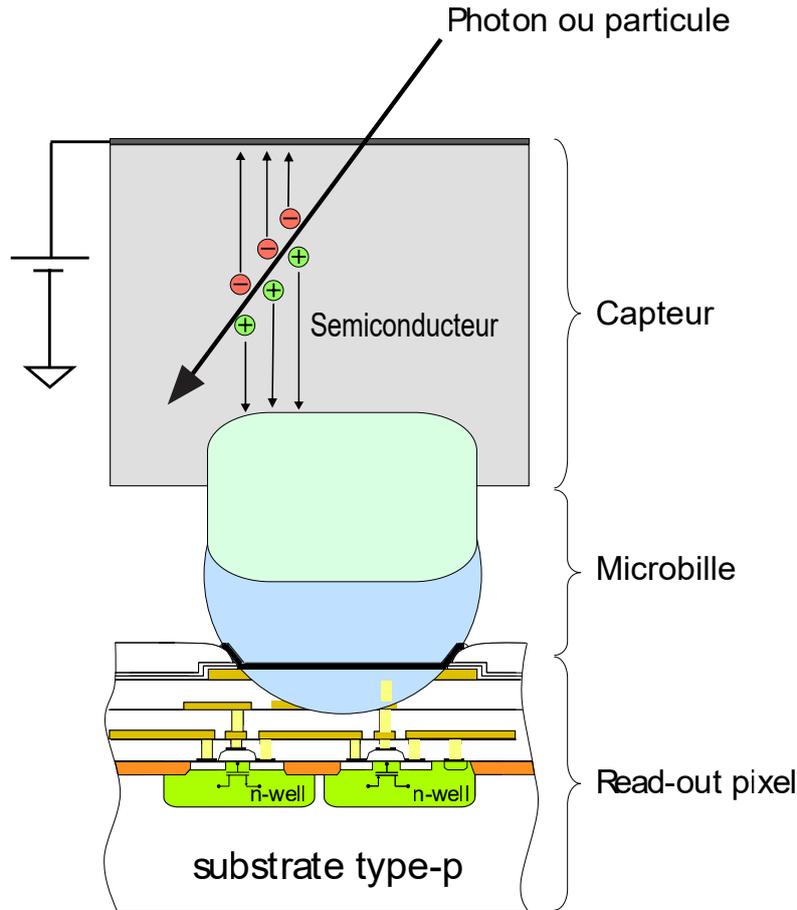


FIGURE 1.42 – Vue schématique en coupe du principe de fonctionnement d'un détecteur de rayonnement.

### 1.5.3 Partie capteur

Comme nous venons de voir dans les derniers paragraphes, la première partie responsable de la détection de rayonnement est la partie capteur du détecteur. Cette structure correspond à une diode à jonction et elle permet la collection des charges créées par les interactions rayonnement-matière.

#### Description

Une diode à jonction est composée d'une zone N dopée avec des atomes donneurs de concentration  $N_D$  et une zone P avec des atomes accepteurs de concentration  $N_A$ . La

proximité de ces deux régions induit des forts gradients de concentrations en électrons et en trous  $\nabla n$  et  $\nabla p$  provoquant alors un courant de diffusion  $J_d = J_{dn} + J_{dp}$  ainsi que la création d'une zone de charge d'espace (ou zone de déplétion) dépourvue de porteurs libres et siège d'un champ électrique. A l'intérieur de cette zone, la neutralité électrique est localement rompue. Le champ électrique  $\vec{E}$  généré par cette répartition des charges dans l'espace, induit un courant de conduction. La jonction PN se stabilise alors à un équilibre propre avec un champ  $\vec{E}$  qui compense exactement les gradients de concentration en électrons et en trous. Cet équilibre peut être exprimé suivant les équations [67] :

$$\vec{J}_n = 0 = -en\mu_n\vec{E} + eD_n\nabla n \quad (1.2)$$

$$\vec{J}_p = 0 = -ep\mu_p\vec{E} + eD_p\nabla p \quad (1.3)$$

Où  $\mu_{n,p}$  correspond aux mobilités des porteurs de charge qui sont reliés directement à la résistivité  $\rho$  de la zone considérée et qui est définie par :

$$\rho = \frac{1}{\mu_{n,p}eN_{A,D}} \quad (1.4)$$

Le silicium utilisé dans la fabrication des détecteurs a une haute résistivité  $\rho$  qui correspond à un faible dopage du substrat.

### Calcul des caractéristiques de la zone de déplétion

L'application d'une tension  $V_b$ , en inverse, donc dans la même direction que la barrière de potentiel  $V_{bi}$ , qui est la différence de potentiel entre les zones de type N et celle de type P, permet l'évacuation de porteurs libres supplémentaires et l'élargissement de la zone de déplétion. La jonction est alors dite polarisée en inverse. La largeur  $W_d$  de cette zone est alors donnée par :

$$W_d = \sqrt{\frac{2\epsilon_0\epsilon_{si}}{e} \frac{N_A + N_D}{N_A N_D} (V_b + V_{bi})} \quad (1.5)$$

La tension de polarisation inverse minimale permettant de dépléter entièrement un substrat d'épaisseur 'd' est appelé  $V_{depl}$  exprimée pour  $W_d = d$  par :

$$V_{depl} = \frac{eN_D d^2}{2\epsilon_0\epsilon_{si}} - V_{bi} \quad (1.6)$$

### Collection de charges

Le nombre de charges créées ou générées dans un capteur en silicium est proportionnel à l'énergie du rayonnement absorbée.

Pour un rayonnement de particule de faible énergie, la perte d'énergie minimale est d'environ  $390eV/\mu m$ , ce qui permet de générer presque 108 paires d'électron-trou par micromètre [66]. Le rayonnement dans ce cas est dit MIP (*Minimum Ionising Particle*) s'il correspond à cette énergie minimale. La collection de charges dépend également de l'épaisseur 'd' du substrat qui doit être déterminée en fonction de la durée de vie des porteurs de charge et de leur vitesse de déplacement. Cependant, la détection de rayonnement consiste à dépléter entièrement le substrat afin de faciliter la collection des charges. Ainsi, le courant induit par les charges collectées donne une image fidèle de l'énergie de rayonnement incident.

Les paires électron-trou créés par le rayonnement se déplacent sous l'influence d'un champ électrique. Le temps de parcours de ces charges dans le capteur est appelé temps de collection, il dépend du champ électrique  $E(x)$  crée dans la jonction et définit par [67] :

$$E(X) = \frac{2(V_b + V_{bi})}{W_d} \left(1 - \frac{x}{W_d}\right) \quad (1.7)$$

avec  $x$  la profondeur dans le volume du capteur. Pour s'assurer que le substrat est entièrement déplété, la tension de polarisation doit être supérieure à la tension de déplétion  $V_b > V_{depl}$  (voir équation 1.6), et on dit que le capteur est sur-déplété. La tension au-delà de  $V_{depl}$  ajoute alors une composante uniforme au champ électrique  $E_{ovd}$ , et l'expression du champ électrique dans ce cas est exprimé par :

$$E(X) = \frac{2V_{di}}{d} \left(1 - \frac{x}{d}\right) + \frac{V_b - V_{di}}{d} \quad (1.8)$$

avec  $V_{di} = V_{depl} + V_{bi}$ , étant définie comme la tension interne de déplétion.

La sur-déplétion sert à réduire le temps de parcours des charges  $t(x)$  d'une position en  $x_0$  jusqu'à une position quelconque en  $x$ . Ce temps de parcours est exprimé à partir de l'expression :

$$t(x) = \frac{d}{\mu E_0} \ln \left[ \frac{E_0 + E_{ovd} - E_0 \frac{x}{d}}{E_0 + E_{ovd} - E_0 \frac{x_0}{d}} \right] \quad (1.9)$$

Dans le cas d'une collection de charge par une électrode, le temps de collection de charge  $t_c$  peut être décrit par l'expression [67] :

$$t_c = \frac{d^2}{2\mu V_{di}} \ln \left( \frac{V_b + V_{di}}{V_b - V_{di}} \right) \quad (1.10)$$

## Segmentation des capteurs

Multiples concepts sont apparus, lors de ces dernières années, dans la structure principale d'un capteur dans le but d'obtenir une information spatiale sur le rayonnement détecté.

Certains capteurs utilisent le principe de division de la diode à jonction en plusieurs régions parallèles et à lire chacune de ces régions séparément. Dans un premier temps, ces capteurs ont été divisés en des bandes ou des **micro-pistes** qui sont tout simplement des diodes fabriquées par implantation ionique, sur lesquelles un dépôt métallique est réalisé pour extraire les signaux. La partie électronique du détecteur est ensuite connectée à l'extrémité de ces pistes par *wire-bonding*.

La Figure 1.43-a représente le schéma général d'un détecteur à micro-pistes. La position d'une interaction rayonnement-matière dans le capteur à micro-pistes est déterminée lorsqu'un signal est détecté sur une de ces pistes. Cependant, le principal inconvénient de cette technologie vient du risque d'ambiguïté lorsque plusieurs interactions quasi-simultanées interviennent. En effet, pour fournir une détermination non ambiguë de la position des rayonnements dans un tel scénario et pour effectuer des mesures à des densités de piste plus élevées, des **détecteurs de pixels hybrides** sont habituellement utilisés. Ce genre

de détecteurs consiste en la segmentation de la jonction PN dans les deux directions afin de créer des petites électrodes dites pixels. Chaque pixel possède une connexion spécifique vers la partie électronique du détecteur via des microbilles et des TSVs. Par ailleurs, une des difficultés dans la réalisation d'un détecteur à pixels provient de la grande densité de connexions entre le capteur et l'électronique de lecture qui sont segmentés avec la même géométrie. La Figure 1.43-b représente une vue schématique d'un détecteur à pixels hybrides.

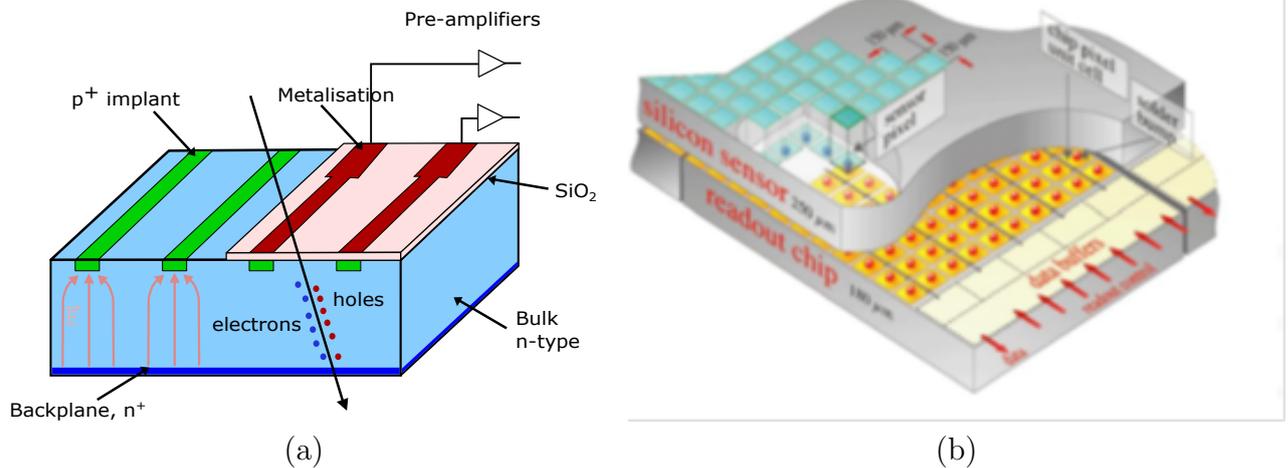


FIGURE 1.43 – (a) Vue schématique en coupe d'un détecteur à micro-pistes [68], et (b) Vue schématique en coupe d'un détecteur à pixels hybrides [69].

### Effets de bord

La région de bord dans les capteurs à semiconducteur présente des problèmes critiques influant sur leurs caractéristiques électriques. Ceci est dû principalement à plusieurs facteurs tels que :

- Le découpage en dés des plaquettes de silicium qui entraîne des dommages sur les régions de bords. Ces dommages se manifestent par des microfissures qui se propagent dans le réseau cristallin en réduisant son intégrité et en augmentant la concentration des états intermédiaires dans la bande interdite (défauts). En conséquence, il peut y avoir un courant de fuite considérable sur la surface et les coins de la région de bord du capteur.
- Les forts champs électriques à proximité des électrodes ou pixels des capteur ont tendance à dégrader la mobilité des porteurs de charge à la surface du capteur et ses performances électriques.

Afin d'éviter ces phénomènes négatifs dans la région de bord, plusieurs solutions peuvent être considérées. A titre d'exemple, l'incorporation des implantations au bord du capteur, dites anneaux de garde (Figure 1.44), permet la réduction graduelle du champ électrique vers le bord et empêche les porteurs de charge générés dans cette région d'atteindre la zone de déplétion. Par ailleurs, le nombre des anneaux de garde occupent une surface considérable dans le capteur, qui est considérée comme une zone inactive. Pour réduire cette zone-là, les capteurs à Bord Actif (*Active Edge*) [71] et à Bord Mince (*Slim Edge*) [72] sont étudiés de nos jours.

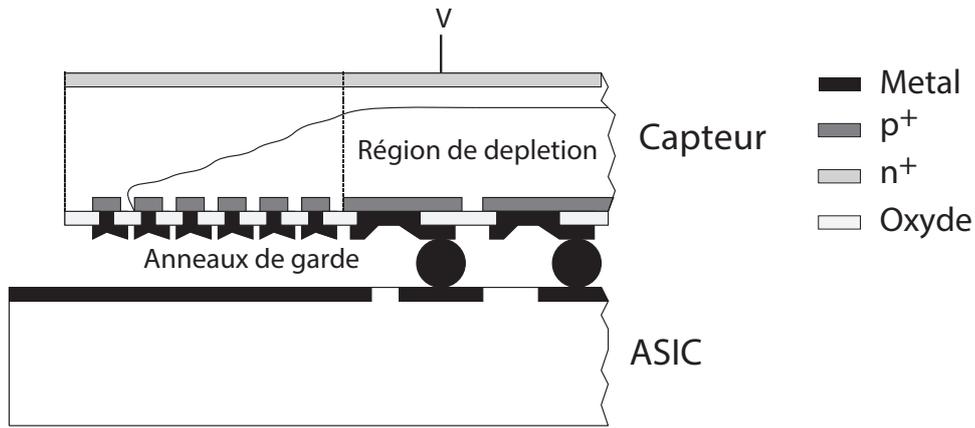


FIGURE 1.44 – Vue schématique en coupe d’un capteur avec des anneaux de garde au bord de la structure [70] : décroissance graduelle du champ électrique.

– **Capteurs à bord mince (*Slim Edge*) :**

Les capteurs à bords mince comprennent des électrodes étroites et profondes placées au bord du capteur plus près de la matrice de pixels [73]. Ces structures servent à diminuer les courants de surface qui coulent le long des bords et de bloquer l’étendue de la zone de déplétion jusqu’au bord comme il est illustré sur la Figure 1.45-a.

– **Capteurs à bord actif (*Active Edge*) :**

Les capteurs à bord actif sont similaires aux capteurs à bord mince, sauf que le champ électrique est activement terminé sur le bord. Des atomes d’impureté du même type de dopage et de même concentration que l’électrode de la face arrière du capteur sont implantés dans les parois latérales des bords (Figure 1.45-b). Cette configuration permet à l’ensemble des pixels d’être aussi proche que des dizaines de micromètres du bord. Ces deux structures de capteur seront discutées plus en détail dans le chapitre 3.

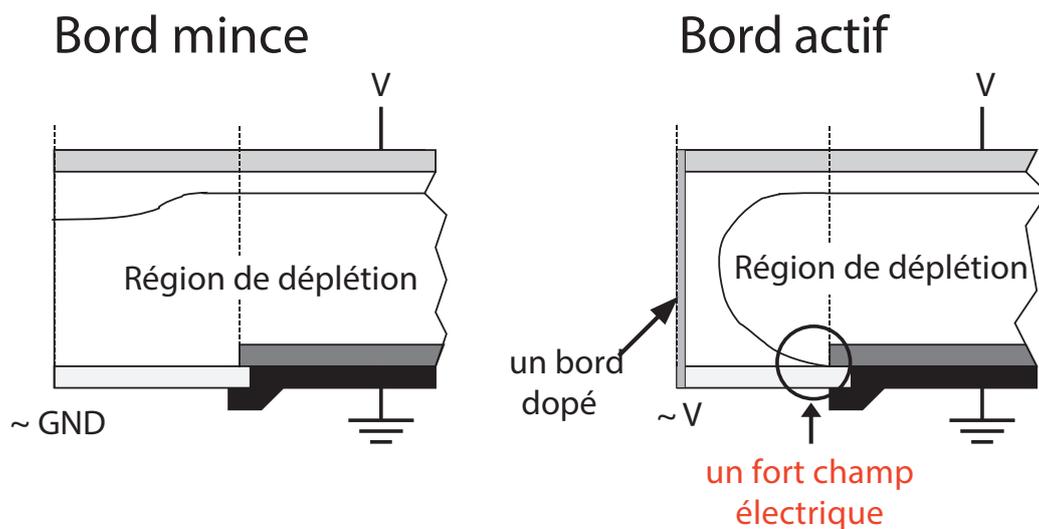


FIGURE 1.45 – (a) Vue schématique en coupe d’un capteur à bord mince (*Slim Edge*), et (b) Vue schématique en coupe d’un capteur à bord actif (*Active Edge*) [70].

## Effet des radiations

Les interactions rayonnement-matière induisent généralement des dommages dans les détecteurs à semiconducteurs. Les effets résultants de ces interactions sont classés en deux catégories ; effets de substrat et effets de surface.

– **Les effets de substrat :**

Les dommages dans le substrat résultent des défauts dans le réseau cristallin. Ces défauts, causés par les pertes d'énergies non-ionisantes, produisent des effets permanents comme le déplacement de noyaux dans le réseau cristallin, laissant une structure localement désordonnée. Lorsqu'un seul noyau est déplacé par une collision d'un rayonnement de haute énergie, le défaut est dit ponctuel. Si au contraire le noyau déplacé entre en collision avec au moins un autre noyau et qu'au final plusieurs noyaux sont déplacés, on parle d'un *cluster* de défauts. Cependant, l'énergie de radiation minimale pour la création d'un défaut ponctuel et d'un *cluster* de défauts dépend des propriétés du rayonnement incident.

– **Les effets de surface :**

Les dommages de surfaces regroupent l'ensemble des défauts créés dans la couche de passivation (par exemple les couches des oxydes et leurs interfaces). Les porteurs de charge créés à partir des rayonnements incidents dans les couches d'oxydes sont moins mobiles, par rapport aux porteurs de charge dans un semiconducteur, et se retrouvent souvent piégés. Les paires électron-trou créés par l'interaction d'un rayonnement dans une couche de  $\text{SiO}_2$  sont sur deux niveaux d'énergie distincts. Ces effets d'interfaces sont représentés par une accumulation de porteurs de charge positive dans le dioxyde de silicium proche de l'interface avec le silicium (Figure 1.46). Cette accumulation crée alors une couche d'inversion dans le silicium (représentée par une concentration de porteurs de charge négative sur la figure), influence sur le fonctionnement normal du détecteur.

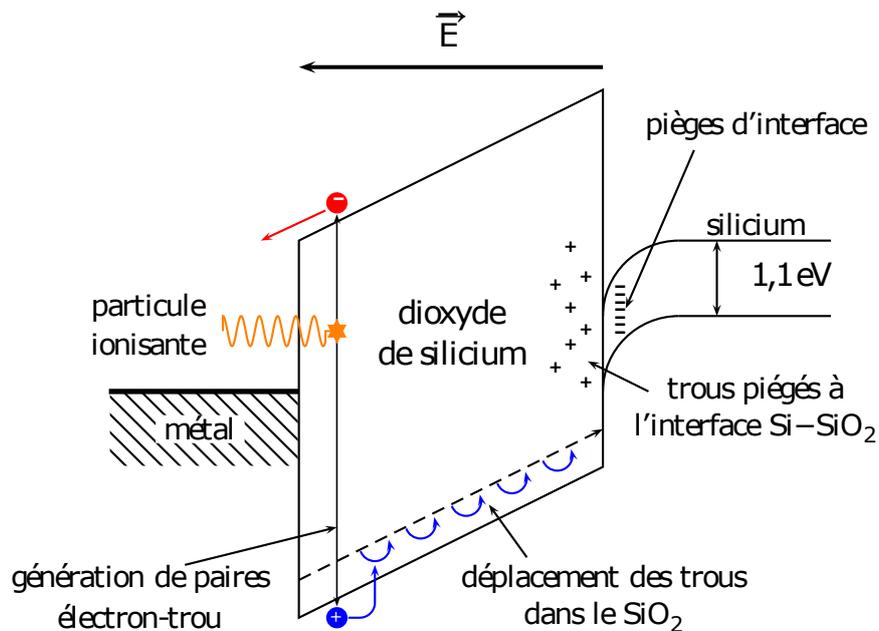


FIGURE 1.46 – Représentation schématique des effets de surface dans un dioxyde de silicium  $\text{SiO}_2$  subissant une interaction ionisante [75].

### 1.5.4 Partie électronique (ASIC)

L'électronique avoisinant la partie capteur du détecteur, dite ASIC, se compose de différents modules dont chacun a un rôle dans le système de détection des rayonnements. La charge déposée dans le capteur par un rayonnement est collectée sur les électrodes et transmise à la partie électronique du détecteur à travers des microbilles. Le signal de charge peut être assez faible, de l'ordre de  $4.10^{-15}C$  à  $5.10^{-17}C$ , et doit donc être amplifié par une chaîne pré-amplificatrice [76].

La charge déposée, qui est l'image de l'énergie du rayonnement incident, est intégrée par le pré-amplificateur de charge ou CSA (*Charge Sensitive Amplifier*) au travers de sa capacité de contre-réaction  $C_f$ . Cette capacité est remise à zéro par une résistance de décharge  $R_f$ , créant ainsi une impulsion en tension d'amplitude  $Q/C_f$ . Ce type d'amplificateur(CSA) a l'avantage de son faible bruit et l'indépendance de son gain par rapport aux variations de la capacité du capteur, qui est difficile à déterminer.

Ensuite, le signal est amplifié et filtré à travers un amplificateur de transconductance ou OTA (*Operationnal Transconductance Amplifier*) afin de réduire la bande passante pour diminuer le bruit électronique ramené à l'entrée ou ENC (*Equivalent Noise Charge*). Le signal est converti en courant pour être traité par une chaîne de décision qui sélectionne les signaux à prendre en compte en fonction de leur énergie. Cet étage est constitué d'un ou plusieurs comparateur(s) associé(s) à un ou plusieurs système(s) de DAC (*Digital-Analog-Conversion*) pour le seuillage et la compensation du niveau continu ou offset [67].

### 1.5.5 Interconnexions relatives au détecteur en technologie 3D

Comme nous l'avons vu précédemment ; les détecteurs à pixel hybride se compose de deux parties principales ; une partie capteur et un circuit électronique de lecture. Les puces de lecture pour ces détecteurs ont généralement une surface de quelques  $cm^2$  et sont conçues pour être colées sur 3 côtés. Le 4<sup>eme</sup> côté correspond à la partie de liaison par câblage extérieur qui représente généralement la zone morte d'un détecteur.

Cependant, de nombreuses applications nécessitent des détecteurs de grande surface avec des zones mortes minimales. Il existe des propositions pour utiliser des capteurs de pixel avec un pas plus grand que le pas de pixel du circuit de lecture [77].

Une autre approche consiste à l'adoption d'une nouvelle classe de technologies d'interconnexions, à savoir l'intégration tridimensionnelle. Parmi les différentes approches de la technologie 3D, discutées auparavant, l'utilisation des interconnexions de type TSVs et des microbilles a permis surtout de minimiser la zone morte dans ces détecteurs de rayonnement (Figure 1.47). Cela se fait par la liaison entre l'électronique de lecture, le capteur et le PCB (*Printed circuit Board*), en remplaçant le câblage extérieur standard par des connexions 3D.

A titre d'exemple, on peut citer le détecteur à rayon-X conçu au CERN avec un circuit de lecture Medipix3 [78]. Cette puce de lecture Medipix3RX est conçue pour être compatible avec la technologie TSV. Ces via sont fabriqués avec une longueur de  $200\mu m$  et un pas de  $120\mu m$ . Un autre exemple de circuit de lecture à la base d'une technologie 3D-TSV, dit UFXC32k (Puce X-ray ultra-rapide avec 32k canaux), est conçu par un projet commun entre l'Université des Sciences et Technologies AGH, Cracovie et IZM, Berlin [77].

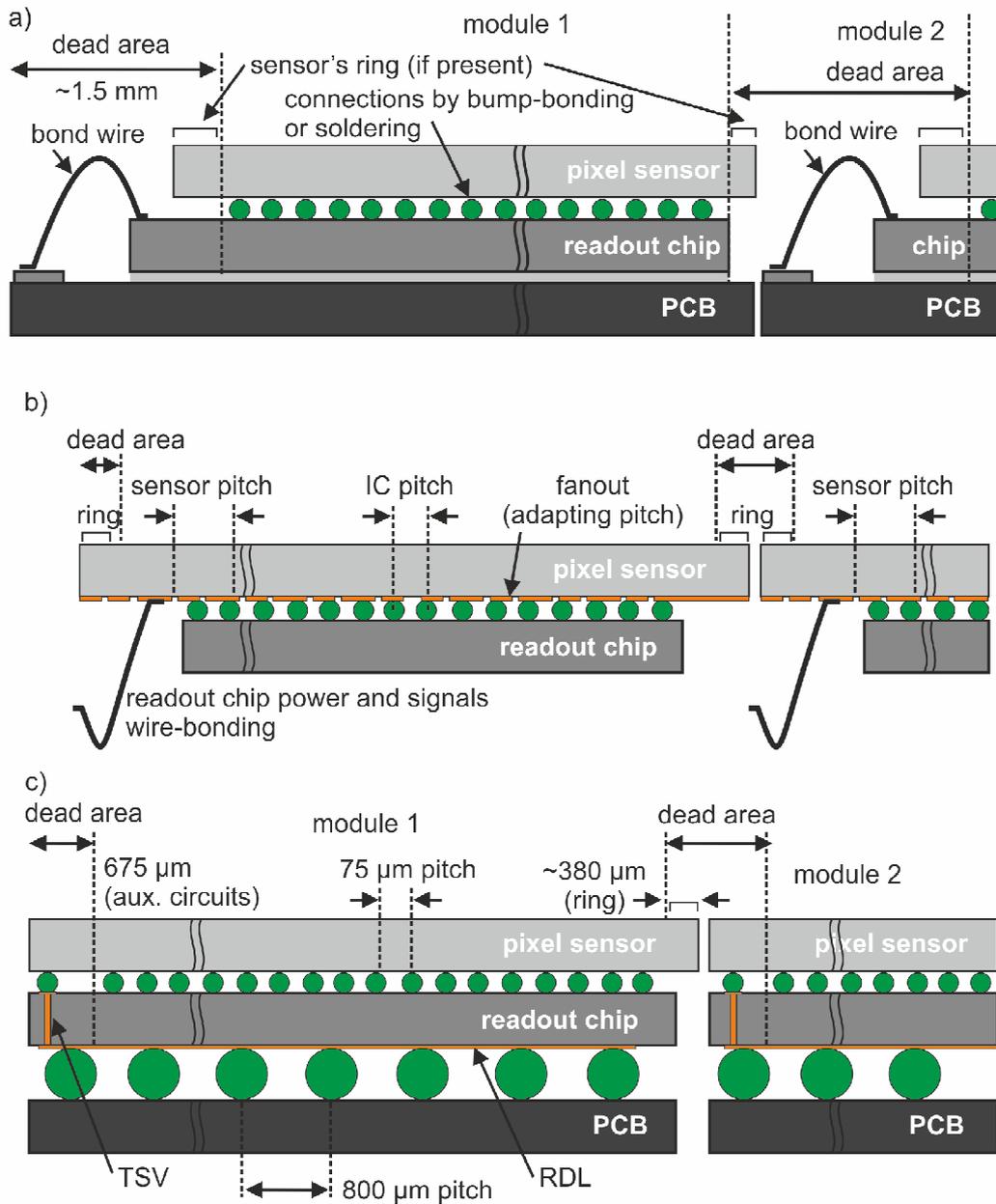


FIGURE 1.47 – (a) Liaisons par câblage extérieur dans une approche classique occupent une grande zone morte. (b) Capteurs avec un pas de pixel plus grand que celui du circuit de lecture peuvent être utilisés pour réduire la zone morte. (c) Utilisation d’une technologie 3D-TSV permet de réduire la zone morte dans le module de détecteur multi-puce [77].

## 1.6 Détecteur de rayon-X

À la fin des années 1990, des développements ont été lancés sur des détecteurs dédiés à l’imagerie par rayons X pour le rayonnement synchrotron basé sur la conversion directe des rayons X dans les semiconducteurs. Ceux-ci ont abouti à des méthodologies expérimentales avec une plus grande précision et une plus grande efficacité, et ont également ouvert la voie à de nouveaux types d’expériences. Aujourd’hui, ce type de détecteur est devenu une nécessité dans de nombreux domaines du rayonnement synchrotron et des sources de rayons X. Une forte poussée pour le développement de détecteurs dédiés est apparue avec la naissance de sources XFEL (X-Ray-Free-Electron Laser)[79, 80, 81].

### 1.6.1 Les lasers à électron libre de rayons-X (XFEL)

Le laser à rayons X à électrons libres (XFEL) est un projet européen existant sur le site de DESY à Hambourg et qui a été inauguré le 1<sup>er</sup> septembre 2017. Ce type d'instrument émet de puissantes impulsions de rayons X d'une durée de quelques centaines de femto-secondes (soit  $10^{-13}$  secondes). La longueur d'onde des rayons X, de 0,05 à 4,7 nanomètres, est suffisamment petite pour offrir des images d'une résolution de l'ordre d'un atome.

Le XFEL européen rejoint la famille très restreinte des lasers à rayons X de ce calibre dans le monde (Figure 1.48), mais il possède en outre une capacité unique : il peut émettre 27 000 impulsions X par seconde, une fréquence plus de 200 fois supérieure à celle du laser X le plus rapide jusqu'alors ; le LCLS du Centre de l'accélérateur linéaire de Stanford (SLAC), en Californie. En plus, le XFEL, avec une longueur de 3.4 km, il est le plus grand du monde dans sa catégorie. L'instrument européen a également un avantage sur ses concurrents contrairement aux autres XFEL, il dispose de trois onduleurs distincts pour créer des faisceaux de rayons X simultanés, les 27 000 impulsions par seconde étant réparties entre ces trois sources [3].

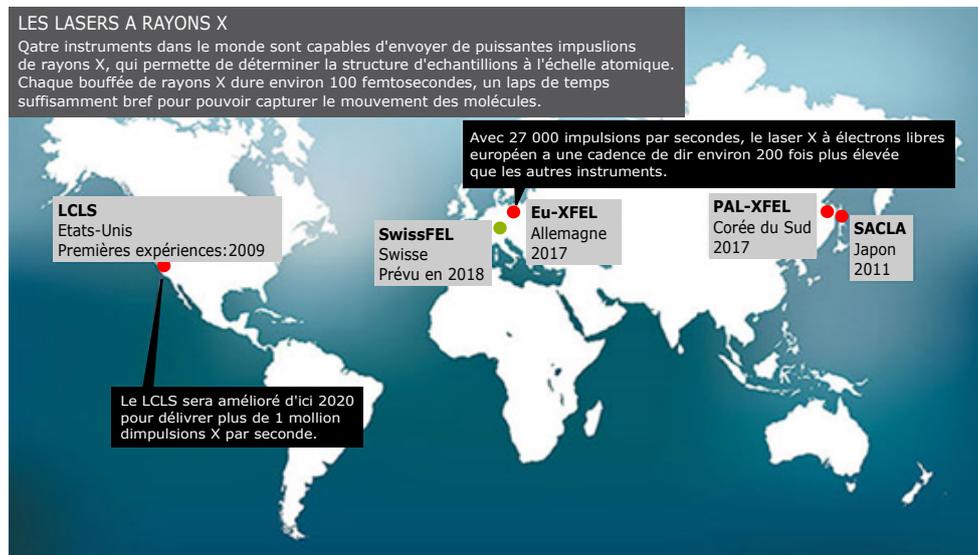


FIGURE 1.48 – La famille restreinte des lasers à rayons X dans le monde [3].

Les lasers à électrons libres ont un principe d'émission faisant intervenir des électrons non liés à un atome particulier. Ces électrons sont d'abord accélérés au sein d'un accélérateur de particules dans un tunnel de 1.7 kilomètre de long jusqu'à une énergie de 17.5 GeV [3]. Ensuite, une série d'aimants dits 'Ondulateurs' dévient la trajectoire des électrons pour les faire « slalomer », ce qui les conduit à émettre un rayonnement X de haute énergie lorsqu'ils changent de direction (Figure 1.49).

Ainsi, avec cette nouvelle génération de sources de rayonnement extrêmement puissantes, un système de détection dédiée à l'imagerie par rayons X doit être bien développé. Au début du projet XFEL, aucun détecteur n'était disponible pour répondre aux exigences et spécifications de ces sources, en particulier en ce qui concerne la brillance élevée et la structure d'impulsion de 4.5 MHz. Un programme de développement a été lancé tout d'abord par le XFEL Européen avec trois projets de détecteurs gérés par différents consortiums. Chacun utilise une approche conceptuellement différente [82] ; le détecteur

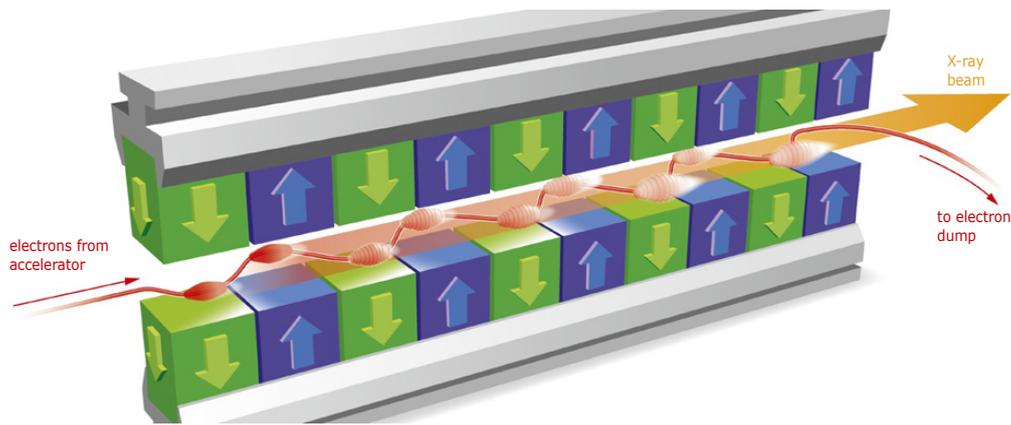


FIGURE 1.49 – Le principe de laser à rayons X à électrons libres (XFEL) [3].

DEPFET avec compression de signal (DSSC), le détecteur AGIPD (*Adaptive Gain Integrated Pixel Detector*), et le détecteur LPD (*Large Pixel Detector*). Ensuite, d'autres projets de détecteurs sont également en cours de développement durant ces dernières années, parmi lesquelles, on peut mentionner le détecteur pnCCD [83], le détecteur FCCD [84] et le **détecteur PixFEL** [4].

Ce dernier est un projet dédié à la conception d'un détecteur d'imagerie par rayons X à grande surface. Il est développé dans le cadre d'une collaboration INFN-PixFEL et est financé par l'Institut National Italien de Physique Nucléaire (INFN).

## 1.6.2 Spécifications des détecteurs développés

Les exigences des expériences XFEL présentent un grand défi pour le développement des détecteurs d'imagerie par rayons X. Pour cela, nous allons voir les spécifications des différentes configurations et projets de détecteurs discutées auparavant.

- **Détecteur DEPFET** : Le Détecteur DEPFET avec Compression de Signal (DSSC) est développé par le laboratoire de recherche MPI-Semiconductor à Munich en collaboration avec l'école polytechnique de Milan, DESY-Hambourg et les Universités de Heidelberg, Siegen et Bergamo. Il utilise un transistor DEPFET (transistor à effet de champ à canal-p appauvri) comme capteur, un convertisseur analogique-numérique ainsi qu'une mémoire numérique pour stocker les images [85]. Les mémoires numériques sont beaucoup plus efficaces, jusqu'à 800 images peuvent être stockées dans des pixels hexagonaux d'une taille d'environ  $200\mu m$ . Le système DSSC présente un faible niveau de bruit, ce qui rend ce détecteur bien adapté aux expériences utilisant des rayons X de faible énergie (quelques centaines d'eV).
- **Détecteur LPD** : Le détecteur LPD (*Large pixel detector*) est développé par le laboratoire Rutherford Appleton en collaboration avec l'université de Glasgow. Il utilise pour chaque pixel trois configurations de gains parallèles et trois mémoires de stockage analogiques associées pour stocker jusqu'à 512 images pendant les trains d'impulsions [86]. Afin d'intégrer ces trois chaînes de détection, la taille des pixels doit être relativement grande, de l'ordre de  $500\mu m$ , ce qui est grand par rapport à d'autres applications de la science de photons. Les données analogiques sont converties en données numériques. Le détecteur LPD est utilisé surtout pour les expériences européen XFEL à haute luminosité.
- **Détecteur AGIPD** : Le détecteur AGIPD (*Adaptive-Gain-Integrated-Pixel-Detector*)

est développé par un groupe de recherche de DESY de l'université de Hambourg en collaboration avec l'université de Bonn. Il est constitué par une matrice de pixels hybride, avec une partie ASIC de lecture liée à un capteur en silicium. Ce détecteur utilise un gain adapté dynamiquement, où chaque pixel adapte automatiquement son gain au nombre de photons entrants, plus une mémoire de stockage analogique. Les données sont ensuite numérisées entre les trains d'impulsions. La taille de pixel de  $200\mu m$  permet de stocker jusqu'à 352 images. Le système AGIPD, avec un bruit équivalent de 1keV, est optimisé pour les expériences de diffraction et d'imagerie entre 5 et 25keV, où une sensibilité mono-photonique supérieure à  $10^4$  est nécessaire [87].

- **Détecteur pnCCD** : Le détecteur pnCCD, développé par le laboratoire Semiconductor de l'Institut Max Planck à Munich, présente un autre genre de détecteur de type CCD (*Charged-Coupled-Device*). Le principe de fonctionnement de ce détecteur repose sur la déplétion latérale d'une structure p-n-p. Il utilise une taille de pixel de  $75\mu m$  et des convertisseurs CAN de 14 bits. La conversion de la charge du signal en tension sur les amplificateurs s'effectue en parallèle pour augmenter la fréquence d'images. Ce système a été exploité dans plusieurs expériences telles qu'à LCLS, avec une fréquence d'image maximale de 120 Hz [83].
- **Détecteur FCCD** : Un autre exemple de détecteur CCD est le détecteur FastCCD, développé au Laboratoire de Lawrence Berkeley National (LBNL, California, USA), avec une taille de pixel de  $30\mu m$  [84]. Contrairement au pnCCD, FastCCD est basé sur une structure CCD à base de métal-oxyde-semiconducteur (MOS) standard. Le pas entre pixels de  $30\mu m$  est suffisamment petit, ce qui signifie qu'il y a peu d'espace pour implémenter l'amplificateur sur puce. Ainsi, le premier capteur FastCCD avait un amplificateur pour dix pixels. Ce système de détection, fonctionnant à 200 images par seconde, a été utilisé pour la ptychographie CDI (imagerie diffractive cohérente) et diffusion inélastique résonante des rayons X, XPCS.
- **Détecteur PixFEL** Le détecteur PixFEL est réalisé dans le cadre d'un projet de recherche financé par L'Institut National de Recherche Nucléaire (INFN) Italien en collaboration avec différentes Universités : Trento, Pisa, Bergamo, Pavia et l'université des frères Mentouri de Constantine [4]. Ce projet est dédié à la conception d'un détecteur d'imagerie par Rayons-X qui peut répondre aux spécifications des expériences XFEL. La structure globale du détecteur se compose principalement d'une partie capteur reliée à une partie électronique ASIC.

Le système de détection est réalisé à la base d'une technologie de capteur à bord-actif et à bord-mince afin de minimiser la région inactive dans le capteur. La taille du pixel considérée dans ce capteur est de l'ordre de  $100\mu m$ , ce qui est suffisamment large pour couvrir un large éventail d'expériences FEL. L'interconnexion entre la couche de détection et la partie électronique est réalisée par des techniques de liaison de bossage '*bump-bonding*'. La partie ASIC, réalisée dans une technologie CMOS  $65nm$ , est composée de deux niveaux superposés afin d'augmenter la densité fonctionnelle des circuits. La couche supérieure est utilisée pour recevoir les signaux analogiques avec un préamplificateur et un convertisseur CAN, alors que la couche inférieure intègre les cellules de mémoire et l'électronique de lecture numérique. Pour ce faire, le capteur est directement lié à la face avant de la couche supérieure analogique, la technologie des vias traversant (TSVs) est utilisée pour assurer l'interconnexion électrique aux circuits de la deuxième couche inférieure.

Ce projet PixFEL pour la conception d'un détecteur de rayon X verticalement

intégré présente l'intérêt principal de ce travail de thèse. Ainsi, l'étude et la conception de ce détecteur sera discutée dans les prochains chapitres. Les spécifications de tous ces détecteurs de rayonnement dédiés pour l'application aux différentes expériences FEL sont présentées dans la Table 1.4.

TABLE 1.4 – Spécifications de différents types de détecteurs de Rayon-X dédiés aux expériences FEL [88].

|                           | Requirements                      | AGIPD                                 | DSSC                                | LPD                                   | pnCCD*                          | FCCD                       | PixFEL                        |
|---------------------------|-----------------------------------|---------------------------------------|-------------------------------------|---------------------------------------|---------------------------------|----------------------------|-------------------------------|
| <b>Technology</b>         |                                   | Hybrid pixel                          | Hybrid pixel                        | Hybrid pixel                          | CCD                             | CCD                        | Hybrid pixel                  |
| <b>Pixel size</b>         | 10...100's $\mu\text{m}$          | 200x200 $\mu\text{m}^2$               | 204x236 $\mu\text{m}^2$             | 500x500 $\mu\text{m}^2$               | 75x75 $\mu\text{m}^2$           | 30x30 $\mu\text{m}^2$      | 80x80 $\mu\text{m}^2$         |
| <b>Detector size</b>      | 1kx1k                             | 1kx1k                                 | 1kx1k                               | 1kx1k                                 | 256x256                         | 1kx2k                      |                               |
| <b>Tiling, hole</b>       | Central, variable hole            | Multiple tiles, variable hole         | Multiple tiles, variable hole       | Multiple tiles, variable hole         | Monolithic no hole              | Monolithic fixed hole      | Multiple tiles, variable hole |
| <b>Quantum efficiency</b> | >80%                              | >80%                                  | >80%                                | >80%                                  | >80%                            | >80%                       | >80%                          |
| <b>Sensor thickn.</b>     |                                   | 500 $\mu\text{m}$                     | 450 $\mu\text{m}$                   | 500 $\mu\text{m}$                     | 450 $\mu\text{m}$               | 200 $\mu\text{m}$          | 450 $\mu\text{m}$             |
| <b>Energy range</b>       | 0.25-25 keV                       | 3-13 keV                              | 0.5-25 keV                          | 1-25 keV                              | 0.05-20 keV                     | 0.25-6 keV                 | 1.-12 keV                     |
| <b>Dynamic range</b>      | $10^3 \dots 10^4 \dots$           | $10^4$ at 12 keV                      | $10^4$                              | $10^5$ at 12 keV                      | $10^3$ at 12 keV                | $10^3 \dots 10^4$          | $10^4$ at 12 keV              |
| <b>Noise</b>              | Single photon                     | 300 el. rms                           | 50 el. rms                          | 1000 el. rms                          | 2 el. rms                       | 25 el. rms                 |                               |
| <b>Frame rate</b>         | 4.5 MHz, 2700 images, 10 bursts/s | 4.5 MHz, 352 images ana-logue on-chip | 4.5 MHz, 640 images digital on-chip | 4.5 MHz, 512 images ana-logue on-chip | 200 Hz, continuous (*prototype) | 200 Hz (1kx1k), continuous | 4.5 MHz,                      |

## 1.7 Contribution du doctorat et démarches proposées

L'évolution de la microélectronique est acquise aujourd'hui grâce à l'utilisation de la technologie tridimensionnelle dans la fabrication des Circuits Intégrés (CIs). Nous avons vu, tout le long de ce chapitre, que l'intérêt d'utiliser cette technologie 3D a permis d'apporter plusieurs avantages en termes d'amélioration des performances électriques des circuits CMOS, réduction du coût de fabrications ainsi qu'une architecture adaptée à l'intégration hétérogène. Pour ce faire, différentes techniques relatives à cette technologie 3D sont étudiées et investiguées telles que l'utilisation de ce qu'on appelle les Through Silicon Vias (TSVs) ou les vias traversant. Ce type d'interconnexions verticales est considéré comme une solution pour la liaison des différentes couches des CIs.

Le but principal de ce travail de thèse est l'étude de l'impact d'interconnexions de type TSVs sur les performances électriques des circuits CMOS, et particulièrement sur les détecteurs de Rayons-X générés par des Lasers à Electrons Libres (XFEL). Ces détecteurs sont conçus de différentes couches et circuits qui sont assemblés grâce à une intégration verticale en reliant le capteur avec sa partie électronique (ASIC). L'optimisation de ces détecteurs concerne la réduction du coût, des dimensions et de la tension d'alimentation.

Afin de réaliser ce but inscrit dans notre travail de thèse, nous proposons les démarches suivantes. Cette thèse est divisée en deux grandes parties : la première partie est consacrée à l'étude de l'influence des TSVs sur les composants CMOS de l'électronique avoisinant le détecteur. Pour ce faire, l'impact des vias sur les composants MOS ainsi que les circuits CMOS sera étudié à l'aide de simulations numériques en éléments finis 2D et 3D en utilisant le logiciel Synopsys-TCAD. Ceci va permettre de faire une optimisation des performances électriques des circuits CMOS en fonction de différents paramètres technologiques et électriques.

Ensuite, une implémentation d'un modèle analytique relatif à de circuits CMOS contenant des TSVs sera considérée. Cette étude permettra de se pencher sur des circuits spécifiques et de tirer les avantages et les inconvénients de l'utilisation de cette approche (technologie 3D-TSV) dans différentes applications telles que le détecteur de rayonnement dans notre cas.

Ceci nous permettra d'entamer la deuxième partie qui sera consacrée à l'étude et la conception de ces détecteurs réalisés dans le cadre du projet Européen PixFEL. Nous nous sommes intéressés à l'étude de ce type de détecteurs verticalement intégrés qui sont capables de détecter une haute intensité de rayons-X avec une courte période d'impulsion et une énergie élevée générés par le laser XFEL. Pour ce faire, des optimisations de ce capteur seront établies à l'aide de simulations numériques afin de minimiser la région inactive vue la haute tension de polarisation considérée.

Différents paramètres technologiques relatifs au détecteur doivent ainsi être optimisés et pris en compte pour la conception du *layout* final des structures étudiées. La réalisation du *layout* permettra d'assembler les différents types de détecteurs étudiés dans un *Wafer* de 6 pouces.

Enfin, dans la dernière partie de cette thèse, les composants fabriqués au cours du projet PixFEL seront caractérisés électriquement par des mesures  $I(V)$  et  $C(V)$ .

## 1.8 Conclusion

Dans ce chapitre, nous avons présenté un état de l'art sur le thème de l'intégration 3D à la base des interconnexions TSVs, ses différentes approches ainsi que ses domaines d'application au cours de ces dernières années. Ensuite, nous avons présenté les détecteurs de radiation verticalement intégrés parmi lesquels les détecteurs de rayon-X.

Dans le prochain chapitre, nous allons présenter l'étude de l'impact des interconnexions TSVs sur les performances électriques des composants et circuits CMOS .

# Chapitre 2

## Impact des TSVs (Through Silicon Vias) sur les circuits CMOS

### Sommaire

---

|            |   |           |
|------------|---|-----------|
| <b>2.1</b> | <b>Introduction</b>   | <b>48</b> |
| <b>2.2</b> | <b>Notions théoriques sur le couplage par le substrat</b>           | <b>48</b> |
| 2.2.1      | Sources de bruit substrat   | 48        |
| 2.2.2      | Propagation du bruit  | 48        |
| 2.2.3      | Mécanismes de réception du bruit                                    | 49        |
| 2.2.4      | Solutions d'isolation du substrat                                   | 49        |
| <b>2.3</b> | <b>Caractéristiques électriques des composants et circuits CMOS</b> | <b>50</b> |
| 2.3.1      | Transistors NMOS et PMOS  | 50        |
| 2.3.2      | Inverseur CMOS  | 53        |
| <b>2.4</b> | <b>Couplage induit par l'intégration 3D sur le composant</b>        | <b>56</b> |
| 2.4.1      | Approche numérique  | 57        |
| 2.4.2      | Approche analytique   | 61        |
| <b>2.5</b> | <b>Couplage induit par l'intégration 3D sur les circuits CMOS</b>   | <b>70</b> |
| 2.5.1      | Couplage induit par l'intégration 3D sur un inverseur CMOS          | 71        |
| 2.5.2      | Couplage induit par l'intégration 3D sur un oscillateur en anneaux  | 73        |
| <b>2.6</b> | <b>Conclusion</b>   | <b>77</b> |

---

## 2.1 Introduction

Dans ce chapitre, nous nous intéressons à l'analyse de l'impact des TSVs sur les circuits CMOS. Nous commençons par l'introduction des notions théoriques sur le couplage par le substrat dans la Section 2.2. Ensuite, nous allons présenter les caractéristiques électriques des composants et circuits CMOS dans la Section 2.3. Puis, nous aborderons le couplage induit par l'intégration 3D sur le composant et sur les circuits CMOS dans la Section 2.4 et 2.5. Nous terminerons ce chapitre par une conclusion qui est présentée dans la Section 2.6.

## 2.2 Notions théoriques sur le couplage par le substrat

Parmi les phénomènes électromagnétiques indésirables qui peuvent exister dans le substrat nous citons le 'couplage substrat' ou 'bruit substrat'. Ce phénomène, qui résulte des diaphonies entre les composants et les interconnexions 3D, a un impact sur le fonctionnement des circuits intégrés. Son action sur ces derniers peut être catastrophique ou bien extrêmement limitée. Dans tous les cas, il est toujours plus prudent de le prendre en compte au moment de la conception. Il faut noter que dans le cas de l'intégration classique, les phénomènes de couplage par substrat sont étudiés depuis des décennies, mais ceci n'est pas le cas de l'intégration 3D où la littérature est encore pauvre.

### 2.2.1 Sources de bruit substrat

Le couplage par le substrat résulte de plusieurs sources tels que le bruit d'alimentation, le couplage capacitif et l'ionisation par impact.

- La première source, à savoir les bruits d'alimentation, présente la principale source de parasitage dans le substrat. Les lignes d'alimentation dans les circuits intégrés, constituent autant de sources génératrices de bruit substrat. En effet, ces structures d'alimentation représentent des inductances, des capacités et des résistances parasites qui interagissent directement avec le substrat par l'intermédiaire des contacts de polarisation du substrat présents sur l'ensemble de la surface d'un circuit.
- L'autre source de bruit concernant le couplage capacitif est liée à différentes sources telles que les capacités MOS des transistors, les capacités drain / substrat et source / substrat, les capacités interconnexions / substrat et les capacités caisson / substrat.
- La dernière source de bruit relative à l'ionisation par impact ne doit pas être négligée quant à son rôle de générateur de courants parasites. Le fort champ électrique, qui apparaît lorsqu'un transistor est en régime de saturation, permet de créer des porteurs chauds '*hot carriers*'. Ces derniers subissent des collisions perdant ainsi leur énergie en créant de nouvelles paires électron/trou, et par conséquent un fort courant parasite.

### 2.2.2 Propagation du bruit

Le silicium, comme tout autre matériau, présente à la fois un comportement conducteur et diélectrique, qui peut être traduit en effets résistifs et capacitifs, respectivement. Ces effets, présentant les mécanismes de propagation du bruit, sont représentés sur la Figure 2.1. Cependant, le substrat peut être considéré comme un réseau purement résistif ou résistif et capacitif selon la valeur de la fréquence de coupure ou de transition, noté  $f_T$  et décrite par l'équation 2.1[89]. Cette fréquence de coupure est directement proportionnelle à la conductivité du silicium, c'est-à-dire à son dopage. En dessous de cette fréquence, le

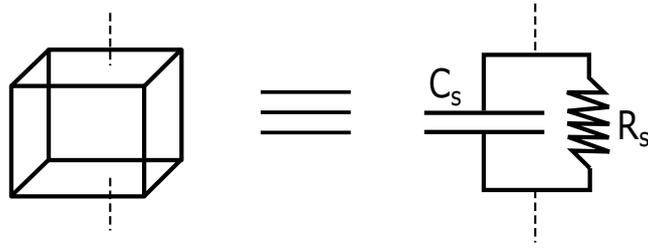


FIGURE 2.1 – Schéma électrique équivalent d'un élément de silicium.

comportement électrique du silicium est considéré comme purement résistif. La Table 2.1 présente la conductivité, la résistivité et la fréquence de coupure pour différents niveaux de dopage.

$$f_T = \frac{1}{2\pi T_s} = \frac{q(p\mu_p + n\mu_n)}{2\pi\epsilon_0\epsilon_{si}} \quad (2.1)$$

TABLE 2.1 – Fréquences de coupure dans le silicium pour différents niveaux de dopage [90].

| Niveau de dopage [ $cm^{-3}$ ] | Conductivité [ $S.cm^{-1}$ ] | Résistivité [ $\Omega.cm$ ] | $f_c$ GHz |
|--------------------------------|------------------------------|-----------------------------|-----------|
| $10^{14}$                      | $7,96.10^{-3}$               | 125                         | 1,2       |
| $10^{15}$                      | $7,87.10^{-3}$               | 12,7                        | 12        |
| $10^{16}$                      | 0,714                        | 1,4                         | > 100     |
| $10^{18}$                      | 28,57                        | 0,035                       | > 1000    |

### 2.2.3 Mécanismes de réception du bruit

Les mécanismes de réception du couplage par le substrat diffèrent d'un composant à un autre. A titre d'exemple, le bruit d'alimentation et le couplage capacitif sont réceptionnés par les composants CMOS (transistors MOS) par le biais des capacités parasites, à savoir celles issues de la source  $C_{SS}$ , la grille  $C_{GS}$  et le drain  $C_{DS}$ , avec le substrat. Un autre mécanisme de réception fréquemment mis en jeu, est le phénomène transconductance substrat  $g_{mb}$ . Ce phénomène exprime le rapport entre la variation du courant de sortie et la variation de la tension d'entrée pour les composants MOS. Ainsi, le rapport entre la transconductance substrat  $g_{mb}$  et la transconductance MOS  $g_m$  peut s'écrire sous la forme décrite par l'équation 2.2.

$$\frac{g_{mb}}{g_m} = \frac{\sqrt{2 \cdot q \cdot \epsilon \cdot N_A}}{2 \cdot C_{ox} \sqrt{2\phi_f + V_{sb}}} \quad (2.2)$$

Où  $\epsilon$  est la permittivité diélectrique du substrat,  $N_A$  la concentration d'impuretés,  $C_{ox}$  la capacité surfacique de l'oxyde,  $2\phi_f$  le potentiel d'inversion et  $V_{sb}$  la tension de substrat.

### 2.2.4 Solutions d'isolation du substrat

Afin de minimiser l'impact du bruit substrat sur les parties actives des circuits CMOS, le moyen souvent usité est de surdimensionner les distances critiques entre les blocs fonctionnels des circuits, mais cette solution limite les avantages des avancées technologiques. Pour cette raison, d'autres techniques d'isolation du substrat ont été mises en jeu. La

solution d'isolation du substrat la plus couramment utilisée est représentée par les anneaux de garde. Ces derniers sont constitués, soit par des anneaux dopés de type N ou P, soit des tranchées remplies par un matériau diélectrique, qui sont placées autour des blocs fonctionnels à isoler. Cependant, l'isolation par les anneaux de garde n'a qu'une portée surfacique. Afin de protéger les composants des courants parasites de profondeur, des couches enterrées sont préférées. Il s'agit de couches dopées placées en profondeur à quelques microns des dispositifs. La combinaison des anneaux de garde avec des couches enterrées permet d'optimiser drastiquement la qualité de l'isolation, tout en supprimant les contacts profonds inhérents aux couches enterrées puisque les contacts du caisson se font en surface.

## 2.3 Caractéristiques électriques des composants et circuits CMOS

Notre but dans cette thèse est la conception de composants en technologie 3D, cependant le bruit substrat est un paramètre très limitatif. Afin d'étudier l'impact du couplage substrat sur les circuits CMOS, nous allons tout d'abord faire une description des composants les contenant. Nous citons, les transistors NMOS et PMOS, ainsi que l'inverseur CMOS qui constitue la porte logique élémentaire d'une conception numérique. Nous présenterons ensuite les caractéristiques électriques de ces derniers obtenues dans un environnement de simulation numérique TCAD.

### 2.3.1 Transistors NMOS et PMOS

Puisque l'étude des transistors MOS n'est en effet pas l'objet de cette thèse, une description non exhaustive des notions de base de ces composants sera cependant présentée. Le lecteur soucieux de parfaire sa connaissance de ces dispositifs pourra se référer à la référence [92]. La structure ainsi que les caractéristiques électriques des transistors MOS sont décrites par la suite à l'aide d'un simulateur numérique TCAD.

#### Description

Parmi les composants électroniques qui jouent un rôle important dans le développement de la technologie microélectronique, on cite le transistor MOS (Métal /Oxyde /Semiconducteur). Une grande partie de ce succès est dû à la simplicité de réalisation technologique. Il est également le dispositif le plus répandu dans la production actuelle car c'est le composant de base de la technologie CMOS (*Complementary MOS*), qui, à elle seule, englobe plus de 70% de la production mondiale de circuits intégrés. Le principe du transistor MOS à effet de champ est basé sur la modulation du courant qui le traverse à l'aide d'un signal appliqué sur son électrode nommée grille. Ceci permet de commander l'existence ou non d'une couche conductrice de porteurs libres en surface (le canal de conduction) entre les deux électrodes d'entrée et sortie du composant nommés, source et drain, respectivement.

Le transistor est caractérisé par la charge de ses porteurs majoritaires qui détermine s'il est de type P ou N. Le transistor NMOS est basé sur une circulation des électrons grâce à un dopage des sources et drains de type N alors que le transistor PMOS utilise les trous grâce à un dopage de type P. Les modes de fonctionnements du transistor sont bien détaillés sur la Figure 2.2. Cette figure montre que lorsque la tension de grille  $V_{GS}$  dépasse une tension de seuil  $V_T$  propre à chaque dispositif, le transistor est en mode passant. Cette tension de seuil  $V_T$  est décrite par la formule 2.3

$$V_T = V_{T0} + \frac{\sqrt{2q\epsilon N_A}}{C_{ox}} (\sqrt{|-2\phi_f + V_{sb}|} - \sqrt{|2\phi_f|}) \quad (2.3)$$

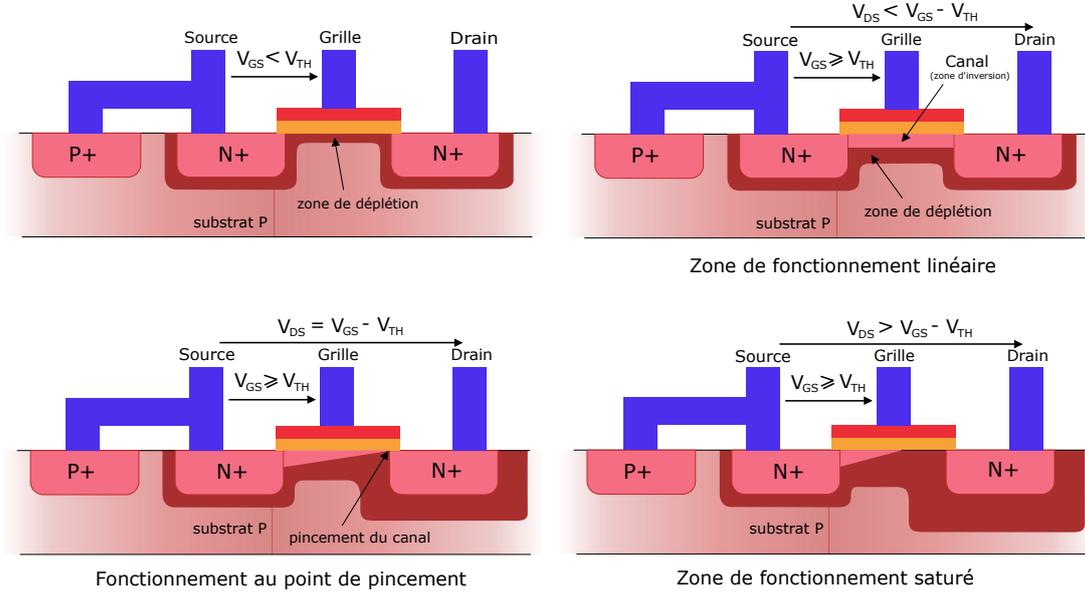


FIGURE 2.2 – Régime de fonctionnement d'un transistor MOS.

### Caractéristiques électriques

Le comportement électrique des transistors MOS se caractérise principalement par son courant de sortie de drain nommé  $I_D$ . L'application des tensions de grille et de drain permet d'avoir deux caractéristiques électriques principales, à savoir la caractéristique de transfert  $I_D(V_{GS})$  et la caractéristique de sortie  $I_D(V_{DS})$ . Afin de comprendre ces caractéristiques ainsi que le fonctionnement électrique des transistors MOS, il est important de l'étudier dans un environnement de simulation TCAD ou 'Technology Computer Aided Design'. Pour ce faire, nous allons utiliser dans notre cas un outil de conception TCAD, une branche de la CAO (Conception assistée par ordinateur) électronique, à savoir le simulateur Sentaurus du logiciel Synopsys. Son principe général est basé sur la résolution auto cohérente de l'équation de Poisson qui décrit le potentiel dans l'espace en fonction de la densité de charge et des équations de continuité qui assurent la conservation de la matière. De plus, il permet dans notre cas de simuler le comportement physique et électrique du composant électronique en tenant compte de sa structure (profils de dopages, nature de matériaux, géométries, etc.).

Les simulations que nous effectuons sont basées sur l'utilisation du modèle DDM (*Drift Diffusion Model*). Ce dernier est basé sur un système d'équations permettant de décrire l'état de fonctionnement d'un composant semiconducteur. Les densités de courant pour les électrons et les trous sont données par :

$$J_n = q \cdot D_n \cdot \nabla n + q \cdot \mu_n \cdot E \quad (2.4)$$

$$J_p = q \cdot D_p \cdot \nabla p + q \cdot \mu_p \cdot E \quad (2.5)$$

Où  $\mu_n$  et  $\mu_p$  représente la mobilité des électrons et des trous,  $n$  et  $p$  les densités de porteurs libres des électrons et des trous. La densité de courant est constituée de deux termes dûs aux deux mécanismes de la diffusion et la conduction des porteurs. Lorsque les porteurs ne sont pas répartis uniformément, ils subissent le phénomène de diffusion, avec  $D$  le terme lié à la diffusion. De plus, il y a le phénomène de conduction lorsque l'on applique un champ électrique  $E$ , il se produit alors un mouvement de dérive dans le sens du champ pour les trous et dans le sens contraire pour les électrons.

Les équations de base qui régissent le transport de charge dans les dispositifs semiconducteur, sont l'équation de Poisson et les équations de continuités des électrons/trous.

- **équation de Poisson** : L'équation de Poisson permet la description de l'évolution du champ en fonction des densités de porteurs. Ramenée au potentiel électrostatique, elle fournit l'équation suivante :

$$\nabla^2\psi = \frac{\rho}{\epsilon} \quad (2.6)$$

Avec  $\psi$  le potentiel,  $\rho$  la densité de charges et  $\epsilon$  la permittivité du semiconducteur.

- **équation de continuité des charges** : Les équations de continuité traduisent l'équilibre entre flux entrants et sortants avec les variations de charges dans le volume. Deux équations de continuité des charges en sont déduites, l'une pour les électrons, l'autre pour les trous :

$$\frac{dn}{dt} = \frac{1}{q}\nabla J_n + G_n - R_n \quad (2.7)$$

$$\frac{dp}{dt} = \frac{1}{q}\nabla J_p + G_p - R_p \quad (2.8)$$

avec  $(G_n-R_n)$  et  $(G_p-R_p)$  les termes de génération-recombinaison pour les électrons et les trous.

**Structure considérée** : La structure considérée du transistor MOS étudié est représentée sur la Figure 2.3. Ce transistor MOS est réalisé dans un substrat de silicium avec une orientation cristalline  $\langle 100 \rangle$ . La grille du transistor est constituée par un dépôt d'oxyde de grille, suivis par une croissance d'une couche de polysilicium. Celle-ci fortement dopée, réduit la résistance d'accès à la grille et garantit une répartition homogène du potentiel appliqué sur l'ensemble de la surface en contact avec l'oxyde. Afin d'éviter les courts circuits entre les différentes électrodes des transistors, des espaceurs sont souvent utilisés et réalisés par la déposition d'une couche d'un diélectrique (oxyde ou Nitrure). Ensuite, la formation du drain et de la source du transistor se fait par une étape d'implantation ionique avec une haute dose d'implantation. L'étape finale, qui consiste en la métallisation des contacts électriques, s'effectue par le dépôt d'une couche de métal là où il est nécessaire de l'avoir.

Les caractéristiques électriques de la structure considérée sont obtenues à l'aide du simulateur numérique TCAD. L'application d'une tension de drain constante en faisant varier la polarisation de grille de 0 à 3V, nous a permis d'avoir les caractéristiques électriques de transfert  $I_D(V_{GS})$  comme illustré sur la Figure 2.4-a, où la tension de seuil  $V_T$  dans ce cas est égale presque à : 0.6V.

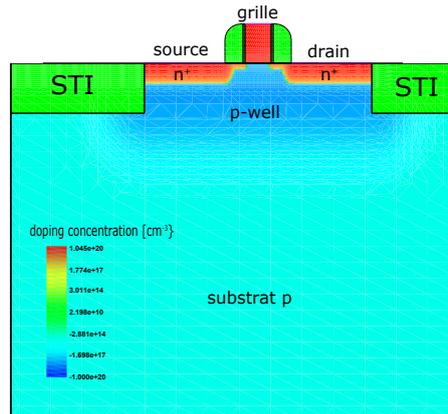
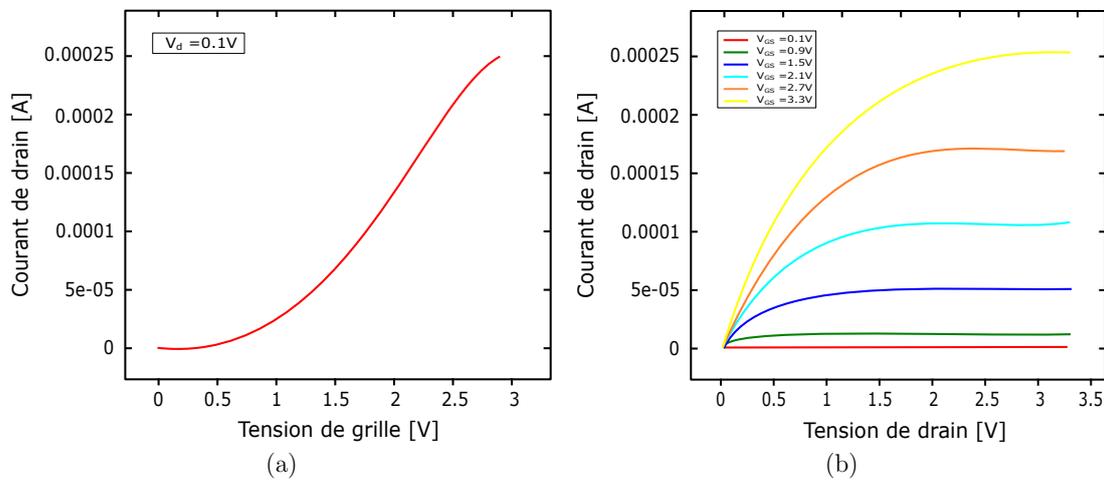


FIGURE 2.3 – La structure du transistor MOS.


 FIGURE 2.4 – (a) Caractéristique de transfert  $I_D(V_{GS})$  du transistor MOS, et (b) la caractéristique de sortie  $I_D(V_{DS})$  du transistor MOS.

L'évolution du courant de sortie de drain en fonction de la tension de drain, qui présente la caractéristique électrique de sortie  $I_D(V_{DS})$  du dispositif, est obtenue, également, pour différentes tensions de grille,  $V_{GS}$  (Figure 2.4-b).

### 2.3.2 Inverseur CMOS

Tout comme la première partie pour les transistors MOS, une description non exhaustive des notions de base d'un inverseur CMOS sera présentée ici. Le lecteur soucieux de parfaire sa connaissance de cette porte logique pourra se référer à la référence [92].

#### Description

La logique CMOS utilise les deux types de transistors MOS pour la conception d'un circuit inverseur. Ce dernier se compose de deux transistors, un NMOS et un PMOS, les deux étant connectés ensemble, et est présenté sur la Figure 2.5-a. Son principe de fonctionnement consiste en deux états logiques correspondant respectivement à l'état haut (tension la plus élevée  $V_{dd}$ ) et l'état bas (tension la plus basse, soit  $V_{ss} = 0$ ). Généralement, l'état haut correspond au 1 de l'algèbre de Boole et l'état bas au 0. Les deux états haut et bas en sortie sont obtenus selon le mode de fonctionnement des transistors N et P.

## Caractéristiques électriques

Le fonctionnement d'un inverseur CMOS dépend essentiellement du mode de fonctionnement des deux transistors MOS. La Figure 2.5-b présente la caractéristique de transfert du circuit. La simulation électrique de l'inverseur dans notre cas est réalisée avec un mode de simulation circuit *Mixed Mode*. Ceci permet de résoudre les équations circuit et composant, en utilisant différentes méthodes et algorithmes. Cependant, une analyse statique et transitoire de l'inverseur CMOS est faite afin de déterminer les caractéristiques électriques de ce dernier.

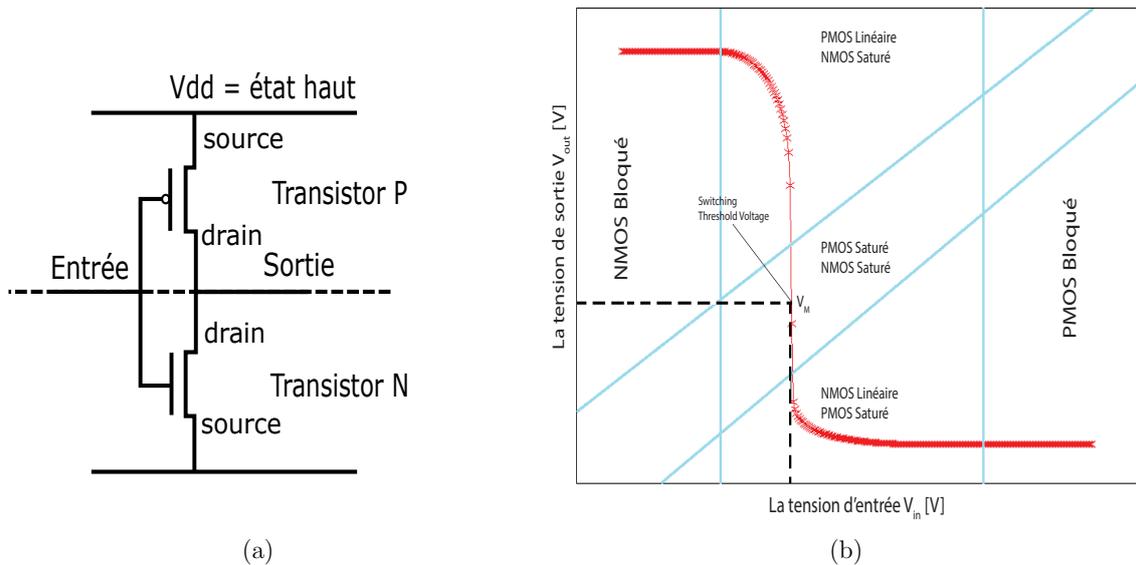


FIGURE 2.5 – (a) Schéma électrique d'un inverseur CMOS, et (b) la caractéristique de transfert d'un inverseur CMOS.

**Structure considérée :** L'inverseur CMOS est réalisé dans un substrat de silicium de type P dopé uniformément avec une concentration de  $2 \cdot 10^{+15} \text{ cm}^{-3}$  et avec une orientation cristalline  $\langle 100 \rangle$ , qui présente une faible densité de défauts d'interface pour les deux transistors NMOS et PMOS. Des couches enterrées fortement dopées de type n et p sont ensuite utilisées afin de protéger les composants contre les différents courants parasites induits par le substrat. La formation des couches enterrées, des deux transistors de l'inverseur se fait par une implantation ionique de type  $n^+$  pour le transistor PMOS et  $p^+$  pour le transistor NMOS. Afin d'améliorer l'isolation électrique entre les composants, des STI 'Shallow Trench Isolator' sont placés autour des deux transistors MOS et remplis par un oxyde  $\text{SiO}_2$ . Les tranchés d'isolation ne sont pas parfaitement verticaux, ils sont gravés avec une petite pente qui permettra surtout d'éviter la formation des lacunes lors de l'étape de remplissage du diélectrique. Ensuite, un double processus d'implantation est réalisé afin de former une couche *Nwell* pour le transistor PMOS et une couche *Pwell* pour le transistor NMOS.

La formation de la grille de deux transistors commence d'abord par une étape de polissage chimique. Ceci permet de nettoyer la surface du silicium et d'enlever tout oxyde restant afin d'accroître un oxyde de grille de haute qualité. La formation de l'oxyde de la grille est suivie par une déposition d'une couche de polysilicium. Cette couche polysilicium des deux transistors est dopée séparément avec un dopage de type *N* pour le transistor PMOS et de type *P* pour le transistor NMOS. Des espaceurs sont ensuite formés, afin d'éviter les courts circuits entre grille-drain et grille-source, par la déposition d'une couche épaisse

d'un diélectrique. La formation finale du drain et de la source des deux transistors de l'inverseur se fait par une étape d'implantation ionique. Après chaque implantation, un recuit thermique à une température constante est nécessaire pour éliminer les défauts créés en surface d'une part, et à permettre aux ions implantés de prendre des positions substitutionnelles là où ils sont actifs électriquement, d'autre part.

La dernière étape consiste en la métallisation des contacts électriques des deux transistors. Cette opération s'effectue par le dépôt d'une couche d'aluminium là où il est nécessaire de l'avoir. Ainsi, la structure finale de l'inverseur formé des deux transistors MOS de type N et P est montrée sur la Figure 2.6.

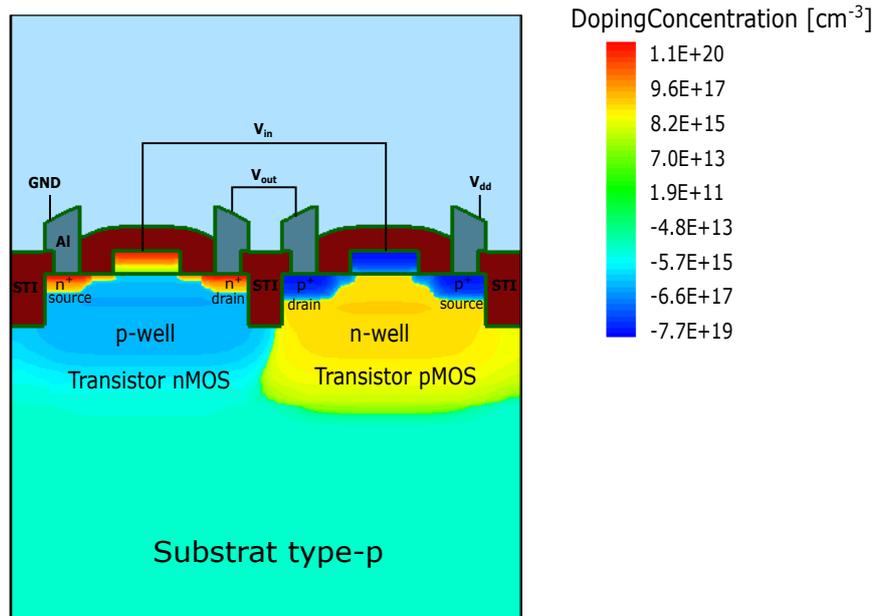


FIGURE 2.6 – Structure finale de l'inverseur CMOS.

**Simulation électrique :** L'analyse statique de l'inverseur CMOS est établie avec l'utilisation d'un transistor NMOS connecté à la masse (GND) et un transistor PMOS connecté à une tension  $V_{dd} = 2V$ . L'application d'une tension d'entrée  $V_{in} = 2V$  au niveau des grilles des deux transistors de l'inverseur a permis d'obtenir sa caractéristique de transfert (la tension de sortie au drain  $V_{out}$  en fonction de la tension d'entrée  $V_{in}$ ). La caractéristique de transfert résultante du circuit inverseur, dans un mode DC, contient une région *pull-up* du transistor PMOS et une région *pull-down* du transistor NMOS (Figure 2.7).

Par ailleurs, l'analyse transitoire (temporelle) de l'inverseur CMOS est établie également avec l'utilisation dans ce cas d'une capacité de charge à la sortie de l'inverseur qui est égale à  $30fF$ . Le signal d'entrée  $V_{in}$  présente une valeur initiale nulle et une impulsion de  $2V$ , un temps de montée et de décente égale à  $50ps$  et une longueur d'impulsion de  $100ps$  pour une durée de  $10s$ . La caractéristique de sortie obtenue (Figure 2.8) représente la charge et décharge de la capacité de charge  $C_L$  utilisée à travers le transistor PMOS et NMOS, respectivement.

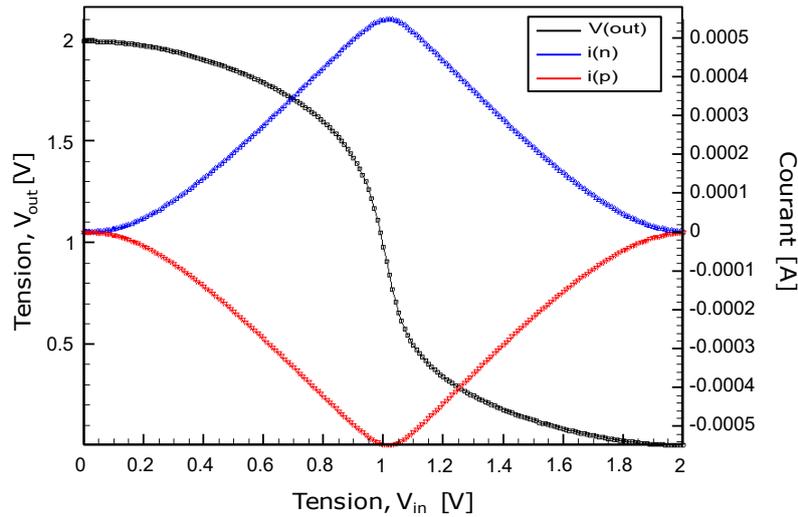


FIGURE 2.7 – La caractéristique de transfert VTC et les courants  $i_n$  et  $i_p$  des deux transistors du circuit inverseur CMOS.

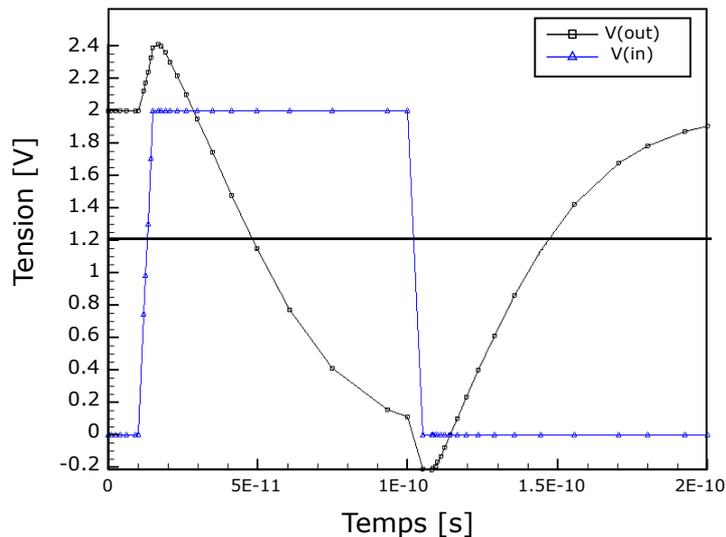


FIGURE 2.8 – La tension de sortie  $V_{out}$  du circuit inverseur CMOS.

## 2.4 Couplage induit par l'intégration 3D sur le composant

Le principal objectif de ce chapitre consiste en l'étude du couplage induit par le TSV sur les performances électriques des composants MOS et circuits CMOS. Cet objectif a été approché par étapes. Dans un premier temps, un modèle électrique d'une structure des composants MOS, à proximité d'un via traversant TSV, a été considéré par des simulations numériques à l'aide de l'outil TCAD. Ensuite, les études précédentes ont, par conséquent, permis de construire des bases solides pour aborder avec pertinence le couplage par le substrat du TSV sur les circuits CMOS. Pour ce faire, une implémentation d'un modèle analytique de circuits CMOS avec des TSVs est faite à l'aide de simulations circuit. Cette approche sera considérée afin de réduire le couplage substrat induit par la présence de ce genre d'interconnexions verticales sur les dispositifs électroniques en technologie 3D.

### 2.4.1 Approche numérique

Afin d'étudier l'impact des interconnexions TSVs sur les performances électriques de composants MOS et CMOS, une simulation numérique a été menée en utilisant toujours le simulateur Sentaurus-TCAD. Pour cela, la méthodologie mise en place dans le cadre de cette étude est décrite dans le prochain paragraphe.

#### Méthodologie

Afin de réduire le temps de calcul et minimiser la structure à mailler en éléments finis, une structure simplifiée a été considérée (Figure 2.9). Cependant, comme les dimensions du TSV sont beaucoup plus grandes que celles du transistor MOS, le maillage de l'ensemble est difficile en raison du nombre limité de nombre de nœuds de maillage. Par conséquent, le TSV est considéré comme un conducteur parfait et est représenté sur la structure comme une électrode appliquée sur toute la limite verticale gauche de la structure, c'est-à-dire que le potentiel parasite est directement appliqué sur toute la surface de l'isolation. De plus, au regard des grandes dimensions de ladite structure, un maillage tridimensionnel est une entreprise qu'il convient de considérer prudemment en termes de temps de calcul induit. C'est pourquoi il a été décidé dans cette étude de ne prendre en compte qu'une approche bidimensionnelle.

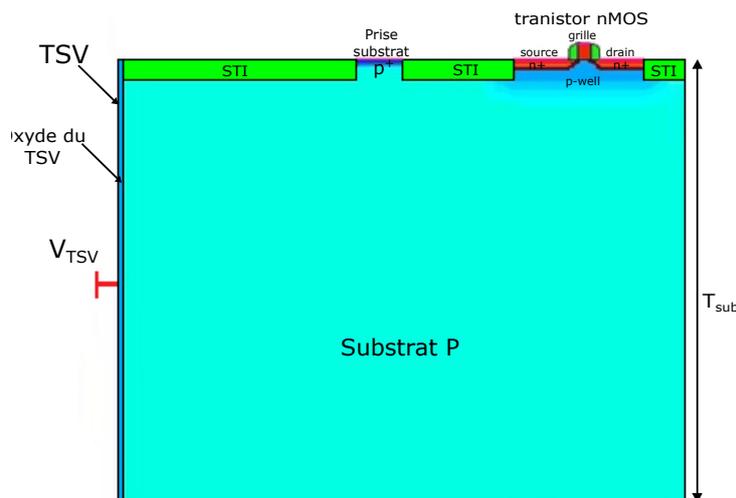


FIGURE 2.9 – Structure simplifiée bidimensionnelle d'un transistor NMOS placé à proximité d'un via traversant.

L'étude du couplage induit par l'intégration 3D a été réalisée avec des simulations transitoires afin d'observer (ou non) d'éventuelles variations sur les caractéristiques électriques des composants MOS. Pour cela, il est impératif, dans un premier temps, de mettre le transistor MOS utilisé dans un régime de saturation  $V_{GS} = V_{DS} = 1.5V$ . Dans un deuxième temps, en appliquant un potentiel parasite sur le TSV avec un signal carré d'une fréquence  $f = 200MHz$  et une amplitude maximale de  $1.2V$ . La variation induite sur le courant de sortie du drain en fonction des différents paramètres technologiques et électriques sera décrite dans ce qui suit. La Figure 2.10-a est une vue des lignes de potentiel se propageant dans le silicium au moment où le potentiel appliqué sur le TSV passe à  $1.2V$ , juste à la fin du temps du front de montée.

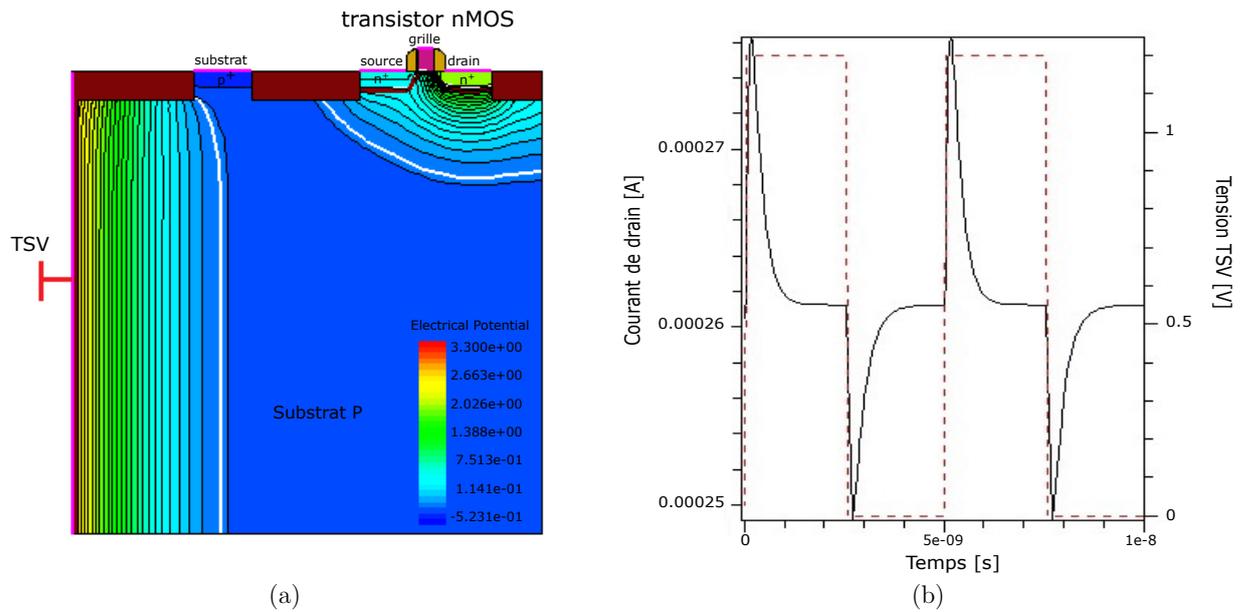


FIGURE 2.10 – (a) Coupe de distribution du potentiel électrique, et (b) impact du couplage induit par le TSV sur le courant de drain du transistor MOS.

L'influence du couplage induit par le TSV sur les performances électriques du transistor MOS se traduit par une variation maximale observée sur le courant de sortie de drain, comme il est présenté sur la Figure 2.10-b. Ces variations observées sur le courant de drain ne sont plus négligeables et surtout elles suivent un comportement capacitif. En effet, pour chaque front de montée ou de descente du potentiel appliqué sur le TSV, un phénomène de charge et de décharge est relevé sur le comportement du courant de drain.

Cette méthodologie est appliquée à toutes les simulations décrites ici. L'objectif de cette démarche est de tester différentes configurations géométriques de l'architecture 3D. Pour cela, différents paramètres technologiques et électrique sont définis pour jouer sur la géométrie de la structure. On appelle paramètres technologiques les épaisseurs de matériaux pouvant être modifiées lors du processus de fabrication et paramètres électriques les caractéristiques du signal créneau appliqué sur le TSV.

***i. Paramètres technologiques :***

- Épaisseur du substrat silicium ou bien longueur du TSV, notée  $T_{SUB}$  ;
- Épaisseur de l'oxyde d'isolation du TSV, notée  $T_{OX_{TSV}}$  ;
- Zone d'exclusion du TSV, qui correspond à la distance séparant le via du composant, notée  $D_{TSV}$ .

***ii. Paramètres électriques :***

- Le temps du front de montée / descente du signal créneau appliqué sur le TSV, notée  $t_{rf}$ .

La gamme de valeurs étudiées pour ces paramètres est décrite sur la Table 2.2 [8]. Ces valeurs ou dimensions sont représentatives de ce qui peut être réalisé technologiquement.

TABLE 2.2 – Gamme de valeurs des différents paramètres technologiques et électriques étudiés.

| Paramètres                                      | Gamme de valeurs       |
|---|------------------------|
| Épaisseur du substrat ( $T_{SUB}$ )             | 5 – 20 ( $\mu m$ )     |
| Épaisseur d'isolation du TSV ( $T_{OX_{TSV}}$ ) | 0,05 - 0,5 ( $\mu m$ ) |
| Zone d'exclusion ( $D_{TSV}$ )                  | 2 – 10 ( $\mu m$ )     |
| Temps du front de montée/descente ( $t_{rf}$ )  | 20-300 ( $ps$ )        |

### Optimisation des paramètres technologiques et électriques

Dans cette étude particulière au TSV, à l'aide des simulations TCAD, nous allons établir une optimisation des différents paramètres décrits au paragraphe précédent, à savoir l'épaisseur du substrat, la zone d'exclusion, le temps du front de montée/descente et l'épaisseur d'isolation du TSV.

– **Épaisseur du substrat :**

L'épaisseur du substrat, ou autrement dit la longueur du TSV, est un paramètre technologique des plus importants en ce qui concerne l'intégration 3D. Ce paramètre impose directement le diamètre des vias selon les conditions des facteurs de forme possible pour les TSVs. Dans notre cas d'étude, nous avons considéré une gamme de valeurs qui correspond au processus technologique réel considéré pour une intégration 3D haute densité [8]. Comme stipulé dans la Table 2.2, la gamme d'épaisseurs de silicium étudiée varie de  $5\mu m$  jusqu'à une épaisseur pas au-delà de  $20\mu m$ . Cette valeur limite est imposée par le grand nombre de mailles qui seraient alors nécessaires.

En reprenant la même étude transitoire présentée auparavant, les variations dynamiques concomitantes observées sur le courant de drain du transistor MOS sont relevées et présentées sur la Figure 2.11. Ce transistor MOS est placé à une distance de  $6\mu m$  du TSV. L'impact de l'épaisseur d'oxyde du TSV,  $T_{OX_{TSV}}$  est également considéré. Une épaisseur minimale de  $0,05\mu m$  a été considérée. Elle ne peut pas être réduite davantage pour des raisons technologiques : une couche trop mince pourrait créer des problèmes d'isolation. Une épaisseur maximale de  $0,5\mu m$  a été retenue : l'épaisseur d'oxyde du TSV ne doit pas être beaucoup plus épaisse, pour des recommandations technologiques, afin d'éviter l'augmentation du diamètre du TSV.

On peut voir clairement que l'épaisseur du substrat a un impact significatif sur les performances électriques des transistors MOS. Cela est expliqué par le fait que le courant de drain est dépendant de la tension de seuil du transistor. Dans l'intervalle des valeurs de  $T_{SUB}$  considéré, l'épaisseur de l'oxyde d'isolation du TSV a également une influence significative sur les dispositifs à proximité, d'où l'augmentation d'un tel paramètre sert à réduire le couplage du substrat.

– **Zone d'exclusion :**

La zone d'exclusion, ou la distance séparant le TSV du composant, est un paramètre de conception important car il constitue une règle de dessin propre aux intégrations 3D. Son influence sur les composants MOS est modélisée pour une gamme de distances qui varie de 2 à  $10\mu m$ . Ces distances sont maintenues dans cette gamme de valeurs qui ne sont pas inférieures à  $2\mu m$ , afin de tenir compte de la contrainte de désalignement des TSVs par rapport aux dispositifs voisins, et pas plus de  $10\mu m$

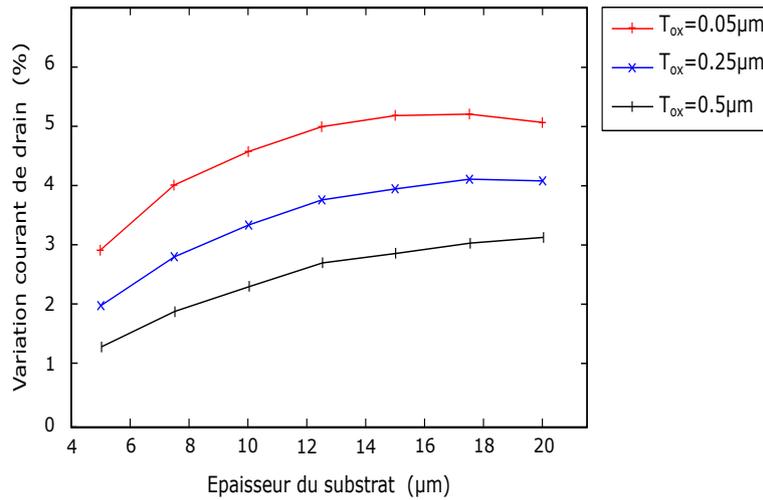


FIGURE 2.11 – Variations dynamiques maximales du courant de drain en fonction de l'épaisseur du substrat  $T_{SUB}$  pour différentes épaisseurs d'isolation du TSV et pour une zone d'exclusion de  $6\mu m$ .

afin de garder une densité d'intégration suffisamment importante.

L'impact de ce paramètre peut être vu clairement à travers la Figure 2.12 qui montre une variation considérable observée sur le courant de drain du transistor MOS en fonction de cette zone d'exclusion. L'épaisseur du substrat dans ce cas est fixée à  $10\mu m$  et l'épaisseur d'oxyde du TSV est également considérée avec les mêmes valeurs considérées auparavant. Cependant, d'après les résultats obtenus, il est bien évident que le couplage du substrat diminue lorsque la distance d'exclusion augmente, alors qu'il est maximal à une distance minimale ( $2\mu m$ ). Dans ce cas également, l'augmentation de l'épaisseur d'oxyde du TSV peut atténuer le couplage du substrat. Il semblerait qu'à faible épaisseur d'isolation (i.e.  $0,05\mu m$ ), la zone d'exclusion a une influence plus importante sur le courant de drain.

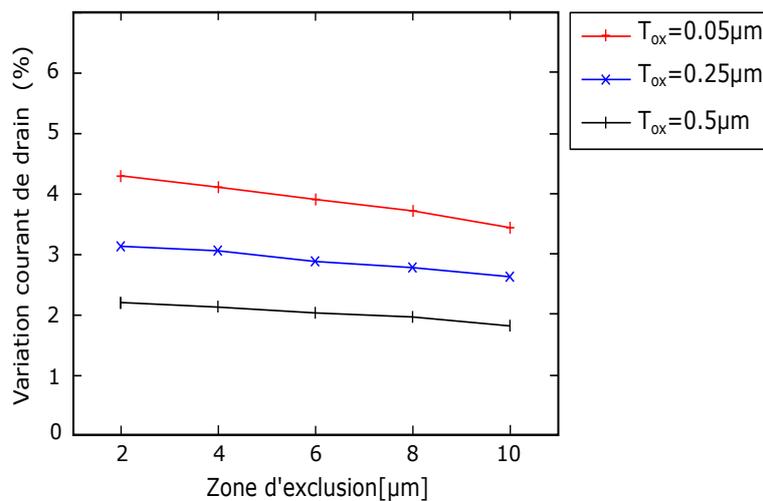


FIGURE 2.12 – Variations dynamiques maximales du courant de drain en fonction de la zone d'exclusion  $D_{TSV}$  pour différentes épaisseurs d'isolation du TSV et pour une épaisseur de substrat de  $10\mu m$ .

– *Temps de montée/descente du potentiel TSV :*

Nous venons de voir le phénomène de couplage induit par le TSV sur les composants MOS en fonction des différents paramètres technologiques et conceptuels. Il est intéressant de se pencher maintenant sur la source de ce couplage, à savoir les signaux dynamiques appliqués sur le TSV, et d'étudier leur influence sur le couplage en fonction de leurs caractéristiques propres. Une de ces caractéristiques ou paramètres essentiels est le temps du front de montée et de descente du signal créneau appliqué sur le TSV,  $t_{rf}$ .

Pour ce faire, nous avons considéré dans cette étude une structure géométrique fixée selon les observations précédemment établies. Le transistor MOS est placé à la proximité du TSV avec une distance moyenne de  $6\mu m$  et une épaisseur de substrat de l'ordre de  $10\mu m$ . Deux valeurs d'épaisseur d'oxyde du TSV sont considérées, avec une valeur minimale de  $0.05\mu m$  et une épaisseur moyenne de  $0.25\mu m$ . L'étude de l'influence de ce paramètre électrique, le temps de montée / descente, sur les caractéristiques électriques des composants MOS, est faite pour une gamme de valeurs de 20 à 300 ps. Les variations observées sur le courant de drain du transistor MOS en fonction de ce paramètre sont décrites dans la Figure 2.13. On peut noter sur cette figure l'influence du temps de montée et descente du front de potentiel sur l'intensité du couplage, il apparaît clairement que les temps courts engendrent un couplage plus conséquent par rapport à des temps longs.

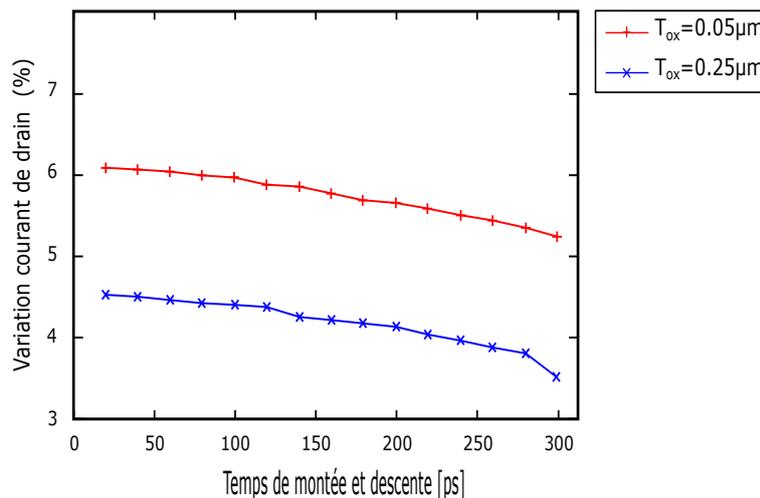


FIGURE 2.13 – Variations dynamiques maximales du courant de drain en fonction du temps de montée et de descente du front de potentiel pour différentes épaisseurs d'isolation du TSV.

## 2.4.2 Approche analytique

L'utilisation d'une approche analytique consiste en le développement d'un modèle circuit pour étudier le couplage dans le substrat qui a un intérêt double. Premièrement, cela permettra une compréhension physique plus profonde des différents phénomènes parasites et les mécanismes pour les minimiser. Deuxièmement, il est important de définir des approches de simulation simples et rapides pour modéliser ces effets parasites au niveau du circuit. Pour cela, on se propose dans notre étude un modèle électrique compact relatif au substrat contenant des composants MOS ou circuits CMOS à la proximité d'un via traversant.

## Modèle électrique compact du substrat

Le modèle électrique compact du substrat est défini par l'étude du réseau distribué du substrat ainsi que le circuit équivalent du via traversant.

### *i. Le réseau distribué du substrat*

Généralement, un circuit équivalent représentant le couplage à travers un substrat est composé de deux composantes verticales ( $R_{ver}$  et  $C_{ver}$ ) et latérales ( $R_{lateral}$  et  $C_{lateral}$ ), (Figure 2.14). En effet, le silicium présente à la fois des caractéristiques conductrices et diélectriques, qui peuvent être traduites par un effet résistif et un effet capacitif, respectivement. Selon la fréquence utilisée, le substrat peut être considéré et modélisé comme un réseau purement résistif ou résistif et capacitif.

Aux basses fréquences, la résistance du substrat est importante et la capacité est négligeable alors qu'au-delà d'une certaine fréquence de transition  $f_T$ , décrites auparavant dans l'équation 2.1, l'effet capacitif est pris en compte. Pour ce faire, les expressions générales de ces résistances et capacités équivalentes pour l'évaluation du couplage à travers le substrat de silicium peuvent être déduites simplement à travers la littérature comme [89, 93] :

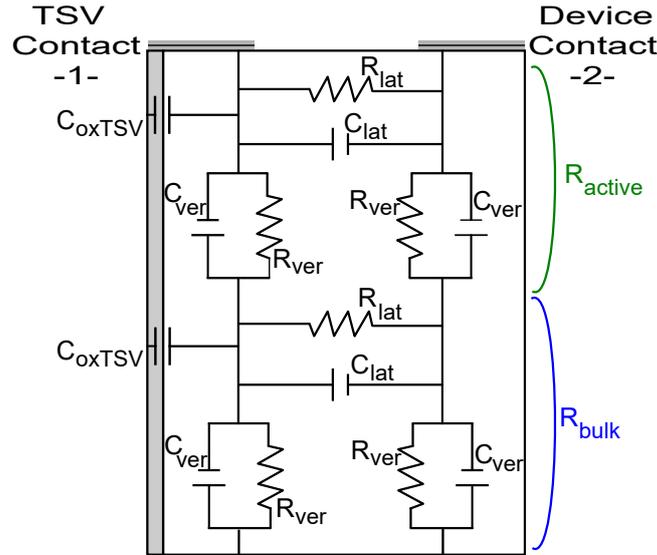


FIGURE 2.14 – Modèle électrique équivalent du substrat de silicium contenant un TSV.

$$R_{ver} = \left[ K_1 \frac{\sigma_{Si} S_{pad}}{T_{SUB}} \right]^{-1} \quad (2.9)$$

$$C_{ver} = K_1 \frac{\epsilon_0 \epsilon_{Si} S_{pad}}{T_{SUB}} \quad (2.10)$$

$$R_{Lat} = \left[ K_2 \frac{\pi \sigma_{Si}}{4 \ln \left[ \frac{\pi (D_{TSV} - W)}{W + t} + 1 \right]} \right]^{-1} \quad (2.11)$$

$$C_{Lat} = K_2 \frac{\pi \epsilon_0 (\epsilon_{Si} + 1)}{4 \ln \left[ \frac{\pi (D_{TSV} - W)}{W + t} + 1 \right]} W \quad (2.12)$$

Où  $S_{pad} = W * W$  est la surface du *pad*,  $\sigma_{Si}$  est la conductivité du silicium,  $T_{SUB}$  est l'épaisseur du substrat,  $D_{TSV}$  la distance entre les deux *pads*,  $t$  l'épaisseur des conducteurs,  $K_1$  et  $K_2$  représentent les coefficients de franges (*fringing factors*) qui pourrait être défini comme [8].

$$K_1 = C_e \frac{D_{TSV}}{\epsilon_0 \epsilon_{Si} S_{pad}} \quad (2.13)$$

$$K_2 = (C_o - C_e) \frac{2 \ln \left[ \frac{\pi (d - W)}{W + t} + 1 \right]}{\pi \epsilon_0 (\epsilon_{Si} + 1) W} \quad (2.14)$$

Où  $C_o$  et  $C_e$  sont les capacités équivalentes des modes pair et impair pour deux lignes de *microstrip* couplées à extrémités ouvertes définies l'équation 2.15.

$$C_{e,o} = \frac{\sqrt{\mu_0 \epsilon_0 \epsilon_{eff\ e,o}}}{Z_{C\ e,o}} W + C_{f\ e,o} \quad (2.15)$$

Où  $\epsilon_{eff\ e,o}$  and  $Z_{C\ e,o}$  présentent les permittivités effectives et les impédances caractéristiques, respectivement.  $C_{f\ e,o}$  exprime les capacités de franges (*fringing capacitances*). Leurs expressions sont définies à partir de [94] pour  $u = \frac{w}{T_{SUB}}$  et  $g = \frac{D_{TSV}}{T_{SUB}}$ .

**La permittivité effective**  $\epsilon_{eff\ e,o}(0)$  pour les deux modes pairs et impairs :

$$\epsilon_{eff\ e}(0) = 0.5(\epsilon_{si} + 1) + 0.5(\epsilon_{si} - 1) \cdot (1 + 10/v)^{-a(v) \cdot b(\epsilon_{si})} \quad (2.16)$$

$$\text{Où } \begin{cases} v = u(20 + g^2)/(10 + g^2) + g \cdot \exp(-g) \\ a_e(v) = 1 + \ln((v^4 + (v/52)^2)/(v^4 + 0.432))/49 + \ln(1 + (v/18.1)^3)/18.7 \\ b_e(\epsilon_{si}) = 0.564((\epsilon_{si} - 0.9)/(\epsilon_{si} + 3))^{0.053} \end{cases}$$

$$\epsilon_{eff\ o}(0) = 0.5(\epsilon_{si} + 1) + a_0(u, \epsilon_{si}) + \epsilon_{eff}(0) \cdot \exp(-c_0 \cdot g^{d_0}) + \epsilon_{eff}(0) \quad (2.17)$$

$$\text{Où } \begin{cases} a_0(u, \epsilon_r) = 0.7287(ef f(0) - 0.5(\epsilon_{si} + 1)) \cdot (1 - \exp(-0.179u)) \\ b_0(\epsilon_r) = 0.747\epsilon_r / (0.15 + \epsilon_{si}) \\ c_0 = b_0(\epsilon_{si}) - (b_0(\epsilon_{si}) - 0.207) \cdot \exp(-0.414u) \\ d_0 = 0.593 + 0.694 \cdot \exp(-0.562u) \end{cases}$$

$$\text{Avec } \begin{cases} \epsilon_{eff}(0) = \frac{\epsilon_{si} + 1}{2} \left[ 1 - \frac{1}{2H'} \left( \frac{\epsilon_{si} - 1}{\epsilon_{si} + 1} \right) \left( \ln \frac{\pi}{2} + \frac{1}{\epsilon_r} \ln \frac{4}{\pi} \right) \right]^{-2} \\ H' = \ln(4/u + \sqrt{16/u^2 + 2}) \end{cases}$$

**L'impédance caractéristique :**  $Z_{c_{e,o}}(0)$  pour les deux modes pairs et impairs :

$$Z_{c_e}(0) = Z_c(0) \cdot \left( \frac{\epsilon_{eff}(0)}{\epsilon_{eff_e}(0)} \right)^{0.5} \cdot 1 / \left( 1 - \left( \frac{Z_L(0)}{377} \right) \cdot (\epsilon_{eff}(0)^{0.5} \cdot Q_4) \right) \quad (2.18)$$

$$\text{Où} \begin{cases} Q_1 = 0.8695 \cdot u^{0.194} \\ Q_2 = 1 + 0.7519g + 0.189 \cdot g^{2.31} \\ Q_3 = 0.1975 + (16.6 + (8.4/g)^6)^{-0.387} + \ln(g^{10}/(1 + (g/3.4)^{10}))/241 \\ Q_4 = (2Q_1/Q_2) \cdot (\exp(-g) \cdot u^{Q_3} + (2 - \exp(-g)) \cdot u^{-Q_3})^{-1} \end{cases}$$

$$Z_{c_o}(0) = Z_c(0) \cdot \left( \frac{\epsilon_{eff}(0)}{\epsilon_{eff_o}(0)} \right)^{0.5} \cdot 1 / \left( 1 - \left( \frac{Z_c(0)}{377} \right) \cdot (\epsilon_{eff}(0)^{0.5} \cdot Q_{10}) \right) \quad (2.19)$$

$$\text{Où} \begin{cases} Q_5 = 1.794 + 1.14 \ln(1 + 0.638/(g + 0.517g^{2.43})) \\ Q_6 = 0.2305 + \ln(g^{10}/(1 + (g/5.8)^{10}))/281.3 + \ln(1 + 0.5998g^{1.154})/5.1 \\ Q_7 = (10 + 190g^2)/(1 + 82.3g^3) \\ Q_8 = \exp(-6.5 - 0.95 \ln(g) - (g/0.15)^5) \\ Q_9 = \ln(Q_7) \cdot (Q_8 + 1/16.5) \\ Q_{10} = Q_2^{-1} \cdot (Q_2 Q_4 - Q_5 \cdot \exp(\ln(u) \cdot Q_6 \cdot u^{-Q_9})) \end{cases}$$

$$\text{Avec : } Z_0(0) = \frac{119.9}{\sqrt{2(\epsilon_{si} + 1)}} \left[ \ln(4/u + \sqrt{16/u^2 + 2}) - \frac{1}{2} \left( \frac{\epsilon_{si} - 1}{\epsilon_{si} + 1} \right) \left( \ln \frac{\pi}{2} + \frac{1}{\epsilon_{si}} \ln \frac{4}{\pi} \right) \right]$$

**Les capacités de franges :**  $C_{f_{e,o}}$  pour les deux modes pairs et impairs sont définit par la formule 2.20 [95] :

$$C_{f_{e,o}} \approx \frac{l_{e,o} \sqrt{\epsilon_{eff_{e,o}}}}{c Z_{c_{e,o}}} \quad (2.20)$$

$$\text{Où} \left\{ \frac{l_{e,o}}{t_{Si}} = R_1 R_3 R_5 R_4 \right.$$

$$\text{Avec} \begin{cases} R_1 = 0.434907 \frac{\epsilon_{eff}^{0.81+0.26} u^{0.8544+0.236}}{\epsilon_{eff}^{0.81-0.189} u^{0.8544+0.87}} \\ R_2 = 1 + \frac{u^{0.371}}{2.358\epsilon_{si}+1} \\ R_3 = 1 + \frac{0.5274 \tan^{-1}[0.084(u)^{1.9413/R_2}]}{\epsilon_{eff}^{0.9236}} \\ R_4 = 1 + 0.0377 \tan^{-1}[0.067 \cdot u^{1.456}] \cdot (6 - 5 \exp[0.036(1 - \epsilon_{si})]) \\ R_5 = 1 - 0.218 \exp(-7.5u) \end{cases}$$

En effet, le réseau distribué des résistances et capacités du substrat ont des valeurs qui sont directement liées au dopage local de la structure. Puisque la concentration de dopage n'est pas constante dans tout le substrat, la région superficielle fortement dopée, appelée 'active', est modélisée comme une résistance équivalente  $R_{active}$  et une capacité équivalente  $C_{active}$ . A l'inverse, au fond du substrat de silicium massif, le dopage est constant. Celle-ci est considérée comme une région appelée 'bulk' modélisée avec une résistance homogène, dénommée  $R_{bulk}$  ainsi qu'une capacité équivalente  $C_{bulk}$ , comme on peut le voir sur la Figure 2.14. Cependant, pour notre cas d'étude, la région globale du silicium massif est considérée avec une résistivité élevée de  $3,40\Omega.cm$  alors que la région fortement dopée avec une faible résistivité de  $0,072\Omega.cm$  [8]. La profondeur de la région active, qui détermine la répartition entre les deux régions, vaut  $1\mu m$  dans ce modèle.

Les valeurs des différentes composantes de la structure considérée, avec un TSV placé sur le bord gauche, peuvent être déterminées à partir des expressions analytiques exprimées ci-dessus en fonction de différents paramètres tels que l'épaisseur du substrat et la distance entre le TSV et les contacts des dispositifs. Les valeurs des capacités calculées à partir de ces expressions sont très faibles (inférieures à  $0,2fF$ ) et négligeables, ce qui rend le réseau de substrat considéré comme purement résistif. Au contraire, il existe une forte dépendance de la résistance du réseau de substrat à la géométrie de la structure.

Ainsi, pour une épaisseur importante du silicium (la longueur du TSV), la contribution au couplage de la composante horizontale de la résistance silicium est restreinte (on diminue la résistance par mise en jeu d'une section de silicium plus importante), alors que l'influence de la contribution verticale sur l'augmentation de la résistance dans cette direction est nette. Par ailleurs, la résistance de la zone active ne varie pas selon l'épaisseur du substrat. Sa contribution est donc stable quelle que soit sa valeur, comme le montre la Figure 2.15.

Par contre, l'augmentation de la zone d'exclusion séparant le TSV du contact du dispositif, permet d'augmenter les résistances latérales des deux régions (Figure 2.16), et beaucoup plus de la région active à cause de sa faible résistivité qui joue une part importante dans la propagation du couplage substrat.

### ii. Circuit équivalent du TSV

La modélisation électrique de la structure du TSV, placé à la proximité du dispositif électronique, se fait par la considération du TSV comme une capacité distribuée sur l'ensemble de la profondeur de silicium, englobant ainsi le silicium massif et la couche active. Cette configuration particulière est à l'origine des comportements inhérents aux mécanismes de couplage observés sur les caractéristiques électriques des composants voisins. L'expression analytique de cette capacité équivalente est exprimée par [96] :

$$C_{ox} = \frac{2\pi\epsilon_{ox}T_{SUB}}{\ln\left(\frac{R_{ox}}{R_{metal}}\right)} \quad (2.21)$$

Où  $R_{ox}$  est le rayon de l'oxyde du TSV,  $R_{metal}$  le rayon du métal du TSV  $\epsilon_{ox}$  est la permittivité de l'oxyde,  $T_{SUB}$  l'épaisseur du substrat (Figure 2.17). Cette capacité équivalente dépend uniquement de la variation de l'épaisseur du substrat. Les valeurs calculées en fonction de ce dernier paramètre sont présentées sur la Table 2.3 par la considération de différentes épaisseurs d'oxyde du TSV.

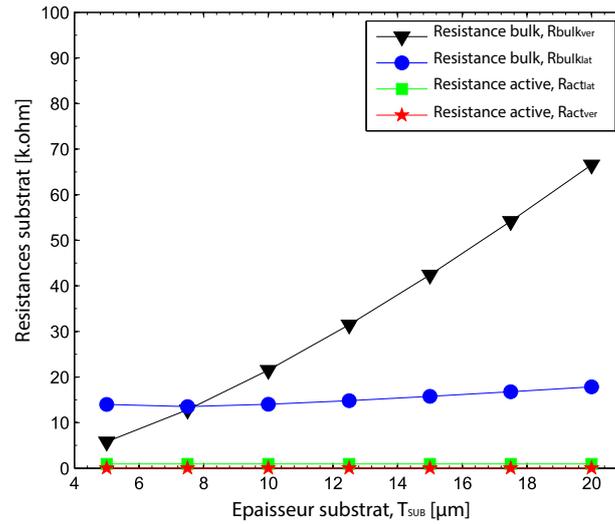


FIGURE 2.15 – Résistances équivalentes verticales et latérales de la structure en fonction de l'épaisseur du substrat,  $T_{SUB}$ .

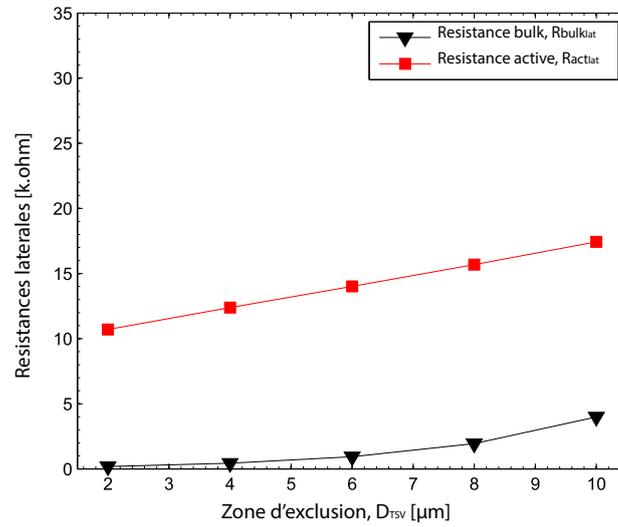


FIGURE 2.16 – Résistances équivalentes latérales de la structure en fonction de la zone d'exclusion,  $D_{TSV}$ .

TABLE 2.3 – Capacité totale de la couche d'isolation du TSV en fonction de l'épaisseur du substrat.

| $N_{sub} = 2e15A/cm - 3$ | $T_{OX_{TSV}} = 0.05\mu m$ | $T_{OX_{TSV}} = 0.25\mu m$ | $T_{OX_{TSV}} = 0.5\mu m$ |
|--------------------------|----------------------------|----------------------------|---------------------------|
| $l_{TSV}(\mu m)$         | $C_{ox}(fF)$               | $C_{ox}(fF)$               | $C_{ox}(fF)$              |
| 5                        | 22.19                      | 4.85                       | 2.67                      |
| 7.5                      | 33.29                      | 7.27                       | 4.01                      |
| 10                       | 44.39                      | 9.707                      | 5.34                      |
| 12.5                     | 55.48                      | 12.127                     | 6.67                      |
| 15                       | 66.57                      | 14.54                      | 8.02                      |
| 17.5                     | 77.66                      | 16.767                     | 9.35                      |
| 20                       | 88.79                      | 19.41                      | 10.68                     |

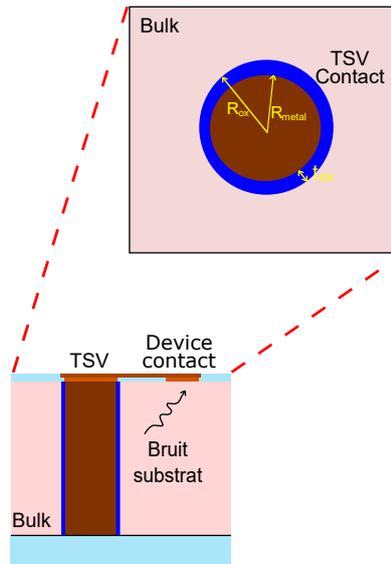


FIGURE 2.17 – Vue schématique du TSV ainsi que ses paramètres liés à la capacité de la couche d’isolation.

### Impact du TSV sur les composants MOS

Afin d’étudier l’impact du TSV sur les composants MOS, une structure composée d’un transistor MOS placé à la proximité d’un via est modélisé avec une approche de simulation circuit ‘*SPICE*’ à l’aide de l’outil HSpice-Synopsys [97]. Les transistors MOS sont modélisés avec le modèle compact BSIM4, comme il est décrit dans [98], en utilisant une technologie 65nm, une longueur de canal de transistor de 50 nm et une épaisseur d’oxyde de grille de 3,2nm. L’influence du TSV sur les dispositifs MOS est investiguée en fonction des mêmes paramètres technologiques et électriques étudiés auparavant (épaisseur substrat, zone d’exclusion et le temps de montée/descente du signal).

Le schéma électrique du modèle utilisé, composé des différents éléments définis dans les paragraphes précédents, est représenté sur la Figure 2.18. On note clairement à partir de cette figure la présence des deux contacts ; le premier contact “*contact1*” du TSV ainsi que le deuxième contact “*contact2*” du dispositif qui correspond au contact de substrat du transistor MOS.

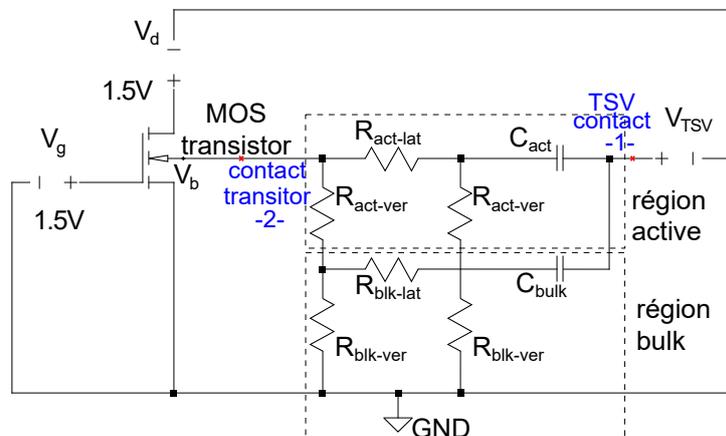


FIGURE 2.18 – Schéma électrique du circuit utilisé pour l’étude de l’impact du TSV sur un transistor MOS.

L'étude transitoire du bruit induit par le TSV sur les transistors MOS, de type N et P, se fait par l'application d'un potentiel parasite sur le TSV. Celui-ci est modélisée comme une source de tension d'un signal carré avec une amplitude maximale de  $1.2V$  et d'une fréquence  $f = 200MHz$ . La variation induite sur le courant de drain  $I_d$  et la tension relevée sur le contact substrat du transistor MOS  $V_b$  est présentée sur la Figure 2.19.

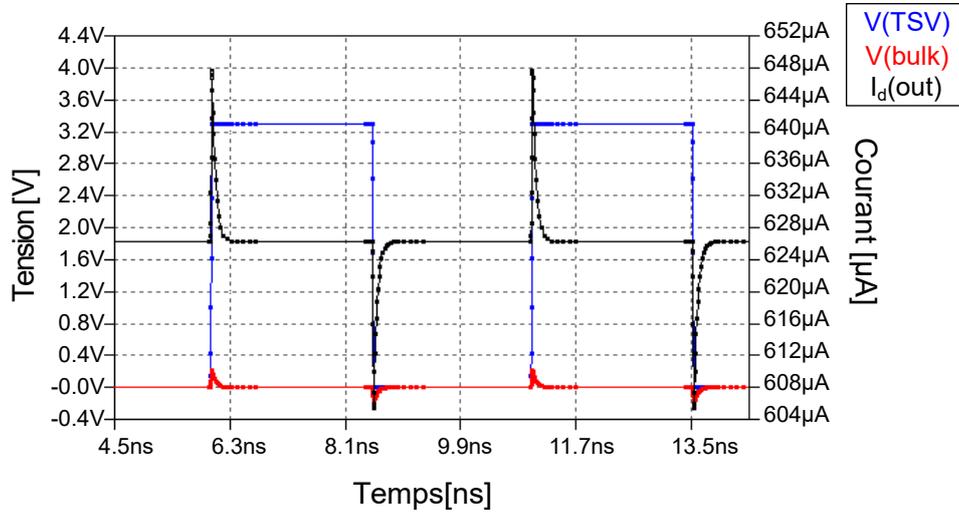


FIGURE 2.19 – Impact du TSV sur le courant de drain et la tension substrat d'un TMOS.

### Optimisation des paramètres technologiques et électriques

Afin d'étudier l'impact du couplage induit par le TSV sur les performances électriques des transistors NMOS et PMOS, nous allons établir dans cette partie une optimisation des différents paramètres décrits auparavant, à savoir l'épaisseur du substrat, la zone d'exclusion le temps du front de montée/descente et l'épaisseur d'isolation du TSV.

#### – Épaisseur du substrat :

Le premier paramètre étudié concernant l'épaisseur du substrat, qui est liée directement à la longueur du TSV, varie dans une gamme de  $5\mu m$  à  $20\mu m$ . Le contact du TSV est placé à une distance de  $6\mu m$  des deux transistors NMOS et PMOS. Le pourcentage des variations observées sur le courant de drain et la tension substrat de ces transistors MOS est présenté sur les Figures 2.20(a-b). L'impact de l'épaisseur d'oxyde du TSV,  $T_{OX_{TSV}}$  est également considéré dans ces figures, avec deux valeurs différentes ( $0.05$  et  $0.25\mu m$ ).

On peut voir clairement que l'épaisseur du substrat a un impact sur les performances électriques des transistors MOS. Il apparaît que le couplage est minimal lorsque l'épaisseur de silicium est la plus fine possible. Ceci s'explique par l'augmentation de la composante verticale du réseau de résistance de la région substrat avec l'augmentation de  $T_{SUB}$ . De plus, une saturation est observée à partir de  $10\mu m$  qui est, dans ces conditions, le résultat du quasi équilibre qui s'établit entre les effets antagonistes (augmentation de la contribution verticale de la résistance répartie dans le silicium massif,  $R_{bulk}$  et augmentation de  $C_{OX_{TSV}}$ ) que nous venons de mentionner. Il est important aussi de noter que les effets de couplage négatifs induits sont plus importants dans le cas d'un transistor à canal P que dans le cas du transistor à canal N, car l'effet *Body* est plus prononcé. D'autre part, l'épaisseur de l'oxyde du

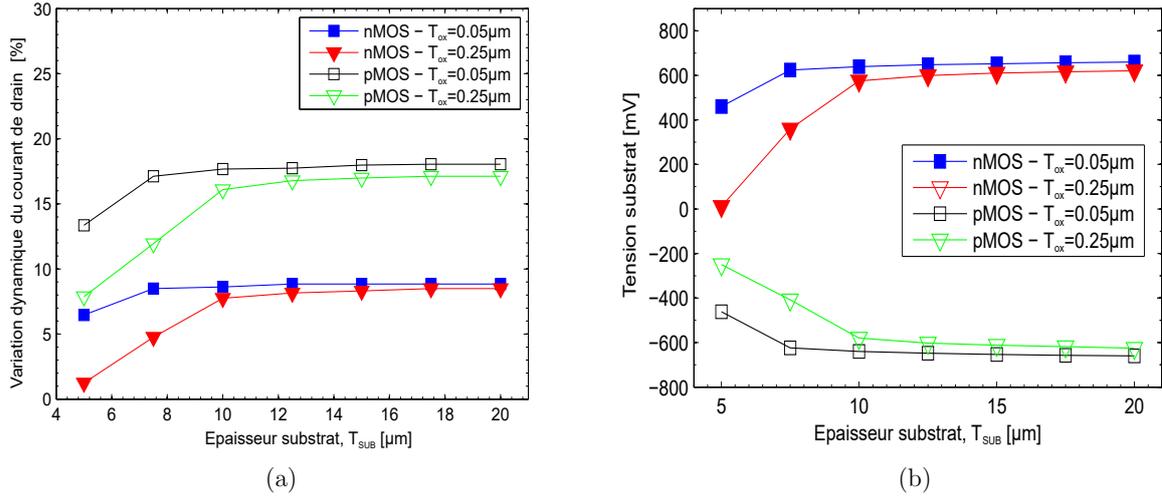


FIGURE 2.20 – (a) Variations dynamiques maximales du courant de drain en fonction de l'épaisseur du substrat  $T_{SUB}$ , (b) Variations dynamiques maximales de la tension substrat en fonction de l'épaisseur du substrat  $T_{SUB}$ .

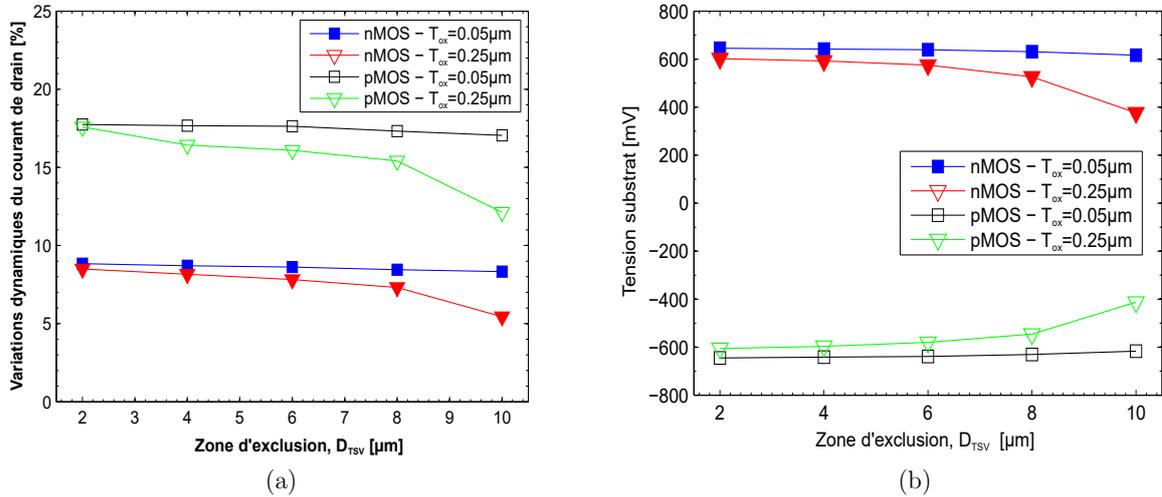


FIGURE 2.21 – (a) Variations dynamiques maximales du courant de drain en fonction de la zone d'exclusion  $D_{TSV}$ , (b) Variations dynamiques maximales de la tension substrat en fonction de la zone d'exclusion  $D_{TSV}$ .

TSV a une influence significative sur les dispositifs à proximité, d'où l'augmentation d'un tel paramètre réduit le couplage du substrat.

– **Zone d'exclusion :**

La distance entre le TSV et le contact des composants MOS est maintenue dans ce cas dans une gamme de valeurs entre  $2 \mu m$  et  $10 \mu m$  avec une épaisseur du substrat fixée à  $10 \mu m$ . Son impact sur les transistors MOS peut être vu clairement à travers les Figures 2.21(a-b). Ces figures montrent la variation considérable de la tension substrat et le courant de drain en fonction de ce paramètre de la zone d'exclusion.

A partir des deux figures, il est évident qu'à une distance minimale, le couplage du substrat est plus élevé tandis qu'à une distance maximale, le couplage est plus bas. Ceci s'explique par l'augmentation de la composante latérale des résistances de la région *active* et la région *bulk*.

– **Temps de montée/descente du potentiel TSV :**

L'influence du paramètre électrique concernant le temps de montée/descente du potentiel TSV est étudiée dans cette partie. Ce dernier exprime le temps de transition entre deux états 1 et 0 de la tension carrée appliquée au TSV et a une influence directe sur la charge et la décharge de la capacité d'oxyde du via.

Ainsi, pour un cas d'étude des dispositifs MOS placés à  $6\mu m$  du contact TSV avec une épaisseur de substrat de  $10\mu m$ , l'impact du couplage induit par le via sur les performances électriques des transistors MOS est étudié en fonction du temps de montée / descente qui varie dans une gamme de valeur de  $20ps$  à  $300ps$ . Les Figures 2.22(a-b) présentent les variations de la tension substrat et le courant de drain dans les transistors MOS en fonction du  $t_{r,f}$  pour des épaisseurs d'oxyde du TSV de  $0.05\mu m$  et  $0.25\mu m$ .

Des deux figures, il est évident que l'influence du temps de montée et descente du front de potentiel sur l'intensité du couplage est plus conséquente lorsque ce dernier est le plus petit. En outre, l'oxyde du TSV a toujours une influence significative sur le couplage induit par le via traversant. L'augmentation de l'épaisseur d'oxyde diminue le couplage induit par l'impact dynamique du TSV sur le potentiel de substrat. Il se comporte comme une couche de protection au bruit du via.

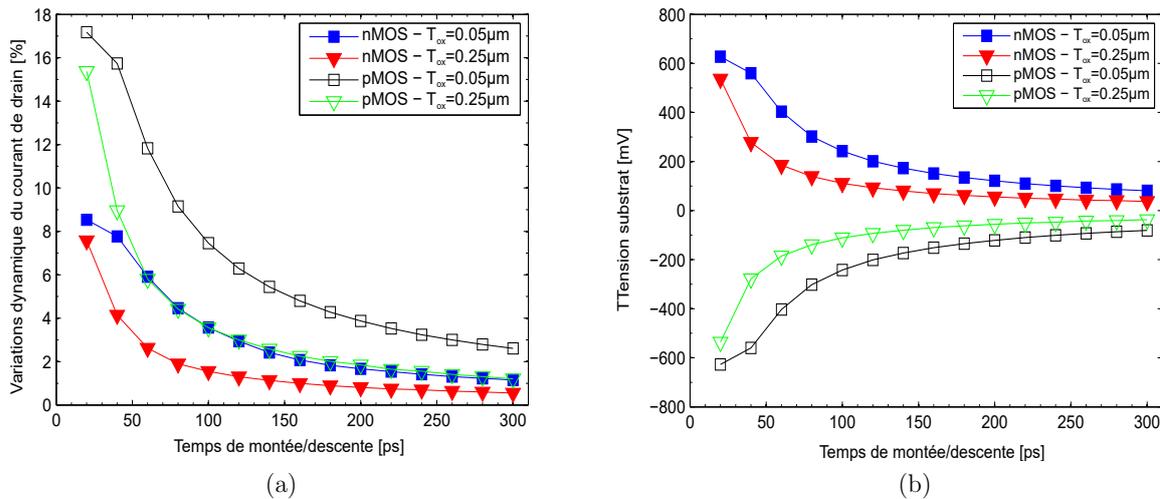


FIGURE 2.22 – (a) Variations dynamiques maximales du courant de drain en fonction du temps de montée/descente du potentiel TSV,  $t_{r,f}$ , (b) Variations dynamiques maximales de la tension substrat en fonction du temps de montée/descente du potentiel TSV,  $t_{r,f}$ .

## 2.5 Couplage induit par l'intégration 3D sur les circuits CMOS

Nous venons de voir que l'utilisation d'une approche analytique pour l'étude de l'influence du TSV sur les composants MOS a permis d'avoir des résultats approximative aux résultats obtenus de l'approche numérique considérée auparavant, dont l'approche analytique semble surestimer l'impact du TSV. Cependant, cette différence ne dépasse pas plus de 2%. Le bon accord avec les résultats obtenus de cette approche proposée confirme

la possibilité de l'utiliser pour évaluer l'impact des interconnexions 3D-TSV sur les performances des circuits CMOS, et particulièrement dans cette partie l'inverseur CMOS et l'oscillateur en anneau.

### 2.5.1 Couplage induit par l'intégration 3D sur un inverseur CMOS

Nous allons dans cette partie étudier l'influence du couplage induit par le via traversant sur les caractéristiques électriques d'un inverseur CMOS. Pour ce faire, la méthodologie considérée en utilisant l'approche analytique décrite auparavant ainsi que l'optimisation des différents paramètres technologiques seront discutés dans ces prochains paragraphes.

#### Méthodologie

Le modèle électrique pour l'analyse de l'impact TSV sur l'inverseur CMOS nécessite l'utilisation des deux transistors MOS, de type N et P, comme indiqué sur le schéma électrique de la Figure 2.23. Ceci est réalisé en utilisant un modèle basé sur SPICE avec l'outil d'analyse de circuit HSpice. Les deux transistors sont modélisés en utilisant toujours le modèle compact BSIM4 qui sont reliés directement au réseau des résistances du substrat discuté auparavant.

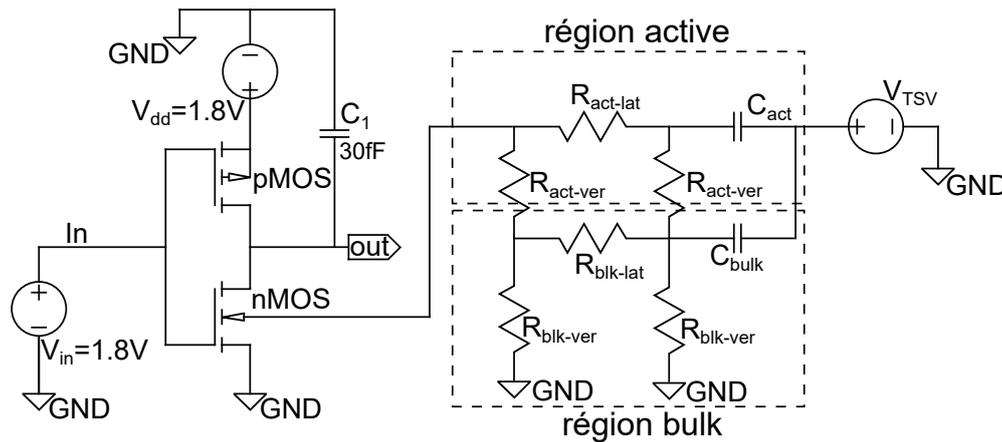


FIGURE 2.23 – Vue schématique du circuit modélisé sous SPICE pour l'étude de l'impact du TSV sur un circuit inverseur CMOS.

L'influence du TSV est étudiée par l'application d'un potentiel parasite sur le TSV, modélisée comme une source de tension d'un signal carré avec une amplitude maximale d'une tension de  $3.3V$ , un temps de montée / descente de  $200ps$  et un signal de  $200MHz$ . Le circuit inverseur est polarisé avec un  $V_{dd}$  de  $1,8V$  et une tension carrée d'entrée  $V_{in}$  de  $1.8V$  avec une fréquence de  $72MHz$  et une capacité de charge de sortie de  $30fF$ . La variation induite sur le courant de sortie  $I_{OUT}$  et la tension de sortie  $V_{OUT}$  de l'inverseur CMOS est présentée sur la Figure 2.24.

#### Optimisation des paramètres technologiques et électriques

L'impact du couplage induit par le TSV sur les performances électriques de l'inverseur CMOS est étudié dans cette partie en faisant une optimisation des différents paramètres décrits auparavant, à savoir l'épaisseur du substrat, la zone d'exclusion et le temps de montée/descente du potentiel TSV.

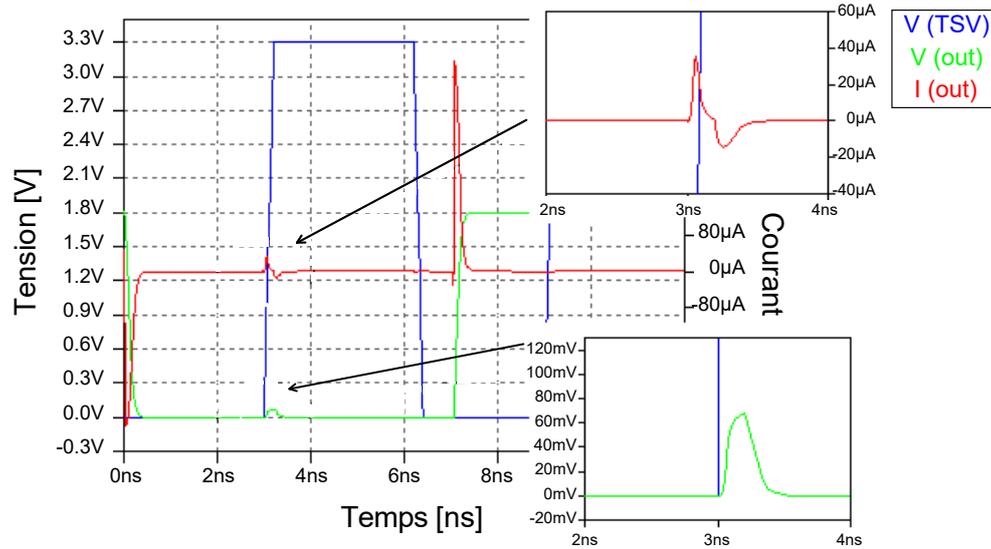


FIGURE 2.24 – Impact du TSV sur sur le courant de sortie  $I_{OUT}$  et la tension de sortie  $V_{OUT}$  de l'inverseur CMOS.

– **Épaisseur du substrat :**

L'impact du couplage substrat induit par le TSV sur les performances électriques de l'inverseur CMOS est étudié tout d'abord en fonction de l'épaisseur du substrat. Cette influence se traduit par les perturbations observées sur la tension et le courant de sortie de l'inverseur CMOS. Ces variations sont présentées dans les Figures 2.25(a-b) en fonction de l'épaisseur du substrat qui varie entre  $5\mu m$  et  $20\mu m$ . L'inverseur CMOS est placé à une distance de  $6\mu m$  en utilisant différentes valeurs d'épaisseur d'oxyde d'isolation du TSV.

A partir de ces figures on peut noter que le couplage est réduit avec l'augmentation de l'épaisseur du substrat. Ceci s'explique toujours par l'augmentation de la composante verticale du réseau de résistance de la région *bulk*, qui sert à réduire le bruit ou le couplage du substrat induit par le via. D'autre part, en ce qui concerne le paramètre d'épaisseur d'oxyde du TSV, ce dernier a un impact considérable sur les dispositifs situés à proximité. L'augmentation d'un tel paramètre permet de réduire l'effet du bruit parasite dynamique généré par le TSV. Ce bruit dynamique se propage à travers le silicium, principalement dans la zone active à faible résistivité, affectant les performances du circuit inverseur.

– **Zone d'exclusion :**

La distance entre les contacts du TSV et circuits CMOS est un paramètre très important en ce qui concerne le couplage substrat. L'influence de ce paramètre sur les caractéristiques électriques du circuit inverseur est étudié dans notre cas en considérant un circuit inverseur à la proximité d'un via d'une longueur de  $10\mu m$ . Les variations observées sur le courant et la tension de sortie de l'inverseur CMOS en fonction de la zone d'exclusion sont présentées dans les Figures 2.26(a-b). A travers ces figures, on peut noter qu'à une distance minimale, l'influence du via est plus élevée, et une fois la distance augmente, le couplage du substrat est plus faible en raison de l'augmentation du volume latéral de la structure considérée CMOS en fonction de la zone d'exclusion  $D_{TSV}$ .

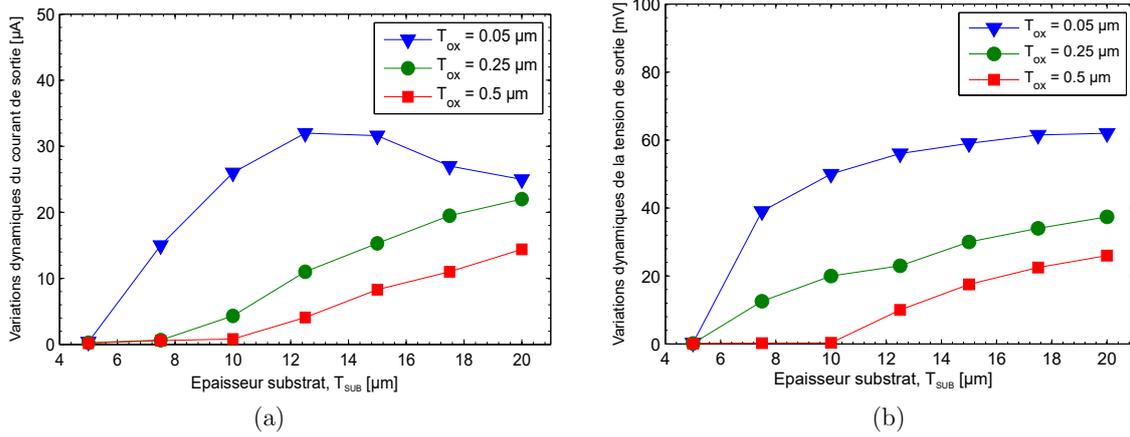


FIGURE 2.25 – (a) Variations dynamiques du courant de sortie de l'inverseur CMOS en fonction de l'épaisseur du substrat  $T_{SUB}$ , (b) Variations dynamiques de la tension de sortie de l'inverseur CMOS en fonction de l'épaisseur du substrat  $T_{SUB}$ .

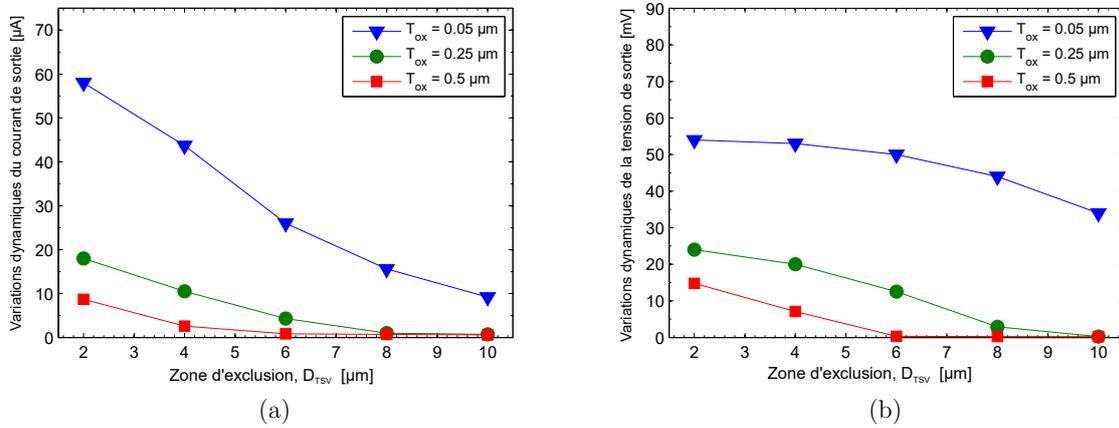


FIGURE 2.26 – (a) Variations dynamiques du courant de sortie de l'inverseur CMOS en fonction de la zone d'exclusion  $D_{TSV}$ , (b) Variations dynamiques de la tension de sortie de l'inverseur.

– **Temps de montée/descente du potentiel TSV :**

L'étude de l'influence du temps de montée/descente du potentiel TSV sur les performances électriques de l'inverseur CMOS est représentée sur les Figures 2.27(a-b). Cet inverseur CMOS est placé à une distance de  $6 \mu m$  du TSV avec une épaisseur de substrat de  $10 \mu m$ . Les perturbations observées sur le courant de sortie et la tension de sortie de l'inverseur CMOS diminuent avec l'augmentation de,  $t_{rf}$ , qui varie de  $25 ps$  à  $300 ps$ . Cette variation est principalement due à l'impact direct sur la charge et la décharge de la capacité d'oxyde du TSV.

## 2.5.2 Couplage induit par l'intégration 3D sur un oscillateur en anneaux

Dans le cas de la présente étude, il est nécessaire de définir un circuit logique élémentaire qui soit à la fois simple d'un point de vue conceptuel et précis au niveau des informations délivrées. Pour cela, nous avons choisi un oscillateur en anneau qui est un circuit composé d'inverseurs implémentés en chaîne.

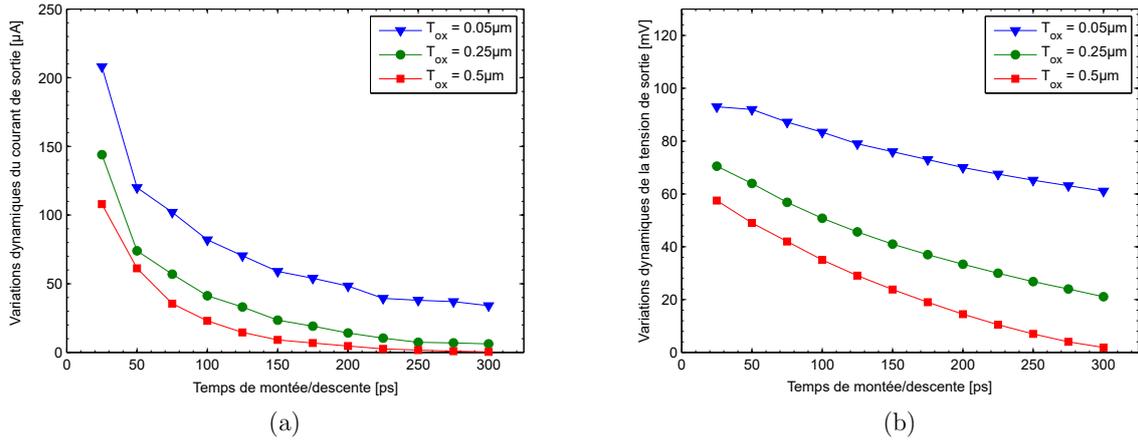


FIGURE 2.27 – (a) Variations dynamiques du courant de sortie de l'inverseur CMOS en fonction du temps de montée/descente du potentiel TSV , (b) Variations dynamiques de la tension de sortie de l'inverseur CMOS en fonction du temps de montée/descente du potentiel TSV.

## Méthodologie

Afin d'étudier le couplage induit par l'intégration 3D sur un oscillateur en anneaux, les performances électriques du circuit sont mesurées avant et après intégration 3D-TSV pour permettre leur comparaison directe. Dans cette optique, et selon la même approche définie précédemment, un oscillateur en anneau à 11 étages est investigué tout d'abord avant intégration 3D-TSV (sans la présence du TSV). Ensuite, on place l'oscillateur en anneau à 11 étages vis-à-vis d'un TSV pour le but d'avoir une simulation circuit comparatifs.

Un signal perturbateur est appliqué sur le TSV modélisé comme une tension carrée d'une amplitude de  $3.3V$ , un temps de montée/descente de  $200ps$  et une fréquence de  $200MHz$ , comme le montre la Figure 2.28. Les 11 inverseurs sont polarisés avec une tension  $V_{dd}$  de  $3V$  et une tension d'entrée d'un signal carré  $V_{in}$  de  $1.8V$  avec une fréquence de  $72MHz$  et une capacité de charge de  $30fF$ . Le signal de sortie de l'oscillateur en anneaux avant et après intégration 3D-TSV est présenté sur la Figure 2.29.

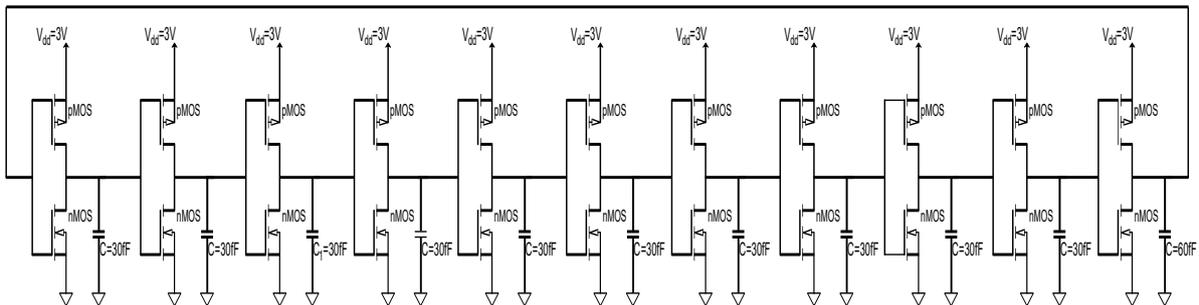


FIGURE 2.28 – Vue schématique du circuit oscillateur en anneaux à 11 étages modélisé sous SPICE.

Parmi les paramètres essentiels et les facteurs de mérite pour un oscillateur en anneaux on peut mentionner le temps de retard. Ce dernier peut être déterminé comme :

$$\gamma = \frac{T}{2n} \quad (2.22)$$

où  $T$  est la période et  $n$  est le nombre de portes ( $n = 11$  dans l'exemple considéré).

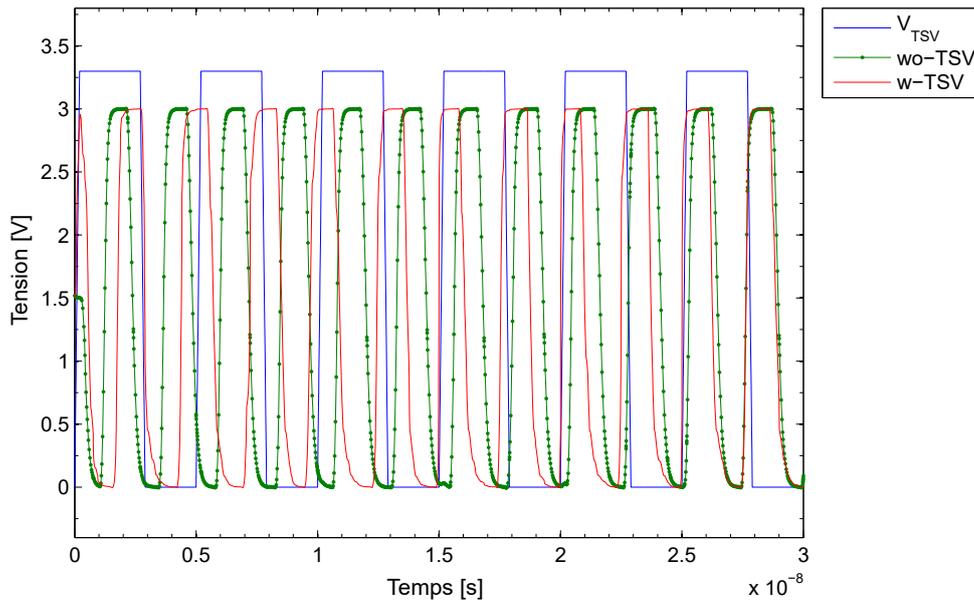


FIGURE 2.29 – Le signal de sortie de l’oscillateur à 11 étages avant et après intégration 3D-TSV.

### Optimisation des paramètres technologiques et électriques

L’influence du bruit induit par le TSV sur les performances électriques de l’oscillateur en anneaux sont étudiés dans cette section par l’optimisation des paramètres technologiques et électriques (épaisseur substrat, zone d’exclusion et le temps de montée/descente).

– ***Épaisseur du substrat :***

La Figure 2.30 présente l’influence du TSV sur le temps de retard de l’oscillateur en anneaux à 11 étages par rapport au cas idéal avant intégration 3D-TSV. Le pourcentage du temps de retard par rapport au cas idéal est évalué dans une gamme de valeurs de l’épaisseur du substrat de 5 à 20 $\mu\text{m}$ . Cette étude est réalisée pour le cas d’un circuit de test d’un oscillateur placé à 6 $\mu\text{m}$  du TSV et par la considération de différentes épaisseurs d’oxyde d’isolation du via. D’après les résultats obtenus, il est évident que l’augmentation de l’épaisseur du substrat engendre un impact majeur sur le temps de retard de l’oscillateur à cause de l’augmentation du couplage substrat à travers la région *active*. Comme précédemment illustré, cet effet est plus prononcé dans le cas d’une épaisseur d’oxyde d’isolation du TSV plus fine.

– ***Zone d’exclusion :***

Comme on a vu précédemment, la distance entre le contact du TSV et l’oscillateur en anneau peut également engendre un impact significatif sur les performances électriques de l’oscillateur en anneaux. Cet impact apparait clairement sur la Figure 2.31, qui présente l’influence du TSV sur le temps de retard de l’oscillateur en anneaux à 11 étages par rapport au cas idéal avant intégration 3D-TSV. Cette étude est portée pour une intervalle de valeurs de la zone d’exclusion de 2 à 10 $\mu\text{m}$ .

La structure considérée dans cette étude est réalisée pour le cas d’une épaisseur substrat de 10 $\mu\text{m}$  et par la considération de différentes épaisseurs d’oxyde d’isolation du via. Le temps de retard de l’oscillateur, après intégration 3D-TSV, est élevé à une distance minimale et décroît lorsque la distance augmente. Ceci s’explique par le fait

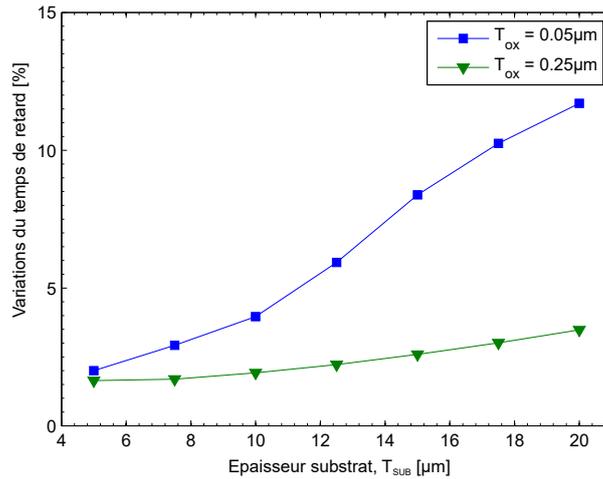


FIGURE 2.30 – Variations du temps de retard de l’oscillateur à 11 étages après intégration d’une technologie 3D-TSV en fonction de l’épaisseur substrat  $T_{SUB}$ .

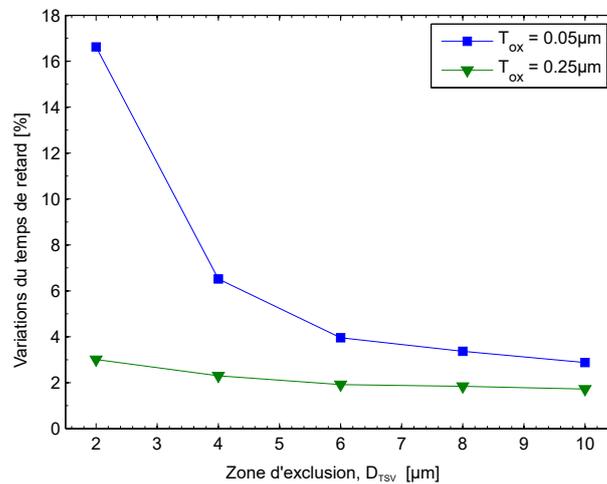


FIGURE 2.31 – Variations du temps de retard de l’oscillateur à 11 étages après intégration d’une technologie 3D-TSV en fonction de la zone d’exclusion  $D_{TSV}$ .

que le couplage substrat induit par le TSV devient plus faible lors de l’augmentation du volume latéral et les régions actives de la structure de test.

– **Temps de montée/descente du potentiel TSV :**

L’impact du paramètre électrique, à savoir le temps de montée/descente du signal TSV, sur l’oscillateur à 11 étages est montré sur la Figure 2.32. L’étude de cette influence se fait par la considération d’une gamme de valeurs du temps de montée/descente du signal de 25 à 300ps. La structure de test considérée dans ce cas, présente un oscillateur en anneaux à 11 étages avec une épaisseur substrat de  $10\mu\text{m}$  et placé à la proximité d’un via à une distance de  $6\mu\text{m}$ . Cependant, d’après les résultats obtenus, ce paramètre électrique ne semble pas avoir une influence significative sur les performances électriques de l’oscillateur en anneaux après intégration 3D-TSV.

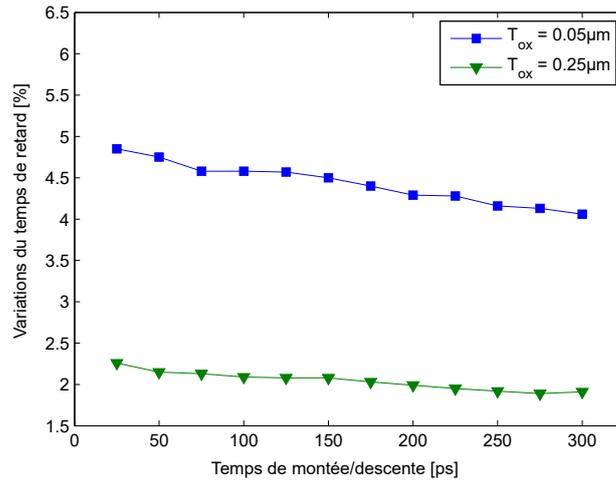


FIGURE 2.32 – Variations du temps de retard de l'oscillateur à 11 étages après intégration d'une technologie 3D-TSV en fonction du temps de montée / descente du signal TSV  $t_{rf}$ .

## 2.6 Conclusion

Dans ce chapitre, nous avons présenté l'impact des TSVs sur les composants et les circuits CMOS. Les notions théoriques sur le couplage par le substrat ont été introduites dans ce chapitre. Ensuite, nous avons présenté le couplage induit par l'intégration 3D sur les caractéristiques électriques des transistors NMOS et PMOS ainsi que l'inverseur CMOS. Ceci est réalisé par l'implémentation d'une approche numérique à l'aide des simulations numériques TCAD ainsi qu'une approche analytique par des simulations circuit.

Dans le prochain chapitre, nous allons établir une étude ainsi qu'une conception des détecteurs réalisés dans le cadre du projet Européen PixFEL.

# Chapitre 3

## Etude et conception des détecteurs réalisés dans le cadre du projet PixFEL

### Sommaire

---

|            |  |            |
|------------|--|------------|
| <b>3.1</b> | <b>Introduction</b>                              | <b>79</b>  |
| <b>3.2</b> | <b>Aperçu du détecteur PixFEL</b>                | <b>79</b>  |
| <b>3.3</b> | <b>Structure du capteur planare</b>              | <b>80</b>  |
| <b>3.4</b> | <b>Capteur planare à bord actif</b>              | <b>80</b>  |
| 3.4.1      | Capteur p-on-n sans anneaux de garde             | 82         |
| 3.4.2      | Capteur p-on-n avec un seul anneau de garde      | 83         |
| 3.4.3      | Capteur p-on-n avec trois anneaux de garde       | 85         |
| 3.4.4      | Capteur p-on-n avec quatre anneaux de garde      | 86         |
| 3.4.5      | Optimisation des paramètres                      | 87         |
| 3.4.6      | Dynamique de la collection de charge             | 92         |
| <b>3.5</b> | <b>Capteur planare à bord mince</b>              | <b>103</b> |
| 3.5.1      | Structure du capteur à bord mince                | 103        |
| 3.5.2      | Géométries des tranchées du capteur à bord mince | 105        |
| <b>3.6</b> | <b>Conclusion</b>                                | <b>108</b> |

---

## 3.1 Introduction

Dans ce troisième chapitre de thèse, nous allons faire une étude ainsi qu'une conception des détecteurs réalisés dans le cadre du projet Européen PixFEL. Dans un premier temps, nous allons présenter un aperçu du détecteur PixFel dans la Section 3.2. Ensuite, nous présenterons la structure du capteur planare dans la Section 3.3. Le capteur planare à bord actif ainsi que ses types sont présentés dans la Section 3.4. Le capteur planare a bord mince ; sa structure ainsi que sa géométrie sont présentées dans la Section 3.5. Nous terminerons ce chapitre par une conclusion qui est présentée dans la Section 3.6.

## 3.2 Aperçu du détecteur PixFEL

Comme nous venons de voir dans le premier chapitre, les expériences XFEL présentent un grand défi pour le développement des détecteurs d'imageries adéquates. Pour cela, parmi les multiples projets de détecteurs qui peuvent répondre aux exigences de ces expériences, il y a le projet PixFEL. Ce projet de recherche, dédié à la conception d'un détecteur d'imagerie par Rayons-X, est un projet commun entre différents groupes de recherche (Université Trento, Pisa, Bergamo, Pavia et Constantine). La structure globale du détecteur, illustrée sur la Figure 3.1, se compose principalement de la partie capteur reliée à la partie ASIC avec une nouvelle technologie d'interconnexions tridimensionnelle (des interconnexions de type TSVs et des microbilles). La partie électronique du détecteur comporte une couche supérieure utilisée pour la réception des signaux analogiques ainsi qu'une couche inférieure pour l'électronique de lecture numérique. Alors que la partie de détection considérée dans ce détecteur est un capteur planare à bord-actif et à bord-mince afin de minimiser la région inactive dans ce dernier. Nous avons présenté en Chapitre 2 l'étude des interconnexions de type vias (TSVs). Nous allons dans ce chapitre-là, concentrer notre travail sur l'étude et le développement de la partie capteur du détecteur.

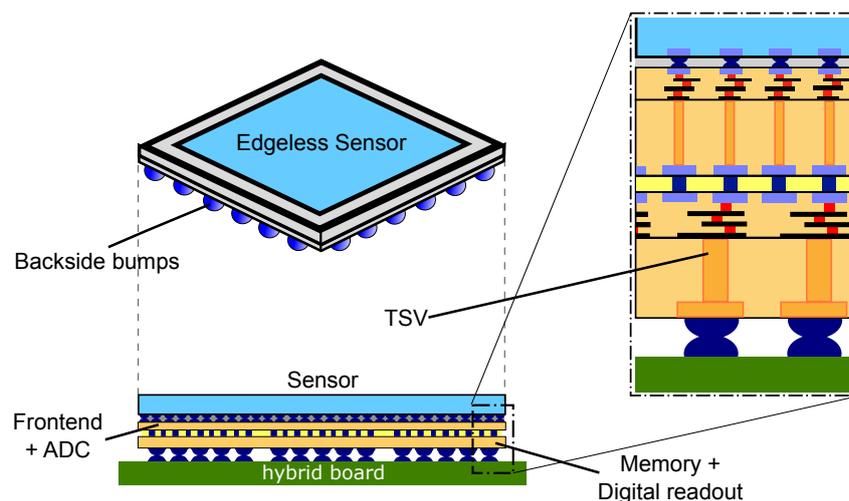


FIGURE 3.1 – Structure globale du détecteur PixFEL composé principalement de la partie capteur reliée à la partie ASIC avec une nouvelle technologie d'interconnexions tridimensionnelle.

Les exigences requises pour ce détecteur et qui ont été fixées lors de l'élaboration de ce projet PixFEL sont présentées dans la Table 3.1 [4].

TABLE 3.1 – Spécifications du détecteur développé dans le cadre du projet PixFEL [4].

|                        |  |                         |                   |
|------------------------|--|-------------------------|-------------------|
| <b>Pitch :</b>         | 100x100 $\mu\text{m}^2$  | <b>Dead area :</b>      | 2%                |
| <b>Photon energy :</b> | 1-10 keV   | <b>Dynamic range :</b>  | 1-10 <sup>4</sup> |
| <b>Memory :</b>        | 1k frame depth   | <b>A/D conversion :</b> | 200ns, 10 bit ADC |
| <b>Readout :</b>       | in burst mode, 4.5 MHz frame rate, 1% duty cycle<br>in continuous mode, 15 kHz |                         |                   |

### 3.3 Structure du capteur planare

Nous avons vu précédemment que la structure globale d'un capteur est basée sur des diodes semiconductrices polarisées en inverse. Leur principe de fonctionnement consiste sur le fait que lorsqu'un rayonnement traverse la zone de déplétion du substrat de silicium, elles génèrent des porteurs de charge. Ceux-ci se déplacent alors sous l'effet du champ électrique vers l'électrode la plus proche, où ils sont collectés sous la forme d'une impulsion de courant.

Par ailleurs, la région de bord des capteurs à silicium est généralement considérée comme une zone inactive et une source d'injection de courants parasites. Par conséquent, différentes approches et solutions ont été proposées pour résoudre ce problème (voir Chapitre 1). Parmi les solutions considérées, afin d'éviter ces phénomènes négatifs dans la région de bord, l'utilisation des capteurs à bord mince et à bord actif est une des solutions les plus intéressantes (Figure 3.2).

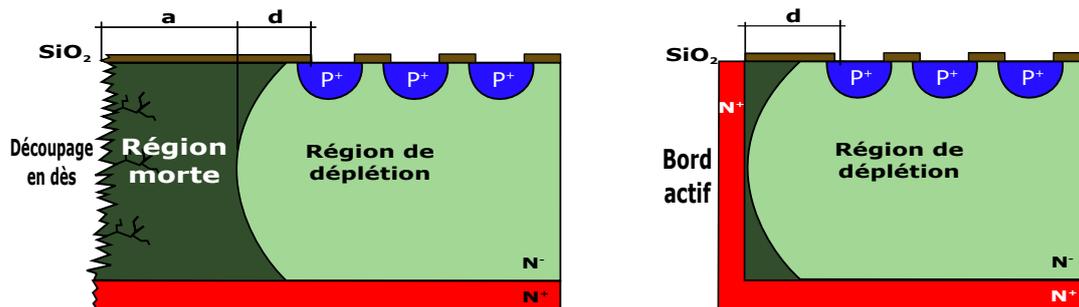


FIGURE 3.2 – Vue schématique en coupe d'un capteur a bord actif.

### 3.4 Capteur planare à bord actif

Les capteurs à bords actifs ont été initialement mis en œuvre par la Facilité Nanofabrication de Stanford (SNF), pour une technologie des capteurs 3D [99] qui ont été ensuite considérés pour des capteurs planaires [100]. Le processus clé implique une gravure ionique réactive profonde (DRIE) pour former une tranchée profonde et étroite autour de la zone active, qui est ensuite fortement dopée pour se comporter comme une paroi protégeant la génération de courant de fuite des défauts situés sur le bord. Dans ce cas, une sensibilité complète du signal jusqu'à quelques micromètres du bord physique peut être obtenue. Ces avantages ont cependant l'inconvénient d'une complexité de processus de fabrication, en raison de l'étape DRIE et du besoin d'une plaquette de support maintenant le détecteur pendant le processus de gravure des tranchées. La Figure 3.3 montre une coupe transversale schématique de la structure du détecteur basée sur la technologie à bord actif.

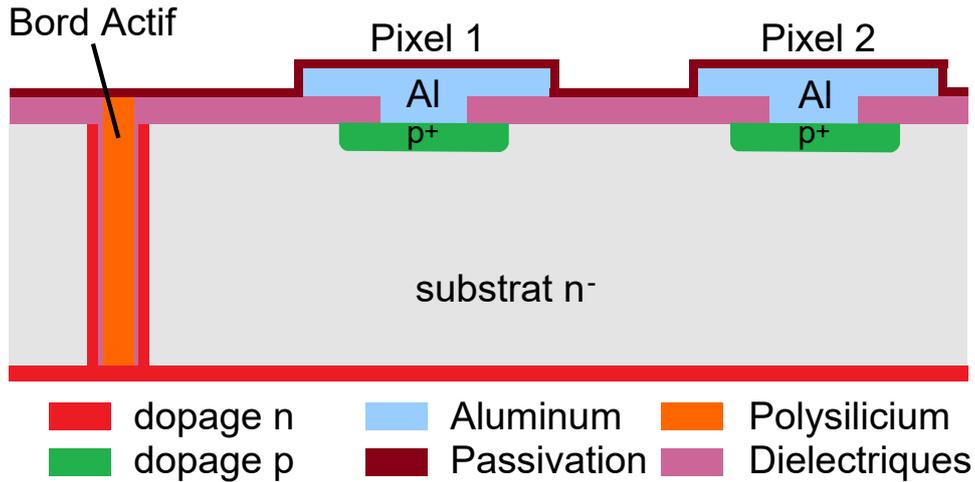


FIGURE 3.3 – Une coupe transversale schématique de la structure de détecteur basés sur une technologie à bord actif.

Le type de capteurs considérés dans le détecteur PixFEL sont des capteurs avec une configuration  $p^+ - on - n$ . Le choix d'une telle structure était dicté par les exigences de tolérance aux radiations. Avec cette configuration, la polarisation inverse appliquée sur la structure fait pointer le champ électrique de l'interface  $Si/SiO_2$  vers la surface  $SiO_2$ , minimisant ainsi la concentration de charges positives piégées dans l'oxyde. Cette concentration de charge induite par les dommages causés par les rayonnements devrait atteindre une valeur de  $3 \cdot 10^{12} cm^{-2}$  pour des doses des rayons-X élevées [102] (Figure 3.4-a). Par ailleurs, la détection des rayons-X avec des énergies élevées, de plus de  $10 keV$ , nécessite l'utilisation de grandes épaisseurs de substrat. A cet effet, une épaisseur de substrat de  $450 \mu m$  est considérée afin d'atteindre un rendement de détection élevé jusqu'à  $87\%$  à des énergies de rayon-X jusqu'à  $12 keV$  (Figure 3.4-b).

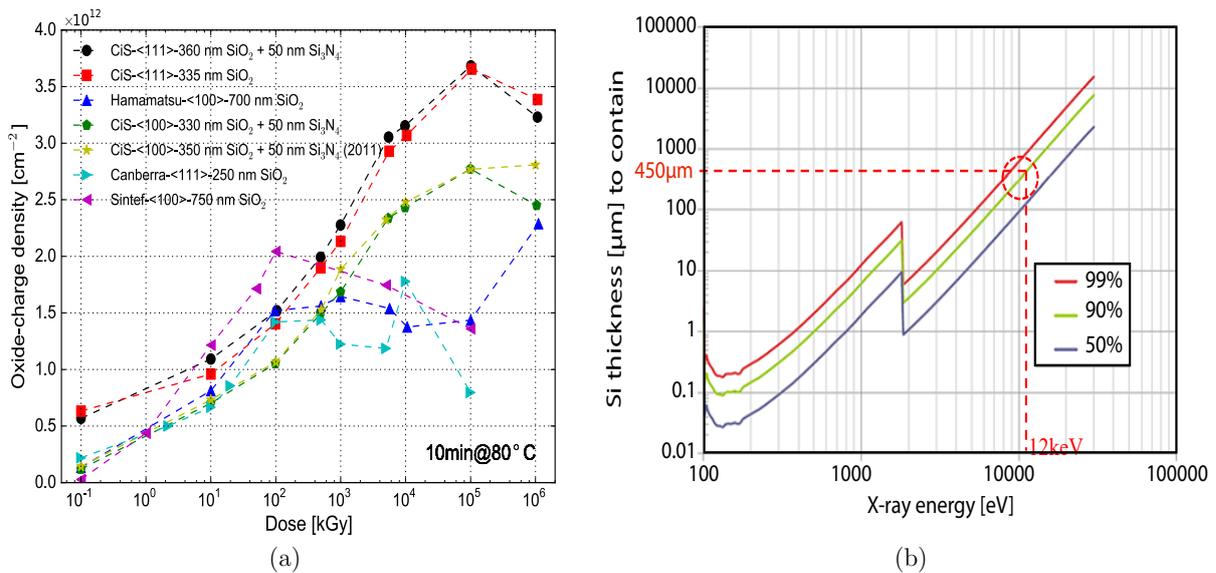


FIGURE 3.4 – (a) Densité de charges d'oxyde  $N_{ox}$  en fonction de la dose de rayonnement-X obtenue à partir des structures de test de différents fournisseurs [101] et (b) Estimation analytique de l'épaisseur active du capteur en fonction de l'énergie d'un rayons X [103].

Un des problèmes les plus importants à prendre en compte dans les applications FEL est l'effet dit plasma. Cet effet se produit dans le cas de grands flux de photons (jusqu'à  $10^4$  photons par pixel) résultant en des densités de charge élevées générées presque instantanément lors de l'absorption des rayons-X. Cette densité de charge est associée à des effets de charge qui conduiraient à une dégradation des performances électriques du capteur. Afin de réduire l'impact de cet effet, une tension de polarisation élevée doit être appliquée [104].

Cependant, avec l'utilisation des capteurs à bord actif, un fort champ électrique se produit alors dans la région de bord, ce qui empêche d'avoir une tension de claquage réduite. En effet, des simulations TCAD spécifiques sont strictement nécessaires dans le but d'optimiser la région de bord par la recherche d'un meilleur compromis entre la zone inactive et la tension de claquage du détecteur. L'optimisation de la région de bord est établie en utilisant de nombreuses solutions ; telles que l'incorporation des anneaux de garde et des plaques de champ.

Ces derniers, connus sous l'appellation anglophone *Field-plate*, présente une extension du contact métallique au-dessus de l'oxyde pour quelques micromètres. Elle est introduite dans la structure afin d'augmenter la tension de claquage d'une part, et de réduire les effets des électrons attirés sur la surface par les charges d'oxyde fixes, d'autre part. Le nombre des anneaux de garde nécessaires ainsi que la valeur optimale des plaques de champ pour notre cas d'étude sera investiguée prochainement à l'aide des simulations numériques 2D en utilisant l'outil de simulation Sentaurus-TCAD.

### 3.4.1 Capteur p-on-n sans anneaux de garde

Nous considérons, dans un premier temps, dans notre simulation une structure simple relative à un capteur de type  $p^+ - on - n$  à une seule électrode réalisée sur un substrat de silicium à haute résistivité avec un dopage équivalent de  $2 \cdot 10^{11} \text{cm}^{-3}$  et une orientation cristalline  $\langle 100 \rangle$ . La plaque de champ métallique est placée à l'extrémité de l'électrode de type P qui correspond au dernier pixel du capteur. Cette électrode, d'une largeur de  $80 \mu\text{m}$ , est modélisée avec un profil de dopage gaussien de type  $p^+$  pour une concentration maximale de  $5 \cdot 10^{19} \text{cm}^{-3}$  et une profondeur de jonction de  $4 \mu\text{m}$ . D'autre part, l'électrode arrière du capteur ainsi que la tranchée du bord actif sont implantées avec un dopage  $n^+$  de  $5 \mu\text{m}$  de largeur. Une couche d'isolation d'oxyde,  $\text{SiO}_2$ , d'une épaisseur de  $0.65 \mu\text{m}$  est utilisée le long de la surface du capteur. La Figure 3.5 montre la structure du capteur simulée. La simulation électrique de la structure considérée aura pour objectif d'évaluer la tension de claquage en fonction de la longueur de la plaque de champ ainsi que la distance d'écart  $d_{gap}$  entre le bord actif et le dernier pixel du capteur polarisé en inverse. De plus, puisqu'un des principaux objectifs de ce travail est d'étudier la tension de claquage du capteur en fonction des doses de rayonnement X, différentes densités de charge d'oxyde, correspondant à différentes doses de rayons X, sont introduites dans la région d'interface  $\text{Si}/\text{SiO}_2$ .

Les résultats de la simulation (Figures 3.6(a-b)), montrent que la présence de la plaque de champ peut atténuer l'effet des charges d'oxyde sur la tension de claquage. Parmi les différentes valeurs de longueurs de plaque de champ considérées, la valeur optimale est d'environ  $5 \mu\text{m}$ , ce qui permet d'avoir une tension de claquage de  $270 \text{V}$  pour des charges d'oxyde  $N_{ox}$  faibles autour de  $3 \cdot 10^{11} \text{cm}^{-2}$  (le cas avant irradiation). En outre, on peut noter également que la distance d'écart entre le bord actif et l'électrode P a un impact

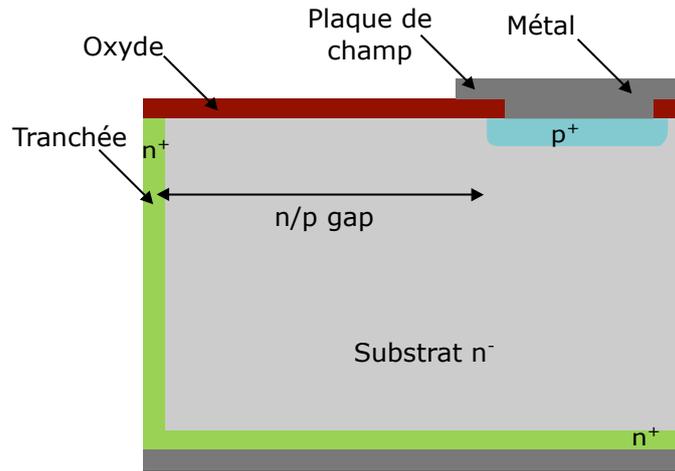


FIGURE 3.5 – Vue Schématique en coupe d'un capteur p-on-n sans anneaux de garde entre le bord actif et le dernier pixel du capteur.

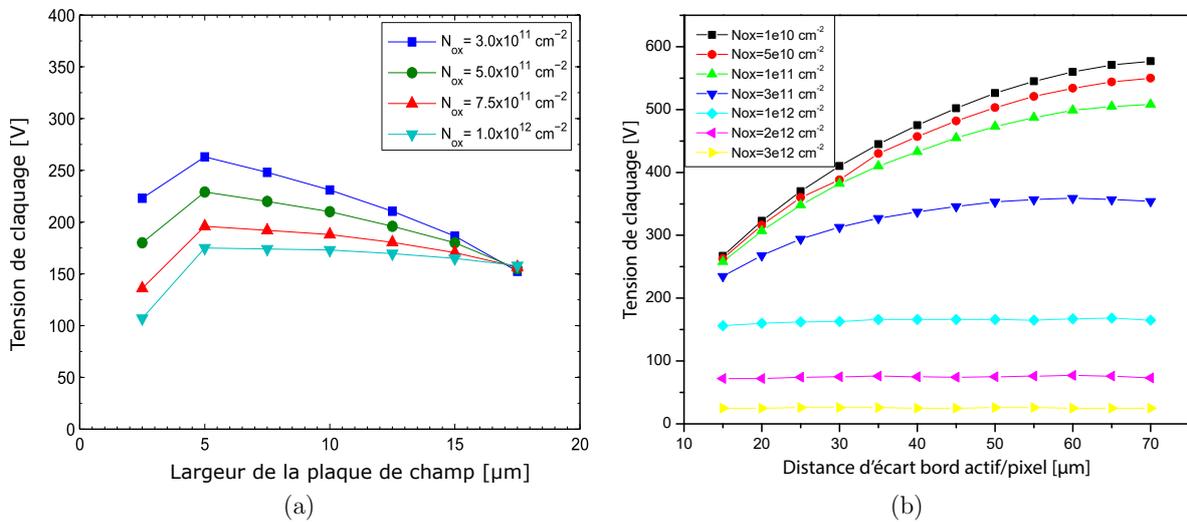


FIGURE 3.6 – (a) La tension de claquage en fonction de la largeur de la plaque de champ pour différentes valeurs de densités de charge d'oxyde, (b) La tension de claquage en fonction de la distance d'écart entre le bord actif et le dernier pixel du capteur pour différentes densités de charge d'oxyde.

considérable sur la tension de claquage du capteur. L'augmentation d'un tel paramètre permet d'obtenir des tensions de claquage plus élevées et surtout pour des charges d'oxyde plus faibles  $N_{ox}$  de l'ordre de  $1.10^{10} \text{ cm}^{-2}$ , la tension de claquage atteint  $600 \text{ V}$  (pour un  $d_{gap} = 70 \mu\text{m}$ ).

### 3.4.2 Capteur p-on-n avec un seul anneau de garde

Comme on a vu précédemment, un moyen de diminuer le fort champ électrique près de l'électrode induite par le bord actif est l'utilisation d'une plaque de champ. Ceci a permis d'élargir la zone de déplétion à l'intérieur du substrat et par conséquent d'augmenter la tension de claquage. Une autre alternative à la plaque de champ, est l'utilisation d'un anneau de garde dans la région de bord du capteur p-on-n. Afin d'investiguer l'utilité de ces anneaux de garde, la même structure du capteur considéré auparavant est également utilisée dans ce cas, avec l'incorporation tout d'abord d'un seul anneau de garde, comme le montre la Figure 3.7.

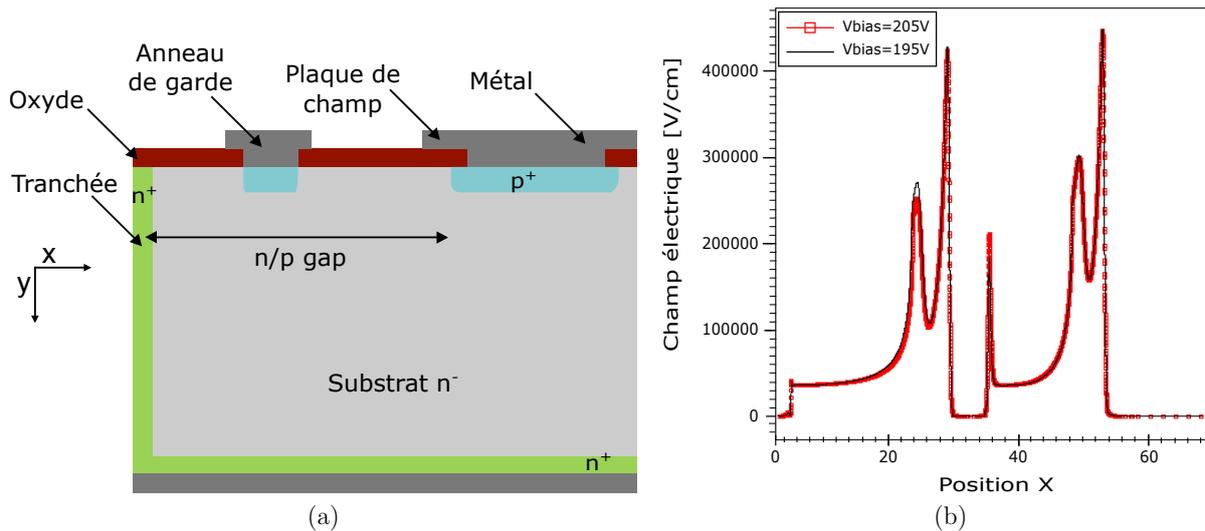


FIGURE 3.7 – (a) Vue Schématique en coupe d'un capteur p-on-n avec un anneau de garde entre le bord actif et le dernier pixel du capteur, (b) la distribution du champ électrique dans un capteur p-on-n avec un anneau de garde pour différentes tensions de polarisation pour une densité de charge d'oxyde de  $2.10^{12} \text{cm}^{-2}$ .

Cet anneau de garde est modélisé comme une région flottante d'un dopage de type  $p^+$  placé entre le bord actif et le dernier pixel du capteur. Une plaque de champ métallique est utilisée dans ce cas-là aux extrémités de l'électrode P ainsi que l'anneau de garde avec une longueur de  $5\mu\text{m}$ . La distance entre le bord actif et le dernier pixel du capteur est maintenue constante autour de  $50\mu\text{m}$ . La dynamique de la distribution du champ électrique pour différentes tensions de polarisation proche de la tension de claquage du capteur p-on-n est illustrée sur la Figure 7-b. Cette distribution est prise le long de l'axe horizontale  $X$  à  $Y = 0.01\mu\text{m}$  de la structure dans le cas d'une densité de charge d'oxyde élevée de l'ordre de  $2.10^{12} \text{cm}^{-2}$  et un gap entre l'anneau et le bord actif,  $d_{gap} = 25\mu\text{m}$ . Cela permet de visualiser clairement l'utilité de l'anneau de garde en divisant le champ électrique en deux pics principaux ; qui correspondent à celui de l'anneau de garde et de la jonction de l'électrode P, en réduisant ainsi son intensité.

La tension de claquage est évaluée en fonction de la distance d'écart  $d_{gap}$  et la largeur de l'anneau en utilisant différentes densités de charge d'oxyde, comme il est montré sur la Figure 3.8(a-b).

La Figure 3.8-a montre que la distance entre le bord actif et l'anneau de garde a un effet important sur les caractéristiques électriques du capteur. On peut noter que la valeur de la distance optimale qui permet d'avoir des meilleures tensions de claquage pour les différents cas de densité de charge d'oxyde semble être autour du  $25\mu\text{m}$ . En outre, les résultats de simulation obtenus avec la variation de la largeur de l'anneau de garde, présentés sur la Figure 3.8-b, montrent que ce paramètre a une influence significative sur les caractéristiques  $I(V)$  du capteur. En effet, on observe clairement une dégradation de la tension de claquage avec l'augmentation de la largeur de l'anneau de garde.

Par conséquent, l'utilisation d'une telle solution d'un seul anneau de garde entre le bord actif et le dernier pixel du capteur a permis d'avoir une amélioration de la tension du claquage par rapport au premier cas en utilisant seulement une plaque de champ.

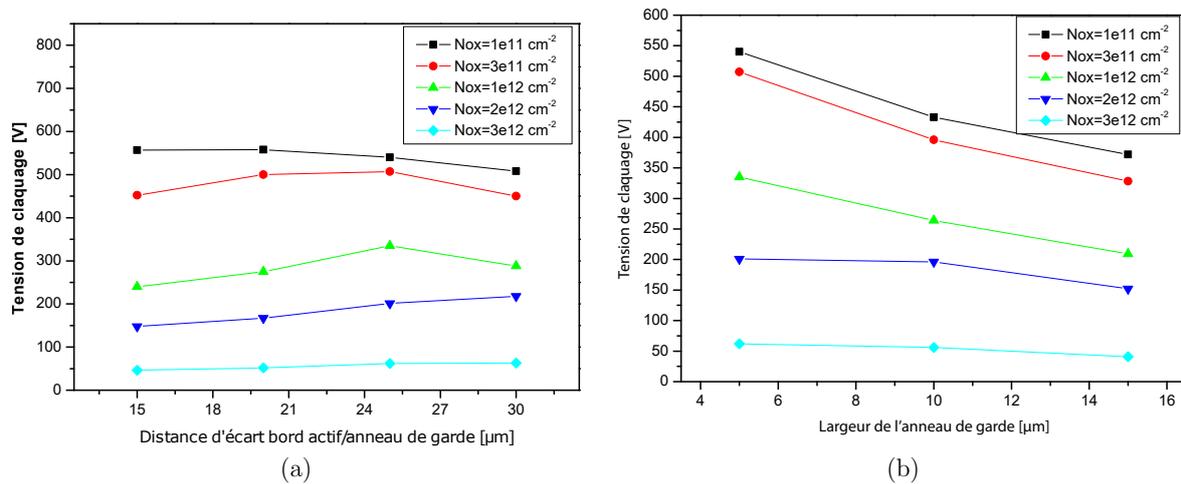


FIGURE 3.8 – (a) La tension de claquage en fonction de la distance d'écart entre le bord actif et l'anneau de garde avec différentes densités de charge d'oxyde, (b) La tension de claquage en fonction de la largeur de l'anneau de garde avec un gap de  $25\mu m$ .

### 3.4.3 Capteur p-on-n avec trois anneaux de garde

Nous venons de voir que l'utilisation d'une plaque de champ avec un seul anneau de garde pour l'amélioration de la tension de claquage n'était pas assez suffisante. Par conséquent, l'utilisation de plusieurs anneaux semble être nécessaire. Ceci implique à l'augmentation de la distance entre le bord actif et le dernier pixel du capteur à  $70\mu m$ . Pour ce faire, des structures à deux et trois anneaux de garde de  $5\mu m$  de largeur ont été considérées. Ces anneaux sont placés au bord du capteur p-on-n avec une distance qui est maintenue constante entre l'anneau près du bord actif et l'électrode P ( $d = 15\mu m$ ).

Cependant, la distance des autres anneaux par rapport au bord actif présente notre cas d'étude dans cette partie du travail. De plus, un autre paramètre technologique qui semble avoir un impact considérable sur la caractéristique I(V) du capteur est l'épaisseur de l'oxyde,  $t_{ox}$ . Pour cela, la tension de claquage est étudiée en fonction des différentes épaisseurs d'oxyde d'un capteur p-on-n à multi-électrode et multiples anneaux de gardes (Figure 3.9). Les différentes électrodes considérées dans cette structure ont une largeur de  $80\mu m$  avec un gap entre deux électrodes de  $20\mu m$  (un pas de  $100\mu m$ ). Une plaque de champ métallique de  $5\mu m$  de longueur est placée aux extrémités de chaque électrode et

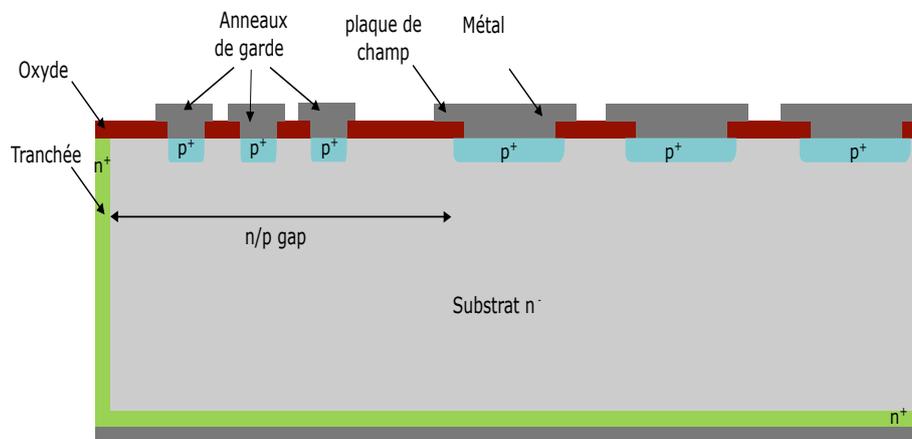


FIGURE 3.9 – Vue Schématique en coupe d'un capteur p-on-n avec trois anneaux de garde entre le bord actif et le dernier pixel du capteur.

anneau de garde. Ainsi, la tension de claquage en fonction de l'épaisseur d'oxyde  $t_{ox}$  est étudiée pour des structures de deux et sans anneaux de garde en utilisant dans ce cas une densité de charge d'oxyde élevée de  $N_{ox} = 3.10^{12}cm^{-2}$ .

A partir des résultats présentées sur la Figure 3.10, il est clairement évident qu'il y a une amélioration de la tension de claquage avec l'augmentation du nombre d'anneaux de garde dans la région de bord. Ainsi, pour une structure à trois anneaux, la tension de claquage atteint jusqu'à  $350V$  pour  $t_{ox} = 400nm$ . De plus, il est à noter également que l'épaisseur d'oxyde a un impact significatif sur les caractéristiques électriques du capteur planaire. Pour une gamme de valeur de  $t_{ox}$  entre 200 et  $650nm$ , la valeur optimale qui permet d'avoir des tensions de claquage élevées se situe autour de  $350 \sim 400nm$ .

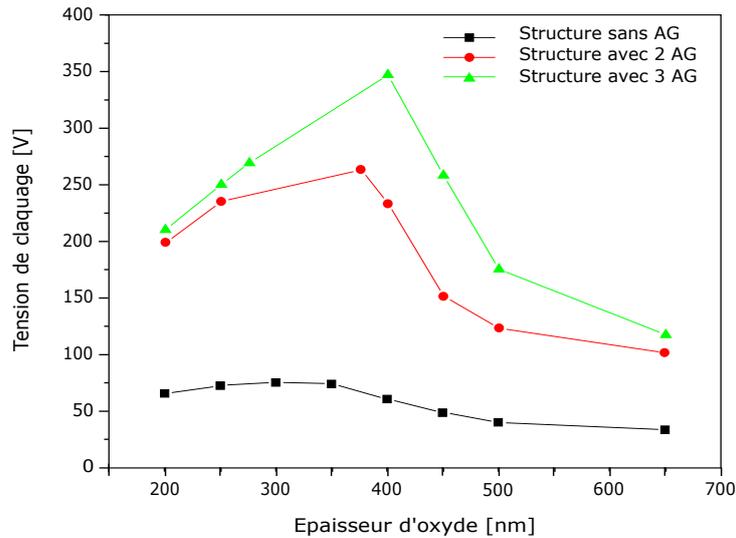


FIGURE 3.10 – La tension de claquage en fonction de l'épaisseur d'oxyde d'un capteur p-on-n pour différentes structures ; sans anneau de garde, 2 anneaux et 3 anneaux de garde pour le cas de  $N_{ox}=3.10^{12}cm^{-2}$ .

Afin de voir l'impact de l'épaisseur d'oxyde dans le cas de différentes densités de charge d'oxyde  $N_{ox}$ , la tension de claquage d'une structure à trois anneaux a été étudiée et présentée sur la Figure 3.11. A partir de cette figure, comme il a été prévu, la tension de claquage est plus élevée dans le cas de faibles densités de charges. Cependant, si  $N_{ox}$  augmente, la tension de claquage du capteur commence à se dégrader.

### 3.4.4 Capteur p-on-n avec quatre anneaux de garde

Comme on l'a vu précédemment, l'utilisation de plusieurs anneaux de garde entre le bord actif et le dernier pixel du capteur sert à améliorer les caractéristiques de la tension de claquage, en particulier à des charges d'oxyde élevées. Une nouvelle structure de capteur p-on-n à quatre anneaux sera considérée et testée dans ce cas-là. Cette structure a une distance entre le bord actif et le dernier pixel du capteur de  $150\mu m$  et de  $25\mu m$  du bord actif au premier anneau de garde. Des plaques de champ de  $5\mu m$  de longueur sont placées à l'extrémité de chaque électrode et anneau (Figure 3.12). Afin de voir l'avantage de cette structure par rapport aux dernières structures investiguées précédemment, la tension de claquage est évaluée en fonction de l'épaisseur d'oxyde et est présentée sur la Figure 3.13 en utilisant une densité de charge d'oxyde élevée,  $N_{ox} = 3.10^{12}cm^{-2}$ .

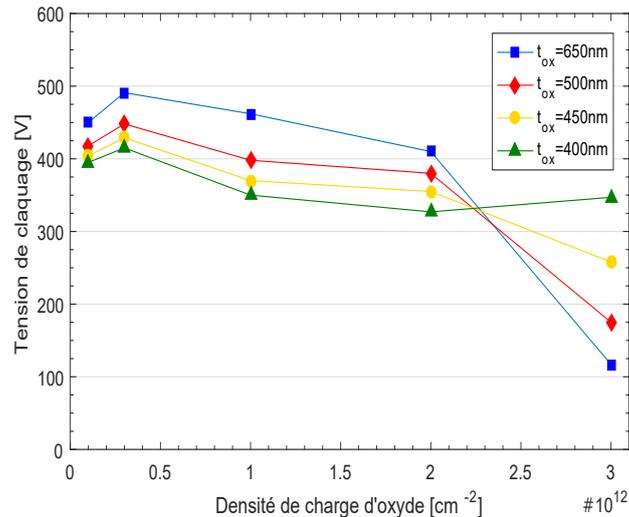


FIGURE 3.11 – La tension de claquage en fonction de la densité de charge d’oxyde d’un capteur p-on-n avec 3 anneaux de garde et différentes épaisseurs d’oxyde.

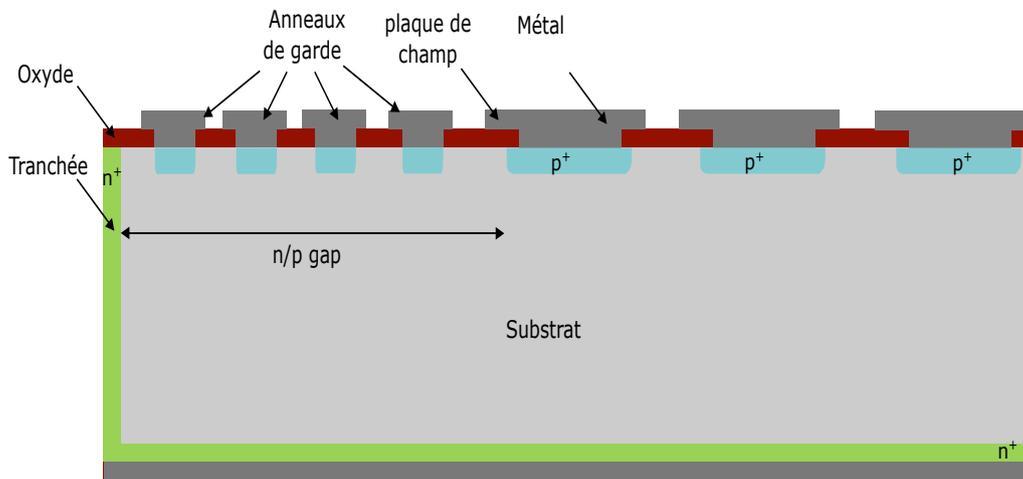


FIGURE 3.12 – Vue Schématique en coupe d’un capteur p-on-n avec quatre anneaux de garde entre le bord actif et le dernier pixel du capteur.

A partir des résultats de simulation, cette nouvelle structure à quatre anneaux a permis d’améliorer encore plus la tension de claquage, où, à des charges d’oxydes élevées, la tension atteint jusqu’à  $436\text{V}$  pour un  $t_{ox} = 300\text{nm}$ . Il pourrait être confirmé que l’épaisseur d’oxyde a une influence importante sur la tension de claquage, pour laquelle la valeur optimale semble toujours se situer autour de  $t_{ox} = 300\text{nm} \sim 400\text{nm}$ .

### 3.4.5 Optimisation des paramètres

Nous venons de voir dans ces derniers paragraphes qu’il y a de multiples paramètres technologiques qui peuvent engendrer un impact sur le comportement du capteur p-on-n et ses caractéristiques  $I(V)$ . En effet, une optimisation de ces différents paramètres pour une structure à quatre anneaux semble être nécessaire afin de réaliser des dispositifs qui peuvent répondre aux besoins et spécifications du projet PixFEL. Parmi ces différents paramètres qu’on va investiguer, on peut mentionner la profondeur de la jonction des électrodes, le facteur de diffusion latérale ainsi que la longueur de la plaque de champs.

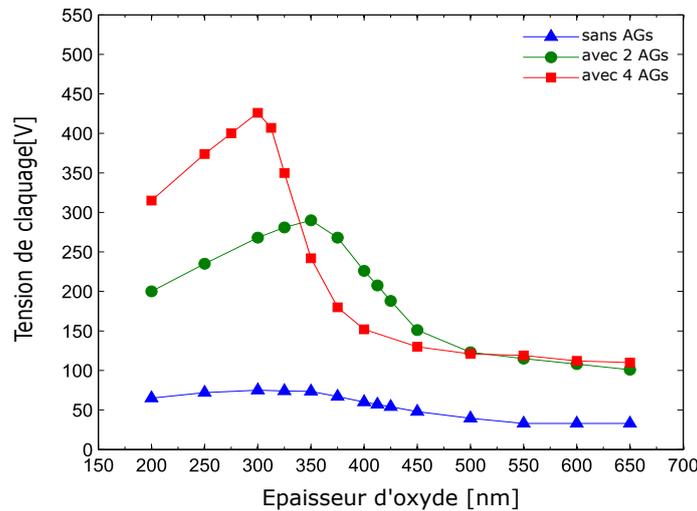


FIGURE 3.13 – La tension de claquage en fonction de l'épaisseur d'oxyde pour différents cas de structures de bord avec  $N_{ox} = 3.10^{12}cm^{-2}$ .

### Profondeur de jonction

La profondeur de la jonction des électrodes du capteur est un paramètre technologique qui peut induire une influence significative sur les caractéristiques courant-tension. Afin d'optimiser sa valeur, il est préférable de considérer d'abord une jonction moins profonde en raison du coût du processus, car une implantation profonde nécessite une température élevée et un temps plus long pour diffuser les dopants dans le substrat. Une étude du comportement des caractéristiques  $I(V)$  en fonction de l'épaisseur d'oxyde du capteur p-on-n d'une structure à quatre anneaux est considérée à l'aide des simulations TCAD en utilisant différentes profondeurs de jonction, comme il est présenté sur la Figure 3.14.

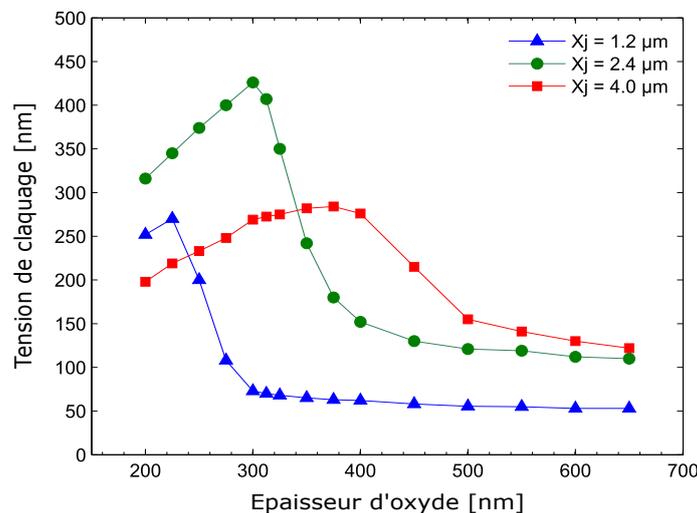


FIGURE 3.14 – La tension de claquage simulée en fonction de l'épaisseur d'oxyde pour différentes valeurs de profondeur de jonction avec  $N_{ox} = 3.10^{12}cm^{-2}$ .

Les résultats observés relatifs à la tension de claquage de la structure considérée montrent que la valeur optimale de l'épaisseur d'oxyde varie selon la profondeur de jonction utilisée. Cependant, pour le cas le plus réaliste d'une profondeur de jonction de  $2.4\mu m$ , la valeur optimale de l'épaisseur d'oxyde est de l'ordre de  $300nm$ . Ceci est pour le cas d'une densité de charge d'oxyde élevée de l'ordre de  $3.10^{12}cm^{-2}$ .

Par ailleurs, la tension de claquage en fonction des densités de charge d'oxyde pour différentes valeurs de profondeur de jonction est étudiée en considérant une épaisseur d'oxyde fixe de  $t_{ox} = 300nm$ .

A partir des résultats présentés sur la Figure 3.15, il est clair que la profondeur de jonction de  $2.4\mu m$  est celle qui présente les meilleures performances même à des charges d'oxyde élevées atteignant une tension de claquage de  $436V$  à  $N_{ox} = 3.10^{12}cm^{-2}$ .

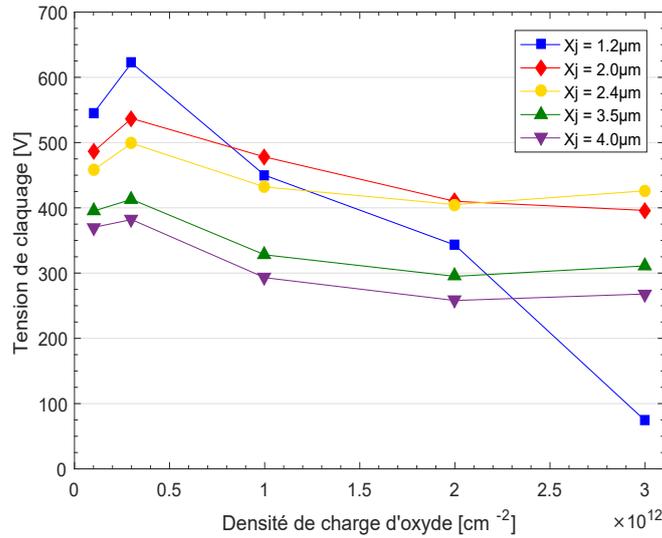


FIGURE 3.15 – La tension de claquage en fonction de la densité de charge d'oxyde d'un capteur p-on-n à quatre anneaux de garde en considérant différentes valeurs de profondeur de jonction pour  $t_{ox} = 300nm$ .

### Facteur de diffusion latérale

Un autre paramètre technologique qui pourrait avoir un effet sur la performance de la tension de claquage est le facteur de diffusion latéral. Ce paramètre est lié au processus d'implantation en tant que dose et énergie des dopants. Ce facteur représente le rapport entre la diffusion horizontale (latérale) et la profondeur de la jonction verticale. Le facteur de diffusion latéral des implantations  $p^+$  considéré jusqu'ici dans ce travail était supposé égal à 0,8 fois la profondeur de la jonction verticale. Une analyse du comportement des caractéristiques  $I(V)$  en fonction de l'épaisseur d'oxyde du capteur p-on-n de la structure à quatre anneaux est étudiée en utilisant différents facteurs de diffusion latéraux,  $L_d$ .

A partir des résultats présentés sur la Figure 3.16, la tension de claquage en fonction de l'épaisseur d'oxyde est investiguée pour des charges d'oxydes élevées,  $N_{ox} = 3.10^{12}cm^{-2}$ . On a observé que selon le facteur de diffusion latéral  $L_d$  considéré, la valeur optimale de l'épaisseur d'oxyde qui permet de donner une tension de claquage plus élevée varie en fonction de ce paramètre. Ainsi, pour un facteur  $L_d = 1.0$ , la valeur optimale de l'épaisseur d'oxyde qui donne une tension de claquage plus élevée est  $t_{ox} = 350nm$ . Cependant, pour un facteur  $L_d = 0.5$ , la valeur optimale de l'épaisseur d'oxyde est autour de  $t_{ox} = 260nm$ .

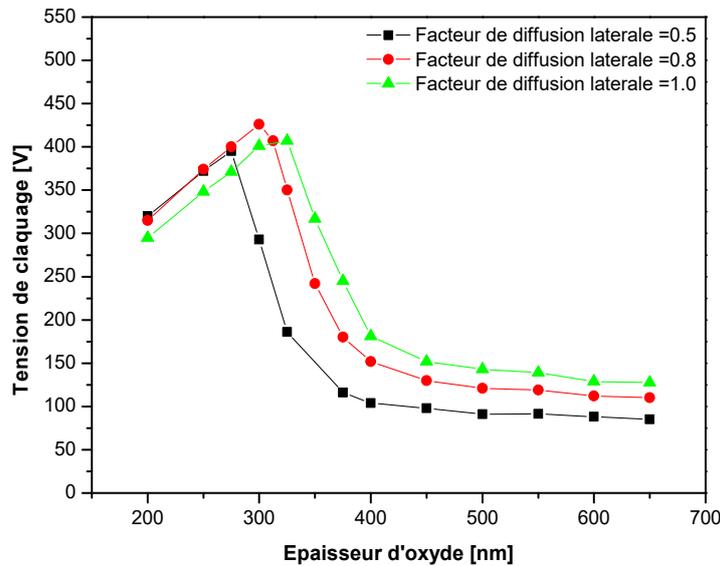


FIGURE 3.16 – La tension de claquage en fonction de l'épaisseur d'oxyde d'un capteur p-on-n pour différentes valeurs de facteur de diffusion latérale avec  $N_{ox} = 3.10^{12}cm^{-2}$ .

### La plaque de champ

La plaque de champ placée à l'extrémité de chaque électrode et anneau de garde a un impact significatif sur le champ électrique surfacique en réduisant son intensité et donc en améliorant la tension de claquage du capteur. Par conséquent, l'optimisation d'un tel paramètre est nécessaire afin d'améliorer les caractéristiques du dispositif. Afin d'étudier la valeur optimale de ce paramètre, une analyse de la tension de claquage en fonction de la longueur de la plaque de champ du capteur p-on-n est étudiée avec une densité de charge d'oxyde,  $N_{ox} = 3.10^{12}cm^{-2}$ .

La Figure 3.17 présentant la tension de claquage du capteur p-on-n pour différentes longueurs de plaque de champ, montre que la valeur optimale de celle-ci est de  $L_{FP} = 5\mu m$ , et elle a été utilisée dans ce travail jusqu'à présent. Ceci s'explique par le fait que la longueur de la plaque de champ modifie la distribution du champ électrique de surface en réduisant son intensité et donc en améliorant la tension de claquage du capteur.

Enfin, comme un petit résumé des différentes simulations et optimisations réalisées dans cette section, une structure d'un capteur planaire p-on-n avec une technologie à bord actif a été réalisée. La région de bord de cette structure a été optimisée par l'incorporation de multiples anneaux de garde et l'utilisation des plaques de champ à l'extrémité de chaque électrode. Ceci a permis d'une part, de minimiser la région inactive dans le capteur, et d'autre part, d'augmenter sa tension de claquage. En effet, la structure optimisée est constituée de quatre anneaux de garde placés dans la région de bord du capteur en utilisant des anneaux de  $15\mu m$  de largeur. Le dernier anneau considéré est éloigné par rapport au bord avec une distance de  $20\mu m$  alors que le premier anneau a une distance d'écart avec la dernière électrode du capteur de  $15\mu m$ . Ces électrodes présentent des implantations de type  $p^+$  optimisées pour une profondeur de jonction de  $2.4\mu m$  ainsi qu'un facteur de diffusion latéral de 0.8. Les différentes électrodes considérées, ont une largeur de  $80\mu m$  et une distance d'écart de  $20\mu m$ . L'oxyde d'isolation présente une épaisseur optimisée de  $300nm$ . De plus, afin de minimiser les effets négatifs de la densité de charges fixes présentes dans cette couche d'oxyde, des plaques de champ sont considérées avec une longueur qui a été optimisée pour une valeur de  $5\mu m$ .

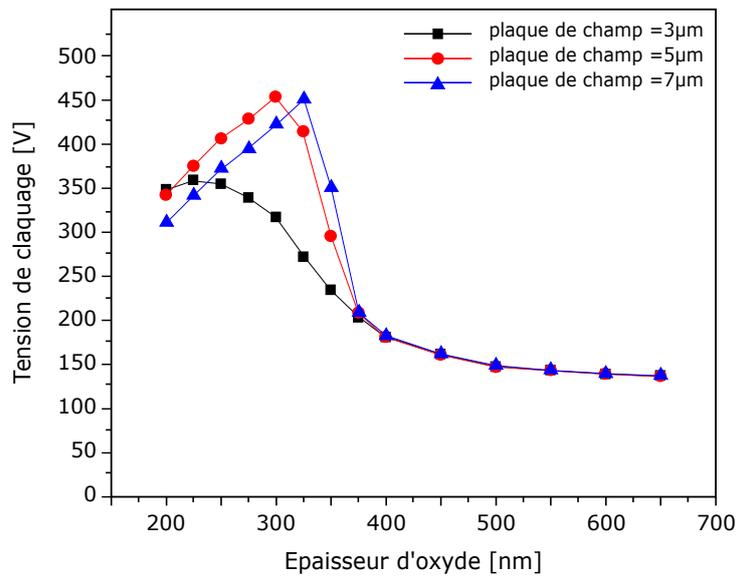


FIGURE 3.17 – La tension de claquage en fonction de l'épaisseur d'oxyde pour différentes valeurs de longueur de la plaque de champ avec  $N_{ox} = 3.10^{12} cm^{-2}$ .

Par ailleurs, cette structure optimisée a été également comparée avec d'autres structures de capteur de six et huit anneaux de garde, dites structures intermédiaires. La région de bord dans ce cas se situe autour de  $240\mu m$  et  $320\mu m$ , respectivement. Une structure de dix anneaux, dite structure conservative, avec une région de bord de  $380\mu m$  a été également considérée. La tension de claquage de ces différentes structures en fonction de la densité de charges d'oxyde est présentée sur la Figure 3.18.

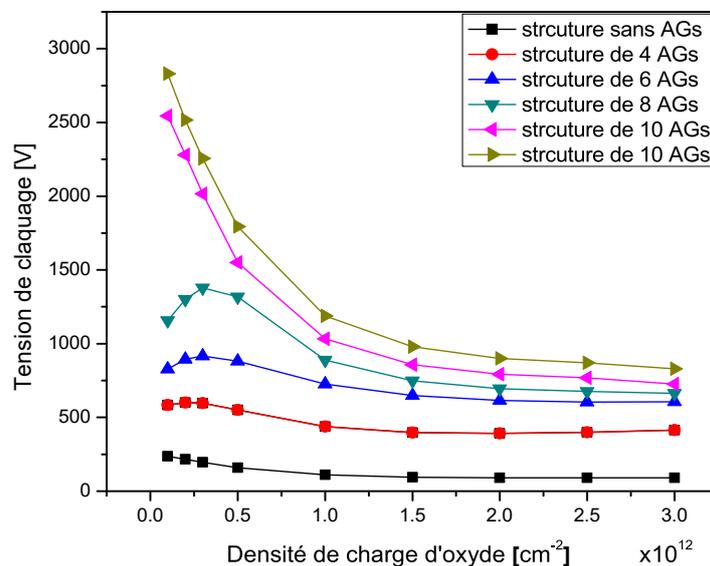


FIGURE 3.18 – La tension de claquage en fonction de la densité de charge d'oxyde pour le cas de différentes structures du bord d'un capteur p-on-n.

Nous avons abordé dans cette partie de ce chapitre, l'étude de la région du bord d'un capteur planaire p-on-n. Cependant, il est aussi important de s'intéresser à la région centrale du dispositif. Pour ce faire, une étude statique de la caractéristique de tension ainsi qu'une étude des propriétés de collection de charge dans cette partie du capteur seront établies dans ce qui va suivre.

– **Structure considérée :**

La structure considérée (Figure 3.19) est un capteur p-on-n à trois électrodes réalisées toujours sur un substrat en silicium de haute résistivité d’une épaisseur de  $450\mu\text{m}$ . Une plaque de champ de  $5\mu\text{m}$  de longueur est placée à l’extrémité de chaque électrode dont la largeur est de  $80\mu\text{m}$  et la distance d’écart est de  $20\mu\text{m}$  (un pas de  $100\mu\text{m}$ ). Les différentes électrodes du capteur sont dopées de type  $p^+$  en utilisant une profondeur de jonction de  $2.4\mu\text{m}$  et un facteur de diffusion latérale de 0.8. Le dispositif à considérer est polarisé en inverse avec une tension de polarisation positive qui permet une déplétion complète à  $V_{dep} \approx 50\text{V}$  (pour une faible densité de charge d’oxyde de l’ordre de  $1.10^{11}\text{cm}^{-2}$ ).

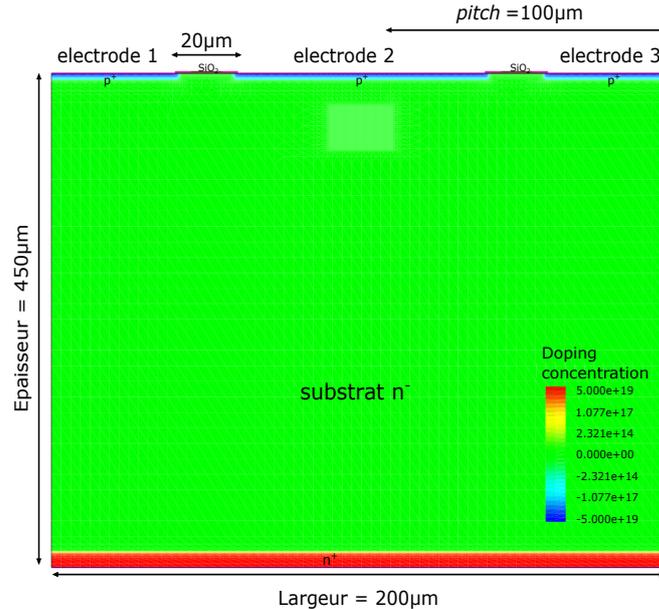


FIGURE 3.19 – Une structure 2D d’un capteur p-on-n à multi-électrode et une épaisseur de substrat de  $450\mu\text{m}$ .

La caractéristique courant-tension du capteur considéré est présentée sur la Figure 3.20 pour différentes densités de charge d’oxyde. Les résultats de simulation obtenus à partir de cette analyse indiquent que la tension de claquage est très élevée dans ce cas-là, par rapport à la région de bord. Des tensions de claquages jusqu’à  $1000\text{V}$  peuvent être obtenues pour le cas d’une densité de charge d’oxyde de l’ordre de  $3.10^{12}\text{cm}^{-2}$ , alors que pour de faible densité de charge, la tension de claquage est plus de  $4000\text{V}$ .

### 3.4.6 Dynamique de la collection de charge

Nous venons de voir précédemment le principe de fonctionnement d’un capteur p-on-n en un régime statique. Cependant, il est nécessaire maintenant de comprendre le fonctionnement du capteur dans un régime transitoire pour voir la dynamique et les propriétés de collection de charges du dispositif.

#### Méthodes d’analyse

Les propriétés de collection de charge du capteur p-on-n considéré pourraient être évaluées dans une simulation TCAD en utilisant différents modèles, à savoir le modèle dit ‘*HeavyIon*’ et le modèle ‘*OptBeam*’.

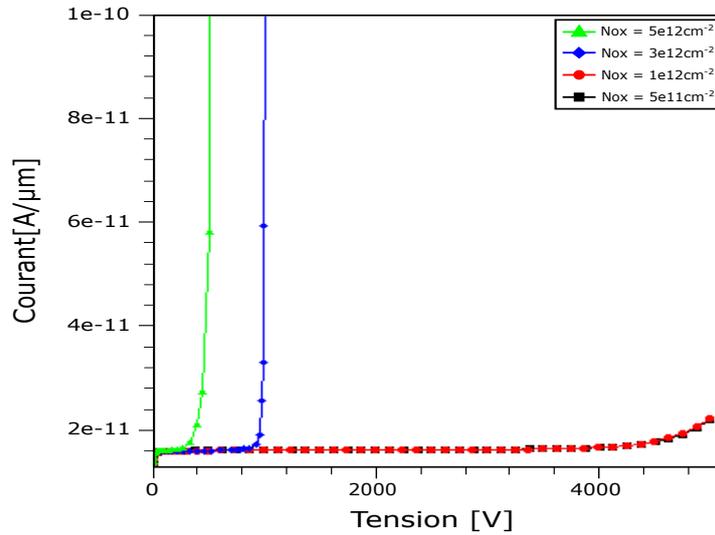


FIGURE 3.20 – La courbe  $I(V)$  du capteur p-on-n pour différentes densités de charge d'oxyde.

### *i. Modèle 'Heavy-Ion'*

Le processus de collection de charge dans un dispositif à semiconducteur est évalué dans une simulation TCAD en utilisant un modèle dit *HeavyIon*. Lorsqu'un rayonnement pénètre dans le capteur, il perd de l'énergie et crée des paires électron-trou. La génération de ces paires électron-trous est liée à plusieurs facteurs, tels que l'énergie et le type de rayonnement, l'angle de pénétration du rayonnement et la relation entre l'énergie perdue ou le transfert d'énergie linéaire (LET) et le nombre de paires créées. Le taux de génération par rayonnement est généralement utilisé dans des simulations transitoires. La simulation TCAD du processus de collection de charge avec ce modèle est activée en utilisant le mot-clé *HeavyIon*. L'activation de ce modèle induit la prise en compte du rayonnement considéré et de ses caractéristiques.

Les propriétés de collection de charge dans un capteur de type p-on-n à multi-électrode d'une épaisseur de  $450\mu\text{m}$  sont étudiées à l'aide de ce modèle-là. Un rayonnement, qui correspond à des Rayons-X de  $10^4$  photons d'une énergie de  $12\text{keV}$ , pénètre perpendiculairement la structure dans à un point de contact localisé ( $100\mu\text{m}, 250\mu\text{m}$ ) d'une fenêtre de  $5 * 5\mu\text{m}^2$  (comme il est présenté sur la Figure 3.21).

Les porteurs de charge générés par le rayonnement se déplacent sous l'effet du champ électrique afin d'être collectés par les électrodes du capteur. Ce mécanisme de collection de charge par les différentes électrodes est investigué en utilisant une analyse temporelle pendant une durée de  $5\mu\text{s}$  pour différentes tensions de polarisation. La distribution des électrons et des trous sous l'effet du d'un rayonnement X d'une énergie de  $10^4 12\text{keV}$  pour une tension de polarisation de  $500\text{V}$  est montrée sur les Figures 3.22 et 3.23.

A partir de cette simulation, on voit clairement la distribution des porteurs de charge lors de la durée considérée pour une tension de polarisation de  $500\text{V}$ . Les électrons et trous se déplacent dans des directions opposées sous l'effet du champ électrique vers l'électrode N en bas et les électrodes P en haut, respectivement. On peut remarquer que le temps nécessaire pour une collection de charge totale est de l'ordre de plus de  $310\text{ns}$ . Cependant, ce temps de collection de charge semble être élevé par rapport aux exigences et spécifications du détecteur PixFEL. Ceci est dû principalement à la forte densité de por-

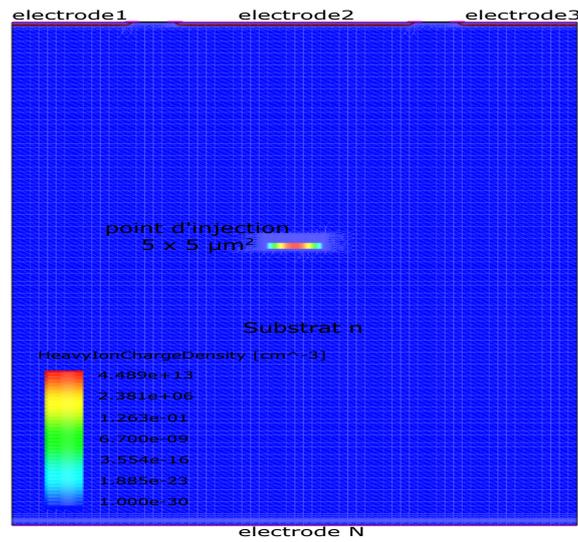


FIGURE 3.21 – La densité de charge injectée sur un capteur p-on-n dans un point localisé de  $(100, 250\mu m)$  avec une fenêtre de  $5\mu m * 5\mu m$ .

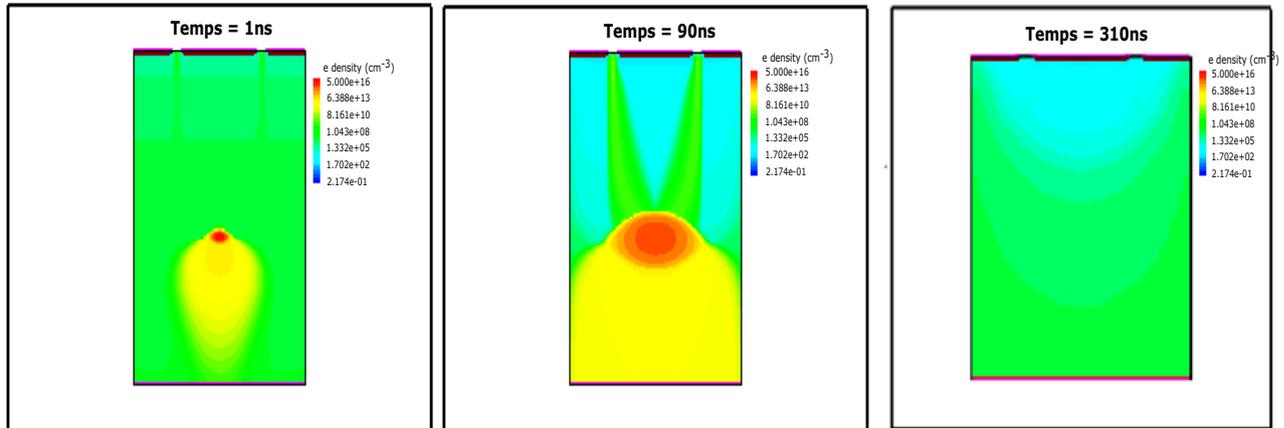


FIGURE 3.22 – Mécanisme de collection des électrons sous l'effet d'un rayonnement X d'une énergie de  $10^4 12keV$  dans un point localisé  $(100, 250\mu m)$  pour une tension de polarisation de  $500V$ .

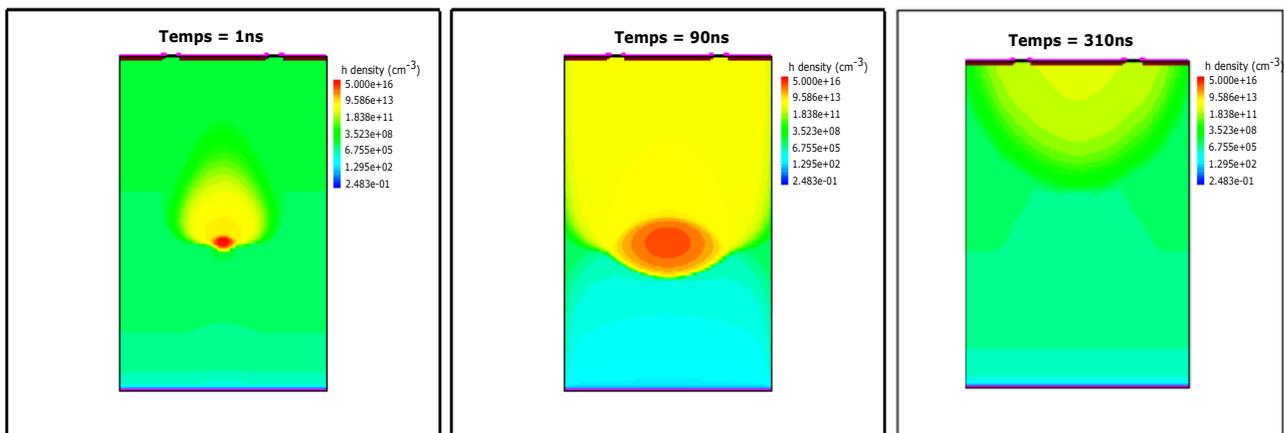


FIGURE 3.23 – Mécanisme de collection des trous sous l'effet d'un rayonnement X d'une énergie de  $10^4 12keV$  dans un point localisé  $(100, 250\mu m)$  pour une tension de  $500V$ .

teurs injectés, ou bien l'effet plasma. Ce phénomène se produit généralement lorsque la densité des paires électron-trou produites par le rayonnement est très grande. Dans un temps de quelques picosecondes après la génération des porteurs de charge, ils forment un plasma neutre avec une région d'un champ électrique nul, entourée par d'autres régions d'un fort champ électrique. Le plasma s'érode par diffusion ambipolaire, ce qui entraîne un temps de collection de charge réduit et une propagation des charges par diffusion et répulsion électrostatique. Afin d'éviter ce phénomène négatif, des tensions de polarisation élevées doivent être appliquées. Pour ce faire, le temps de collection de charge est investigué pour différentes tensions pour le cas toujours d'un rayonnement X de  $10^4$  photons d'une énergie de  $12keV$ . Le courant total simulé pour chaque tension de polarisation ainsi que le nombre de charges collectées (exprimée par l'intégral du courant lors de la période de simulation transitoire considérée) est présenté sur la Figure 3.24.

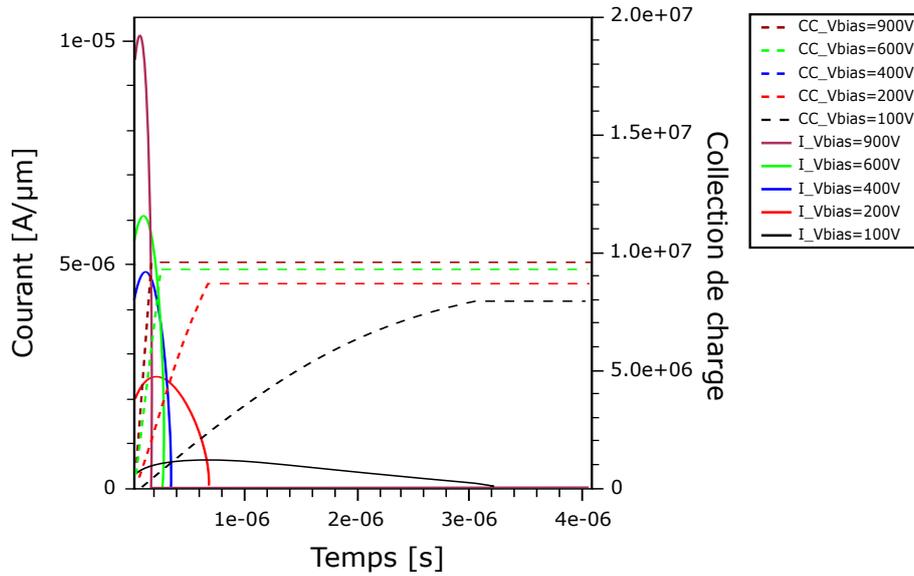


FIGURE 3.24 – Le courant et le nombre charge collectée pour différentes tensions de polarisation pour le cas d'un rayonnement X de  $10^4$  photons d'une énergie de  $12keV$ .

Les résultats de la simulation montrent que la collection de charges dépend essentiellement de la tension de polarisation appliquée. Ainsi, l'augmentation de cette dernière permet d'accélérer le processus de collection des porteurs de  $4\mu s$  à  $100V$  jusqu'à  $200ns$  à une tension de polarisation supérieure à  $600V$ . Par conséquent, on pourrait conclure que, pour éviter l'effet plasma, une tension de polarisation plus élevée doit être appliquée (plus de  $500V$ ).

### ii. Modèle 'OptBeam'

Le taux de génération optique lorsqu'un rayonnement pénètre dans un dispositif peut être étudié avec un autre type de modèle, dit 'OptBeam'. Ce modèle, implémenté dans le simulateur TCAD, fournit un modèle de coefficient d'absorption qui adapte les données d'absorption du silicium fourni par la NASA, en faisant varier la température et l'énergie des photons [97]. Cependant, les propriétés de collection de charge d'une structure d'un capteur p-on-n à multi électrode peuvent être évaluées dans une simulation 2D-TCAD en utilisant une impulsion laser courte injectée à la face arrière de la structure. L'excitation par laser prend place dans à un point localisé ( $100\mu m$ ,  $450\mu m$ ) avec une fenêtre de  $10\mu m$  de diamètre en considérant des rayonnements à différentes longueurs d'onde.

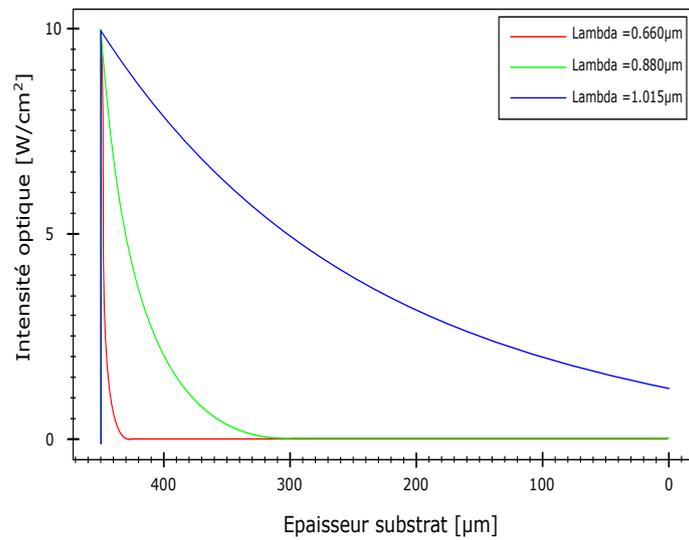


FIGURE 3.25 – L’intensité optique d’une impulsion laser avec différentes longueurs d’onde dans un point localisé ( $100, 450 \mu\text{m}$ ) du capteur p-on-n.

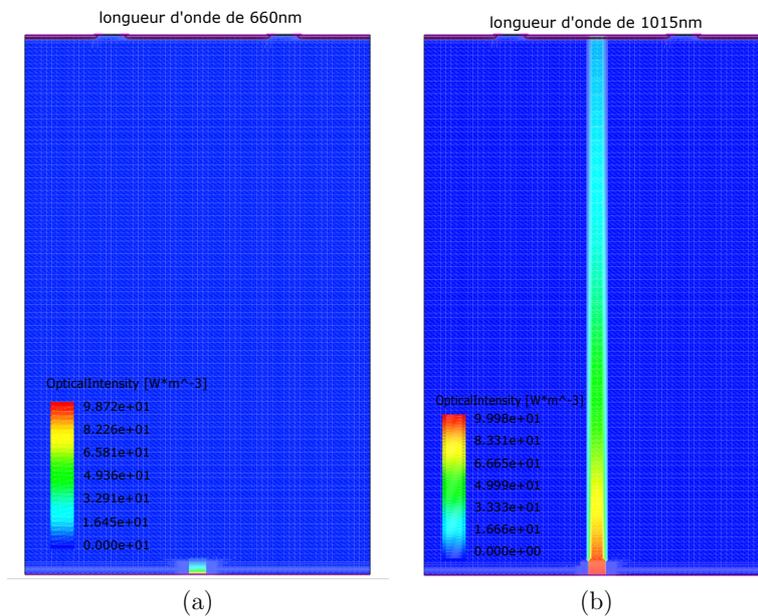


FIGURE 3.26 – (a) L’intensité optique d’une impulsion laser avec une longueur d’onde de  $660 \text{nm}$  dans un point localisé ( $100, 450 \mu\text{m}$ ) du capteur p-on-n, (b) L’intensité optique d’une impulsion laser avec une longueur d’onde de  $1015 \text{nm}$  dans un point localisé ( $100, 450 \mu\text{m}$ ) du capteur p-on-n.

En effet, l’intensité optique dans la structure du capteur à  $450 \mu\text{m}$  d’épaisseur est présentée sur la Figure 3.25 en fonction de différents types de rayonnement considérés. Ainsi, selon la longueur d’onde de l’impulsion laser considérée, la lumière est absorbée près du point d’impact pour des longueurs d’onde courtes de  $660 \text{nm}$ , alors que pour des longueurs d’onde jusqu’à  $1015 \text{nm}$ , le rayonnement est transmis le long de l’épaisseur du substrat. Avec les courtes longueurs d’onde, un seul type de porteur de charge dérive dans le substrat de silicium, l’autre type n’a pas une grande contribution car la longueur de dérive à la surface est très courte, comme le montre la Figure 3.26-a. D’autre part, les longues longueurs d’onde pénètrent dans le substrat, générant des paires électron-trou le long de sa trajectoire, qui sont séparées par le champ électrique et dérivent vers l’électrode correspondante comme sur la Figure 3.26-b.

Par conséquent, ce modèle présente un cas d'étude plus réaliste qui est très utile pour l'étude de la dynamique de collection de charge dans les dispositifs à semiconducteur. Pour cela, nous allons considérer dans ce travail ce modèle de génération optique pour l'étude de la structure globale de notre capteur p-on-n.

### Collection de charge dans le capteur p-on-n

Afin de voir le mécanisme de collection de charge dans un capteur p-on-n, il est important de l'étudier dans les différentes régions du capteur. Nous allons alors commencer par l'étude de la collection de charge dans la région centrale du capteur à multi-électrode, ensuite, on va s'attarder à la région du bord du dispositif.

La dynamique de collection de charge sur la structure du capteur est investiguée, d'une part, par injection d'un rayon X de  $10^4$  photon avec une énergie de  $1keV$ , correspondant à un rayonnement laser d'une longueur d'onde de  $660nm$  avec une longueur d'atténuation de  $3\mu m$ , et d'autre part, d'un rayon X de  $10^4$  photons d'une énergie de  $12keV$ , correspondant à un rayonnement d'une longueur d'onde de  $1015nm$  avec une longueur d'atténuation de  $250\mu m$  [101].

#### *i. Etude de la région centrale du capteur*

La structure du dispositif considéré présente un capteur à trois électrodes d'une épaisseur de substrat de  $450\mu m$ . Chaque électrode de type  $p^+$  présente une largeur de  $80\mu m$  avec un gap de  $20\mu m$ . Une plaque de champs d'une longueur de  $5\mu m$  est placée sur les extrémités de chaque électrode comme il est montré sur la Figure 3.27. Le processus de collection de charges générés par un rayonnement incident au centre du capteur sera étudié en fonction de différents paramètres, à savoir la tension de polarisation appliquée, l'intensité optique du rayonnement, le facteur de zone ainsi que la taille de la fenêtre d'injection de photons.

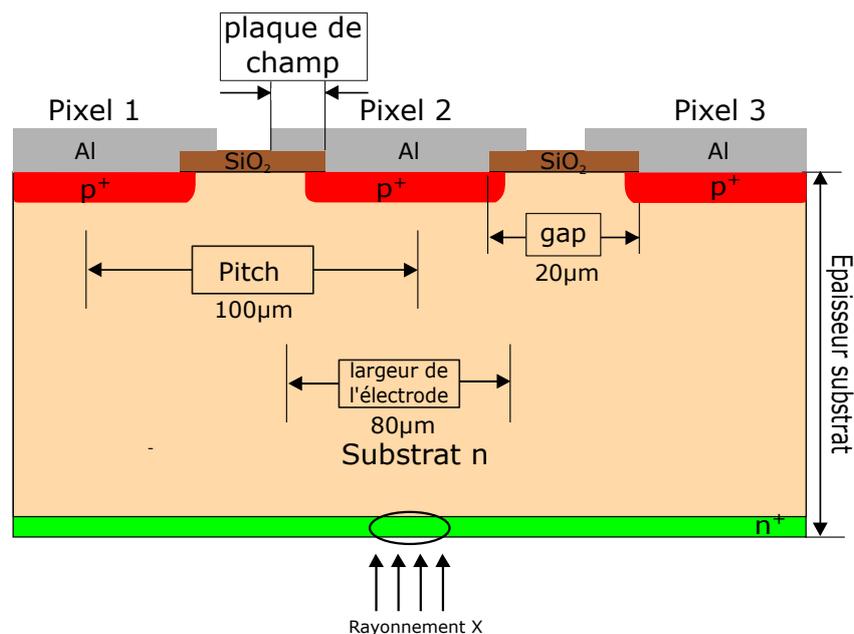


FIGURE 3.27 – Vue schématique en coupe de la région centrale d'un capteur p-on-n.

– **Impact de la tension de polarisation :**

Le processus de collection de charges dû à la génération optique dans la région centrale du capteur p-on-n est étudié dans ce cas-là. Pour cela, nous allons considérer les deux types de rayonnement x à haute intensité (de l'ordre de  $10^4$  photons), investigués auparavant ; celui d'une longueur d'onde de  $660nm$  et une énergie de  $1keV$  et l'autre d'une longueur d'onde de  $1015nm$  et une énergie de  $12keV$ . Les deux impulsions laser sont focalisées sur une fenêtre de  $10\mu m$  de diamètre à la face l'arrière du capteur. L'analyse transitoire du courant et de la charge totale collectée dans le capteur sont présentées sur la Figure 3.28(a-b). Ces figures présentent l'évolution du courant et collection de charge en fonction de la tension appliquée.

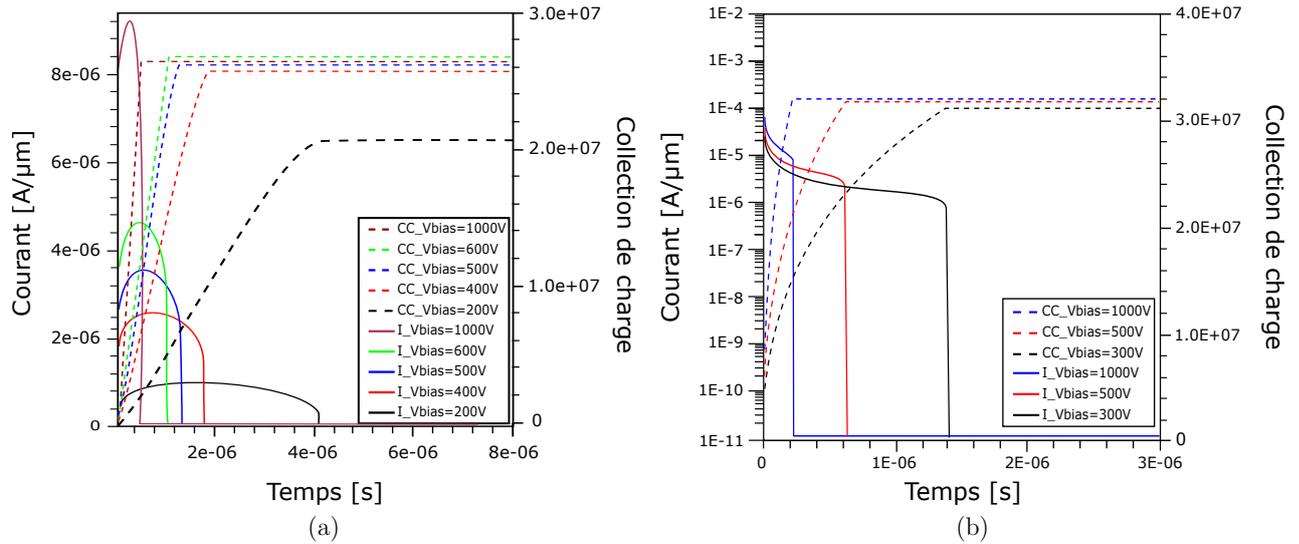


FIGURE 3.28 – Les courants et le nombre de charge collectés d'un capteur p-on-n pour différentes tensions de polarisation après injection de deux types de rayonnement x à hautes intensités (de l'ordre de  $10^4$  photons) ; avec une longueur d'onde de  $660nm$  et une énergie de  $1keV$  (a) ainsi qu'une longueur d'onde de  $1015nm$  et une énergie de  $12keV$  (b).

Les résultats de simulation de la structure considérée pour différentes tensions de polarisation montrent que l'application d'une tension élevée permet d'accélérer le processus de collection de charge. Il est à noter que pour un rayonnement de  $660nm$  d'une énergie de  $1keV$ , le temps de collection varie de  $4\mu s$  à  $200V$  jusqu'à  $500ns$  avec une tension de polarisation de  $1000V$ . Par contre, pour un rayonnement de  $1015nm$  d'une énergie de  $12keV$ , le temps de collection est de  $1.4\mu s$  à  $300V$  et diminue à  $230ns$  avec une tension de polarisation de  $1000V$ . Par conséquent, on pourrait conclure que le temps de collection des charges est fortement dépendant de la tension appliquée. L'augmentation de sa valeur permet d'avoir un fort champ électrique à l'intérieur duquel le processus de collection des charges est accéléré.

– **Impact de l'intensité optique :**

Afin de voir l'impact de l'intensité du rayonnement injecté à la face arrière du capteur p-on-n, les deux types de rayonnements X (celui de  $\lambda = 660nm$  à  $1keV$ , et de  $\lambda = 1015nm$  à  $12keV$ ) pour différentes intensités optiques sont étudiés. Les transitoires de courant et la charge totale collectée du dispositif à une tension de polarisation inverse de  $500V$  sont présentées sur les Figures 3.29(a-b).

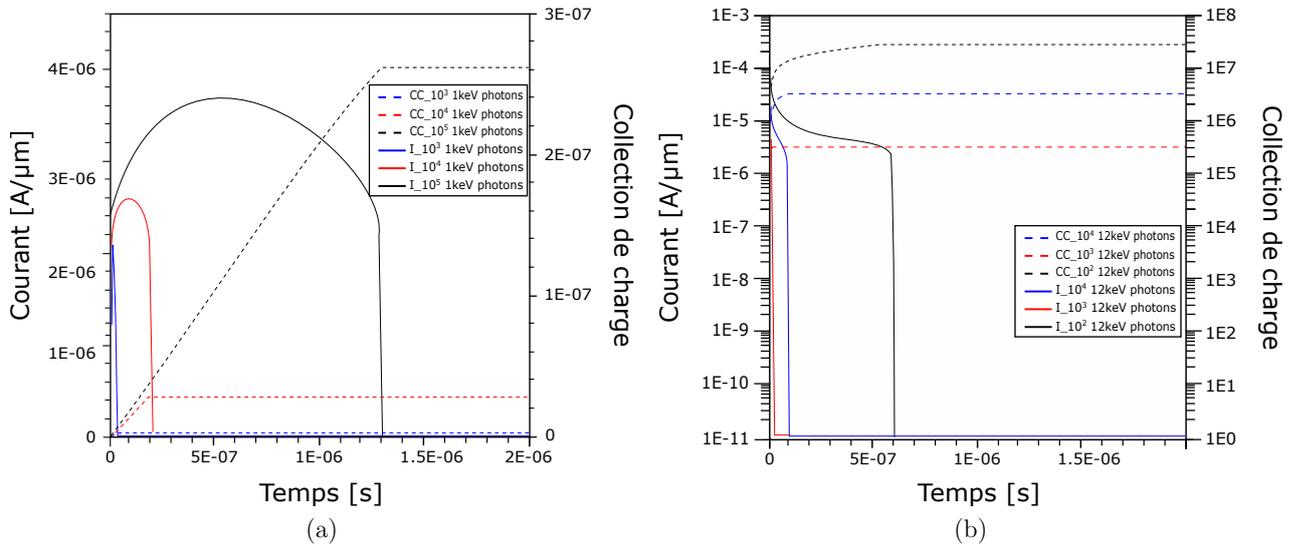


FIGURE 3.29 – Les courants et le nombre de charge collectés du capteur pour différentes intensités de rayonnement x injectées ; avec une longueur d’onde de 660nm et une énergie de 1keV (a) et l’autre d’une longueur d’onde de 1015nm et une énergie de 12keV (b).

Ainsi, on peut noter que la réduction de l’intensité optique permet d’accélérer le processus de collection de charge. Cependant, pour un rayonnement de 660nm d’une énergie de 1keV, le temps de collection varie de 1.3μs à 10<sup>5</sup> 1keV jusqu’à 40ns à 10<sup>3</sup> 1keV. Par contre, pour un rayonnement de 1015nm d’une énergie de 12keV, le temps de collection varie de 565ns à 10<sup>4</sup> 12keV jusqu’à 25ns à 10<sup>2</sup> 12keV. Ceci s’explique par le fait qu’une fois l’intensité optique est minimisée, la densité de porteurs de charge générée diminue, ce qui peut réduire l’impact de l’effet plasma en améliorant le temps de collection de charge.

– **Impact du facteur de zone :**

La collection de charge due à la génération optique dans le capteur p-on-n en fonction d’un autre paramètre, dit facteur de zone, est étudiée. Ce facteur de zone étend le modèle de simulation du dispositif 2D dans la troisième dimension. Puisque le facteur de zone du simulateur en 2D prend une valeur par défaut étant 1μm, le dispositif est ainsi étendu le long de l’axe z avec un tel facteur pour imiter le cas réel d’une simulation 3D. Pour ce faire, un facteur de 100 est implémenté pour notre cas de structure du capteur p-on-n considéré. Le courant et la charge totale collectée pour les deux types de rayonnement focalisés sur une fenêtre de 10μm de diamètre sont présentés sur la Figure 3.30(a-b). L’analyse transitoire est présentée en fonction de différentes tensions de polarisation allant de 100V à 500V.

Les résultats de simulation du courant et de la collection de charges pour un facteur de zone de 100 montrent toujours que l’application d’une tension de polarisation plus élevée permet d’accélérer le processus de collection de charge pour les deux types de rayonnement. Par conséquent, on peut conclure que le temps de collection des charges dépend fortement de la tension appliquée ainsi que le facteur de zone mis en œuvre. L’utilisation d’un facteur de zone important permet de réduire la densité du porteur de charge et donc l’effet plasma en améliorant ainsi le temps de collection de charge.

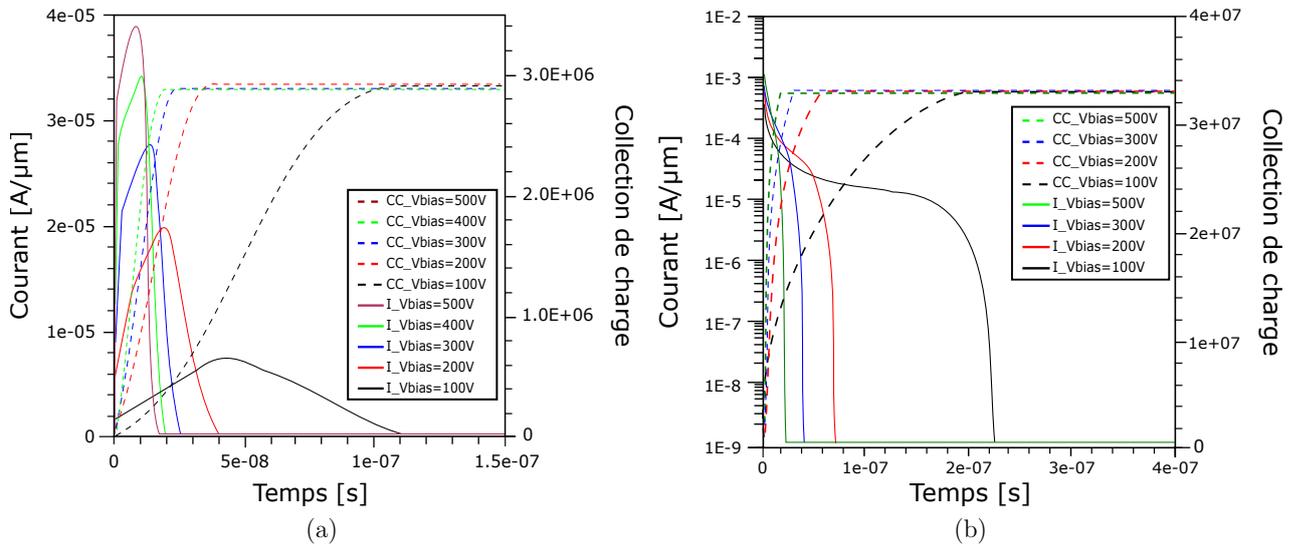


FIGURE 3.30 – Les courants et le nombre de charge collectés d’un capteur p-on-n pour un facteur de zone de  $100\mu\text{m}$  et différentes tensions de polarisation après injection de deux types de rayonnement x à hautes intensités (de l’ordre de  $10^4$  photons) ; avec une longueur d’onde de  $660\text{nm}$  et une énergie de  $1\text{keV}$  (a) et l’autre d’une longueur d’onde de  $1015\text{nm}$  et une énergie de  $12\text{keV}$  (b).

– **Impact du diamètre de la fenêtre d’injection :**

Un autre paramètre qui peut avoir une influence significative sur la collection de charge dû à la génération optique dans le capteur p-on-n, est le diamètre de la fenêtre d’injection du rayonnement. En effet, un rayonnement X incident d’une longueur d’onde de  $660\text{nm}$  est focalisé sur la face arrière du capteur en utilisant différents diamètres de fenêtre d’injection ( $10\mu\text{m}$  et  $100\mu\text{m}$ ). Les courants et les charges collectés ont été présentés en fonction de différentes tensions de polarisation de  $300\text{V}$  et  $500\text{V}$  en gardant le facteur de zone avec sa valeur par défaut étant  $1\mu\text{m}$ , comme le montre la Figure 3.31.

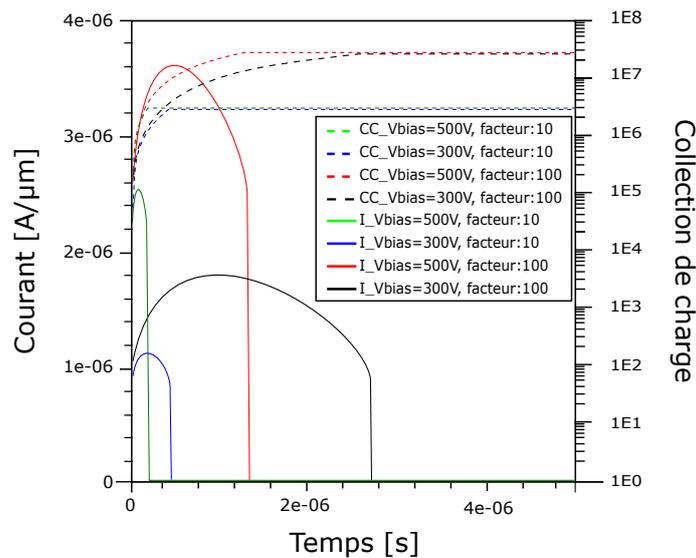


FIGURE 3.31 – Les courants et le nombre de charge collectés d’un capteur p-on-n pour différentes tensions de polarisation après injection d’un rayonnement x sur une fenêtre de diamètre de  $100\mu\text{m}$  avec une longueur d’onde de  $660\text{nm}$  et une énergie de  $1\text{keV}$ .

A partir des résultats relevés, il est évident qu'un plus grand diamètre de fenêtre permet de réduire la densité de porteurs et donc le temps de collection de charge en raison des effets plasma.

Un résumé des différents résultats obtenus pour l'étude de collection de charge dans la région centrale du capteur p-on-n est présenté sur la Table 3.2.

TABLE 3.2 – Résumé des différents résultats obtenus pour l'étude de la collection de charge dans la région centrale du capteur.

| $V_{\text{bias}}$ (V) | Facteur de zone = $1\mu\text{m}$        |                   |   |                   | Facteur de zone = $100\mu\text{m}$      |                  |   |                  |
|-----------------------|---|-------------------|---|-------------------|---|------------------|---|------------------|
|                       | $\lambda=660\text{nm}$<br>$I=10^4$ 1keV |                   | $\lambda=1015\text{nm}$<br>$I=10^4$ 12keV |                   | $\lambda=660\text{nm}$<br>$I=10^4$ 1keV |                  | $\lambda=1015\text{nm}$<br>$I=10^4$ 12keV |                  |
|                       | Temps (s)                               | charge collecté   | Temps (s)                                 | charge collecté   | Temps (s)                               | charge collecté  | Temps (s)                                 | charge collecté  |
| 100                   | $2.7\mu\text{s}$                        | $2,6 \cdot 10^6$  | -   | -                 | 120ns                                   | $2,9 \cdot 10^6$ | 220ns                                     | $3,3 \cdot 10^7$ |
| 200                   | 890ns                                   | $2,8 \cdot 10^6$  | -   | -                 | 45ns                                    | $2,9 \cdot 10^6$ | 72ns                                      | $3,3 \cdot 10^7$ |
| 300                   | 460ns                                   | $2,85 \cdot 10^6$ | $1.4\mu\text{s}$                          | $3,1 \cdot 10^7$  | 30ns                                    | $2,9 \cdot 10^6$ | 41ns                                      | $3,3 \cdot 10^7$ |
| 400                   | 290ns                                   | $2,87 \cdot 10^6$ | -   | -                 | 22ns                                    | $2,9 \cdot 10^6$ | 30ns                                      | $3,3 \cdot 10^7$ |
| 500                   | 205ns                                   | $2,88 \cdot 10^6$ | 640ns                                     | $3,15 \cdot 10^7$ | 18ns                                    | $2,9 \cdot 10^6$ | 23ns                                      | $3,3 \cdot 10^7$ |
| 1000                  | 85ns                                    | $3,25 \cdot 10^6$ | 230ns                                     | $3,2 \cdot 10^7$  | 14ns                                    | $2,9 \cdot 10^6$ | 14ns                                      | $3,3 \cdot 10^7$ |

### ii. Etude de la région de bord du capteur

Après avoir investigué le processus de collection de charge dans la région centrale du capteur p-on-n, il est intéressant maintenant de se pencher sur l'étude des propriétés de collection de charge dans la région du bord du dispositif. En effet, la structure optimisée auparavant d'un capteur p-on-n à bord actif et quatre anneaux de garde sera considérée dans notre cas d'étude. Nous rappelons que cette structure de capteur a une épaisseur de  $450\mu\text{m}$  et une distance d'écart entre le bord actif et le dernier électrode ou pixel du capteur autour de  $150\mu\text{m}$  (Figure 3.32).

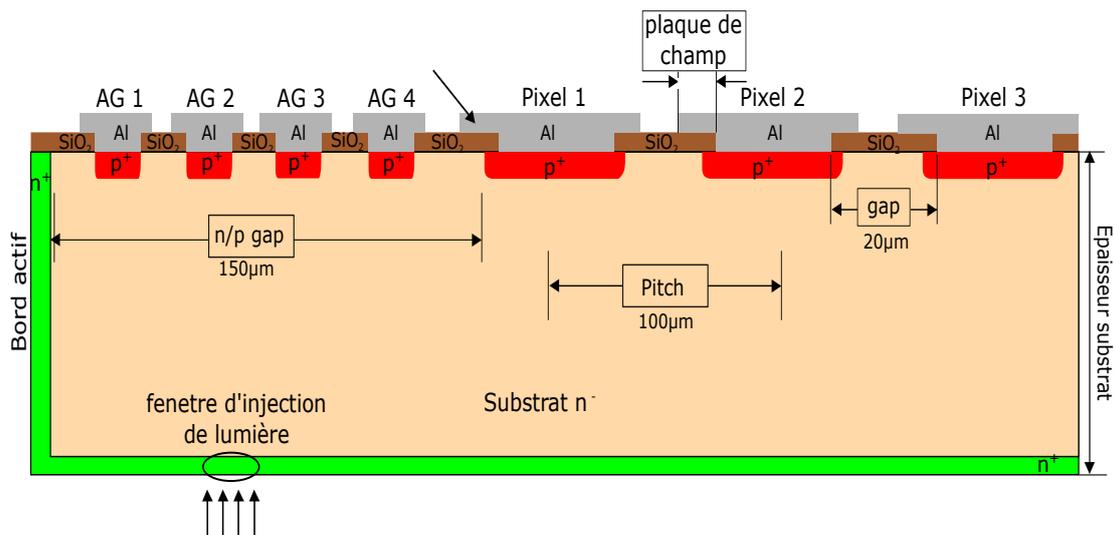


FIGURE 3.32 – Vue schématique en coupe de la région de bord d'un capteur p-on-n à 3 pixels et 4 anneaux de garde.

– **Impact de la tension de polarisation :**

La collection de charge dans un capteur p-on-n en fonction de la tension de polarisation appliquée est investiguée. Pour ce faire, les deux types de rayonnement x, celui d'une longueur d'onde de  $660nm$  et une énergie de  $1keV$  et l'autre d'une longueur d'onde de  $1015nm$  et une énergie de  $12keV$ , sont injectés dans la région du bord du capteur. Les deux impulsions laser de haute intensité de  $10^4$  sont focalisées sur une fenêtre de  $10\mu m$  de diamètre à la face arrière de notre structure. L'analyse transitoire de la dynamique de collection de charge, établie avec le simulateur TCAD, considère cette fois le cas d'un facteur de zone de 100, afin d'éviter les effets négatifs du phénomène plasma. Les variations du courant et de la charge totale collectée du capteur p-on-n sont présentées sur les Figures 3.33(a-b).

Les résultats de simulation de la génération optique par différents types de rayonnement montrent que pour des longueurs d'onde élevées, comme pour le  $1015nm$ , le rayonnement pénètre dans le substrat, générant des paires électron-trou le long de sa trajectoire, qui sont séparées par le champ électrique et dérivent vers les électrodes correspondantes plus rapidement que l'injection de lumière à courtes longueurs d'onde comme pour le  $660nm$ . En outre, l'augmentation de la tension appliquée permet d'accélérer le processus de collection de charge. Cependant, pour un rayonnement de  $660nm$  d'une énergie de  $1keV$ , le temps de collection varie de  $290ns$  à une tension de  $200V$  jusqu'à  $80ns$  à  $400V$ , alors que pour un rayonnement de  $1015nm$  d'une énergie de  $12keV$ , le temps de collection varie de  $430ns$  à  $200V$  jusqu'à  $105ns$  à  $400V$ .

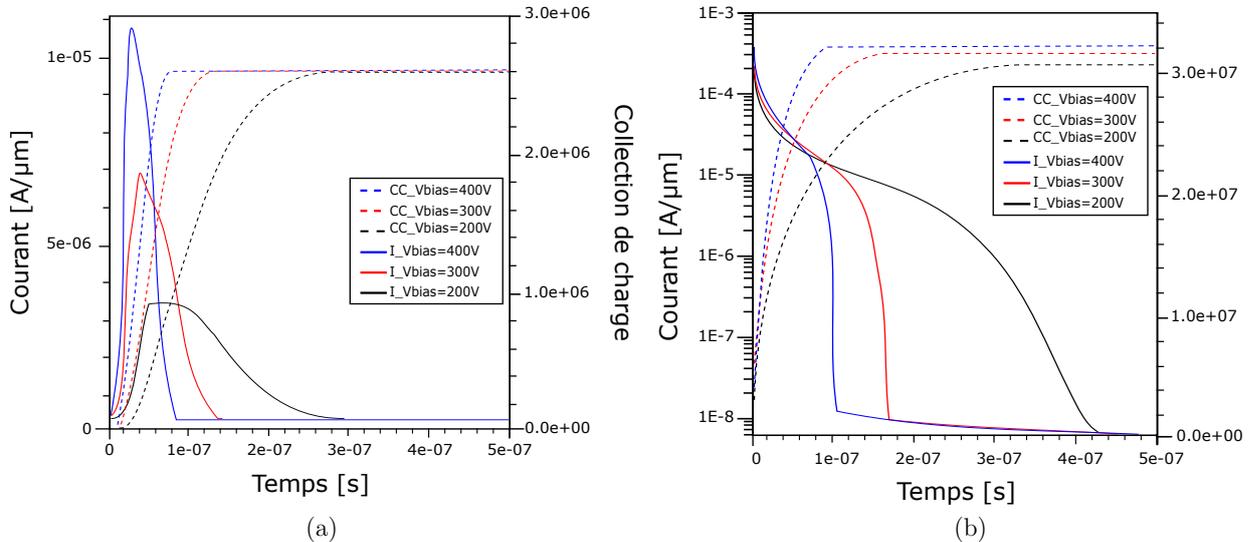


FIGURE 3.33 – Les courants et le nombre de charge collectés d'un capteur p-on-n pour différentes tensions de polarisation après injection de deux types de rayonnement à hautes intensités (de l'ordre de  $10^4$  photons) ; avec une longueur d'onde de  $660nm$  et une énergie de  $1keV$  (a) et l'autre d'une longueur d'onde de  $1015nm$  et une énergie de  $12keV$  (b).

– **Impact de l'intensité optique :**

Il est également important de visualiser l'impact de l'intensité optique du rayonnement sur les propriétés de collection de charges générées dans la région du bord du capteur p-on-n. En effet, une génération optique par des rayonnements de différentes intensités optiques a été utilisée dans ce cas. Les transitoires de courant et la charge totale collectée du dispositif à une tension de polarisation de  $400V$  sont présentés sur les Figures 3.34(a-b).

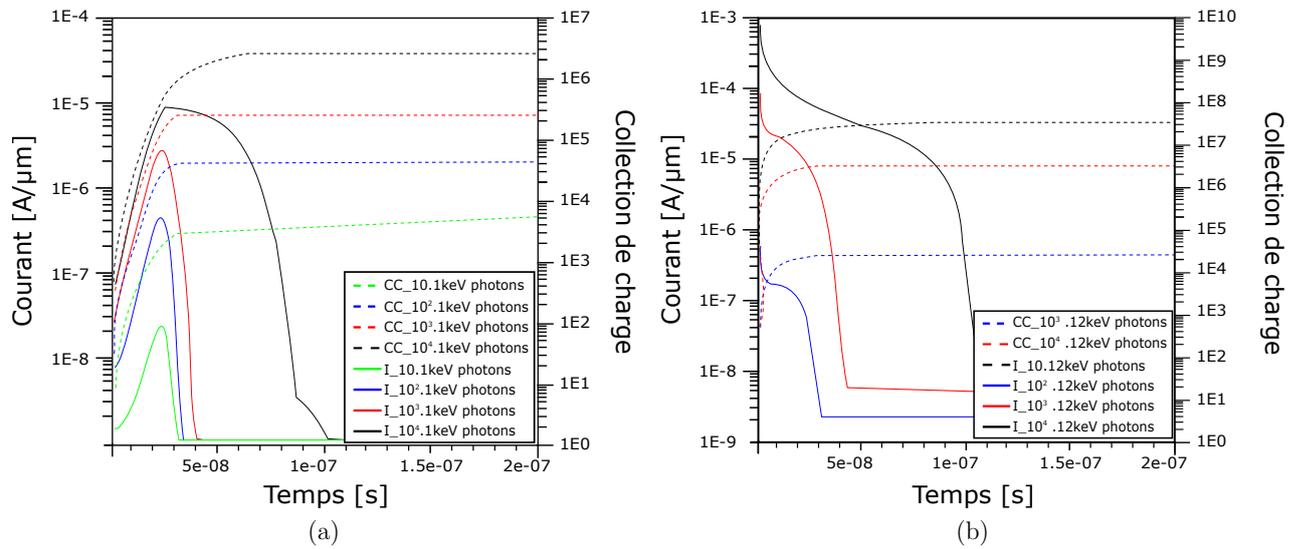


FIGURE 3.34 – Les courants et le nombre de charge collectés d’un capteur p-on-n pour différentes intensités de rayonnement x injecté; avec une longueur d’onde de  $660nm$  et une énergie de  $1keV$  (a) et l’autre d’une longueur d’onde de  $1015nm$  et une énergie de  $12keV$  (b).

Les courants relevés ainsi que la collection de charge totale pour différentes intensités optiques injectées dans la face arrière du capteur montrent que la réduction de l’intensité lumineuse du rayonnement incident permet d’accélérer le processus de collection des charges. Ceci peut se voir clairement pour les deux cas de rayonnement d’une longueur d’onde de  $660nm$  et une énergie de  $1keV$  et l’autre d’une longueur d’onde de  $1015nm$  et une énergie de  $12keV$  dans les résultats obtenus. Ainsi, ce comportement est dû à la réduction de l’effet plasma par la diminution de la densité de porteurs de charge générée une fois l’intensité optique est réduite.

### 3.5 Capteur planaire à bord mince

Nous venons de voir précédemment l’avantage de l’utilisation d’une technologie à bord actif en termes de réduction de la zone inactive d’un capteur planaire. En dépit de cet avantage, l’inclusion du bord actif augmente la complexité de processus de fabrication en raison, de la technique de gravure DRIE et de la nécessité d’une plaquette de support pour maintenir le détecteur pendant le processus de gravure des tranchées. Cependant, une alternative aux bords actifs est l’utilisation d’une technologie de capteur à bord mince.

Ceci consiste tout simplement d’un ensemble de contacts ohmiques placé dans la région du bord du capteur afin de bloquer le déplacement de la région de déplétion vers l’extérieur. Cette caractéristique offre deux avantages principaux : 1) la possibilité d’éliminer l’utilisation de la plaquette de support dans une technologie à bord actif, et 2) la face arrière du capteur serait accessible, permettant l’optimisation de la fenêtre d’entrée pour des rayonnements X à faibles énergies.

#### 3.5.1 Structure du capteur à bord mince

Afin de voir l’utilité de cette nouvelle approche sur les caractéristiques électriques du capteur, des simulations numériques ont été effectuées en modélisant le bord avec une région de faible durée de vie ( $\tau = 1ns$ ). L’étude de cette approche nécessite la

considération de la troisième dimension par le simulateur TCAD pour la conception de la structure du capteur. Cependant, différentes structures et géométries des tranchées peuvent être considérées.

Une des géométries à bords mince qui a été analysée consiste en plusieurs tranchées segmentées de forme rectangulaire. Les mêmes paramètres technologiques et conceptuelles de celui de la structure optimisée à bord actif à quatre anneaux de garde ont été utilisés. Les tranchées segmentées avec un dopage  $n^+$  ont été placées à une distance d'écart avec le premier anneau de garde de  $20\mu m$ , (Figure 3.35). Les courbes  $I(V)$  pour cette structure sont représentées sur la Figure 3.36 pour différentes concentrations de charge d'oxyde. Ainsi, il est clairement évident que la valeur de la tension de claquage est supérieure à 400 V dans tous les cas et qui est quasiment similaire à celle simulée pour la structure à tranchées continues (à bord actif).

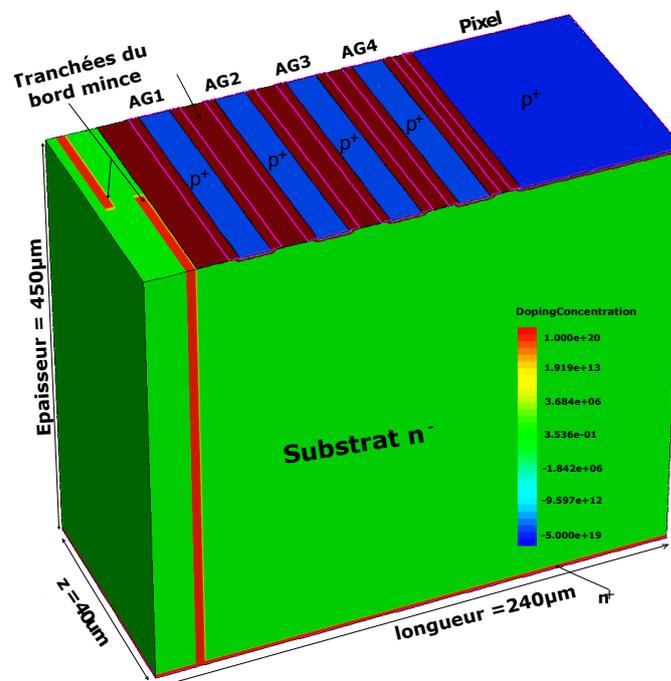


FIGURE 3.35 – La structure 3D d'un capteur p-on-n à bord mince et 4 anneaux de garde.

Cependant, afin d'avoir une comparaison entre les deux approches, celle d'une structure à bord actif et à bord mince dans un domaine 3D ainsi qu'une structure à bord actif en 2D (considérée jusqu'à ici), la tension de claquage des différents cas a été simulée numériquement et est présentée sur la Figure 3.37 en fonction de la densité des charges d'oxyde,  $N_{ox}$ .

Les résultats de simulations obtenus par cette étude montrent qu'il y a une légère diminution de la tension de claquage d'une structure à bord mince par rapport à celle d'un capteur à bord actif réalisé en 3D. Cependant, cette légère différence est toujours acceptable surtout qu'au pire des cas des doses de radiation (correspondant à une densité des charges d'oxyde de  $3.10^{12} cm^{-2}$ ), la tension de claquage est plus de 400V.

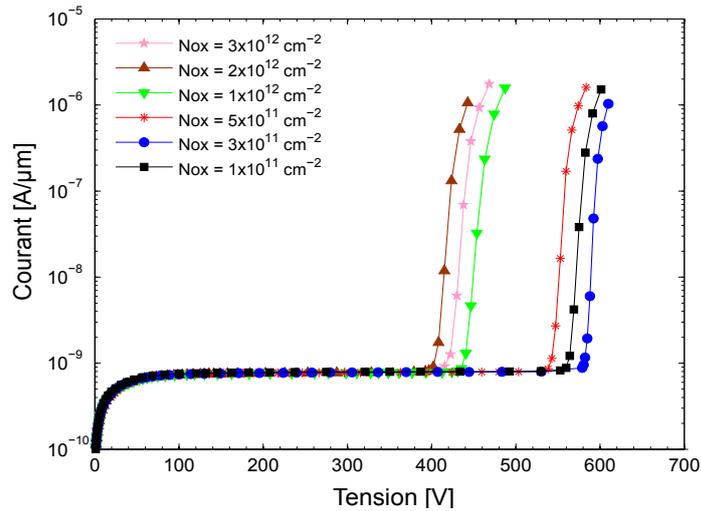


FIGURE 3.36 – Les courbes  $I(V)$  du capteur p-on-n à bord mince et 4 anneaux de garde pour une épaisseur d'oxyde de  $300nm$ .

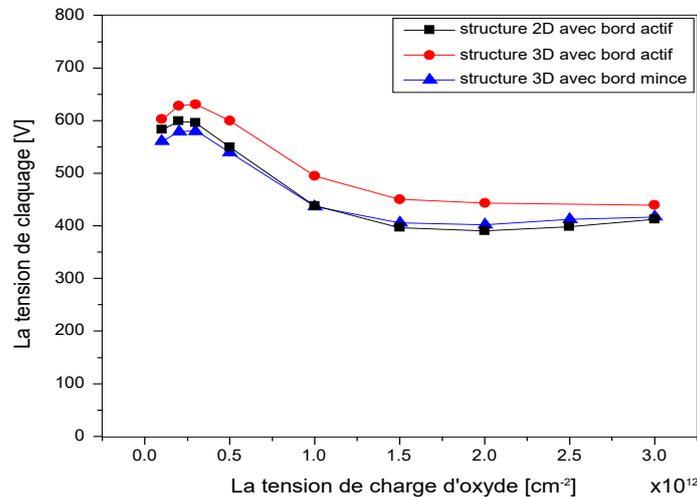


FIGURE 3.37 – Comparaison de la tension claquage des structures de capteur 2D et 3D à bord mince et bord actif en fonction de la densité de charge d'oxyde.

### 3.5.2 Géométries des tranchées du capteur à bord mince

Puisque l'idée principale derrière une conception des capteurs à bords mince est d'empêcher la région de déplétion de s'étendre de la jonction du dernier pixel pour atteindre la région de coupe du capteur. Afin de bloquer le déplacement de la région de déplétion vers l'extérieur, une clôture d'un ensemble de colonnes ohmiques peut être placée. Pour ce faire, la forme et la position des tranchées doivent être soigneusement prises. Ceci peut être fait à l'aide de simulations numériques du logiciel TCAD dont plusieurs formes de tranchées de bord mince peuvent être considérées. Une série de colonnes de bords mince avec des formes rectangulaires et circulaires a été investiguée (Figure 3.38).

Les tranchées rectangulaires, d'une largeur de  $10\mu m$  et une longueur de  $40\mu m$ , ont été réparties en deux rangées, comme le montre la Figure 3.38-a. Pour obtenir un meilleur confinement de la région de déplétion à l'intérieur des tranchées, évitant ainsi l'injection de courant de fuite de la surface coupée, des tranchées avec un chevauchement de  $10\mu m$  ont été considérées également, comme il est illustré sur la Figure 3.38-b. La zone de déplétion d'une structure de capteur à quatre anneaux pour les deux cas des tranchées rectangu-

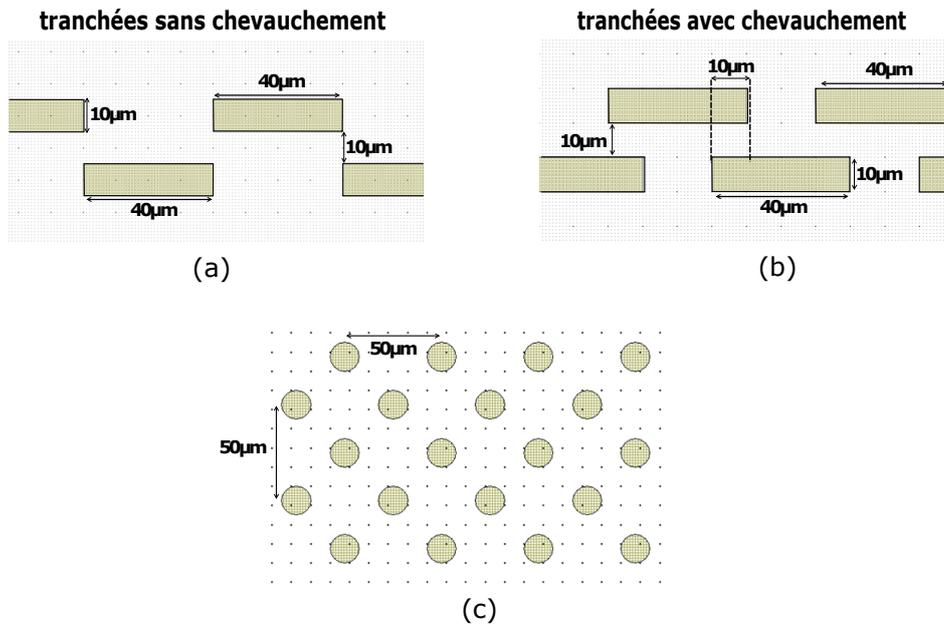


FIGURE 3.38 – Les différentes géométries des tranchées du capteur à bord mince; (a) des tranchées rectangulaires sans chevauchement, (b) des tranchées rectangulaires avec chevauchement, (c) des tranchées circulaires.

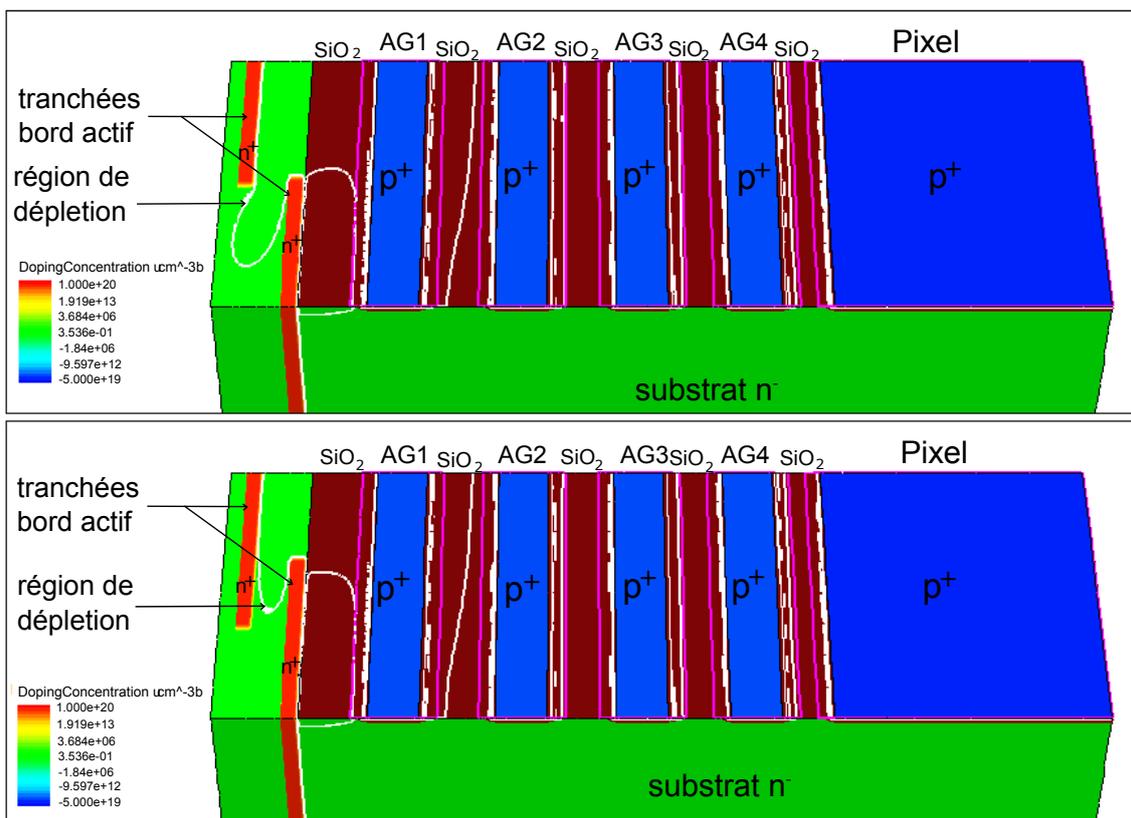


FIGURE 3.39 – La région de déplétion dans un capteur à bord mince pour des tranchées rectangulaires avec et sans chevauchement.

laire (avec et sans chevauchement) est représentée sur la Figure 3.39. Comme on peut l'observer, un confinement meilleur a été obtenu pour le cas des colonnes rectangulaires avec un chevauchement de  $10\mu m$ .

Pour avoir une comparaison entre les deux cas de configuration des bords mince à tranchées rectangulaires (avec et sans chevauchement) sur la caractéristique de tension du capteur p-on-n, la tension de claquage a été simulée numériquement et est présentée sur la Figure 3.40 en fonction de la densité des charges d'oxyde,  $N_{ox}$ . Une légère amélioration de la tension de claquage dans le cas des tranchées avec chevauchement de  $10\mu m$  est observée. Ceci est dû principalement au confinement de la région de déplétion à l'intérieur des tranchées comme on l'a vu précédemment.

L'autre structure de capteur formée par plusieurs rangées de tranchées circulaires a également été considérée. Dans ce cas, les tranchées dopées  $n^+$  ont un diamètre de  $15\mu m$  et une distance de  $50\mu m$ . Une disposition de cette conception est montrée sur la Figure 3.38-c. La région de déplétion de la même structure de capteur à quatre anneaux avec un bord actif des tranchées circulaire est montrée sur la Figure 3.41. En effet, il est bien évident que la zone de déplétion avec cette géométrie des tranchées circulaires est bien confiné à l'intérieur de l'ensemble des colonnes du bord mince considérés.

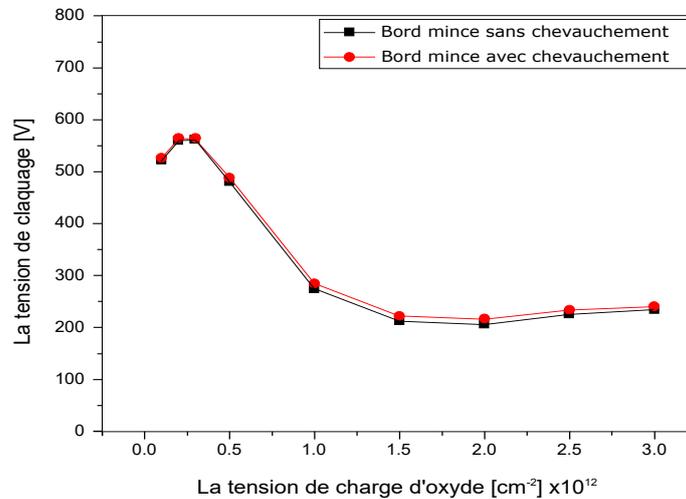


FIGURE 3.40 – Comparaison de la tension de claquage dans un capteur à bord mince pour des tranchées rectangulaires avec et sans chevauchement.

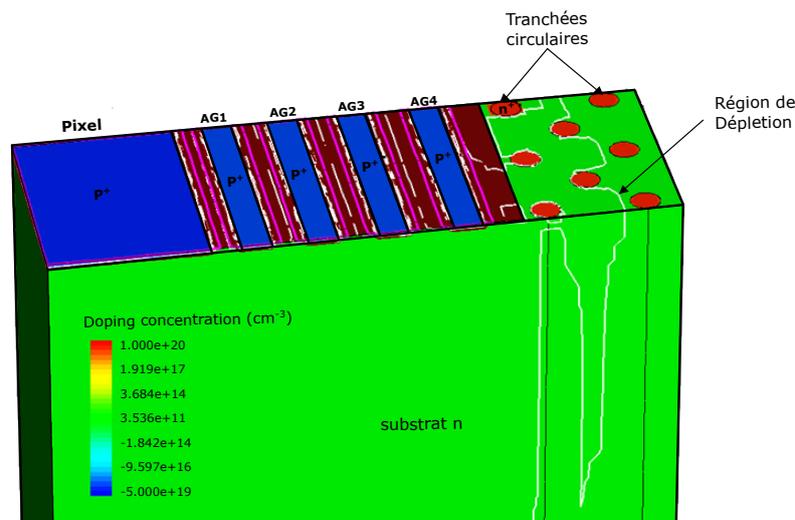


FIGURE 3.41 – La région de déplétion d'un capteur à bord mince avec des tranchées circulaires.

## 3.6 Conclusion

Dans ce chapitre, nous avons fait une étude ainsi qu'une conception des détecteurs réalisés dans le cadre du projet Européen PixFEL. Nous avons présenté en premier lieu, un aperçu du détecteur PixFEL. Par la suite, nous avons présenté la structure du capteur planare. Le capteur planare à bord actif ainsi que ses différentes variantes et le capteur planare à bord mince ont également été présentés dans ce chapitre.

Dans le prochain chapitre, nous allons faire la conception du *layout* ainsi que la caractérisation électrique du détecteur PixFEL.

# Chapitre 4

## Conception du *layout* et caractérisation électrique du détecteur PixFEL

### Sommaire

---

|            |  |            |
|------------|--|------------|
| <b>4.1</b> | <b>Introduction</b>                                    | <b>110</b> |
| <b>4.2</b> | <b>Conception du <i>layout</i> du détecteur PixFEL</b> | <b>110</b> |
| 4.2.1      | Structures de test standard                            | 110        |
| 4.2.2      | Structure de capteurs à bord actif                     | 111        |
| 4.2.3      | Structure de capteurs à bord mince                     | 114        |
| 4.2.4      | Capteur de 15x15 pixels                                | 116        |
| <b>4.3</b> | <b>Fabrication de la plaquette</b>                     | <b>120</b> |
| <b>4.4</b> | <b>Caractérisation électrique</b>                      | <b>120</b> |
| 4.4.1      | Les sources d'erreurs                                  | 122        |
| 4.4.2      | Structures de test                                     | 123        |
| 4.4.3      | Structure de diodes                                    | 125        |
| 4.4.4      | Capteur 8x8 pixels                                     | 127        |
| <b>4.5</b> | <b>Conclusion</b>                                      | <b>131</b> |

---

## 4.1 Introduction

Au cours de ce dernier chapitre, nous allons présenter la conception du *layout* du détecteur PixFEL d'une plaquette de 6 pouces incluant des capteurs à bords actifs et à bords minces. Ensuite, nous allons voir la démarche à suivre pour la fabrication de la plaquette qui est présentée dans la Section 4.3. Puis, nous allons présenter les caractérisations électriques du détecteur PixFel dans la Section 4.4. Nous terminerons ce chapitre par une conclusion qui est présentée dans la Section 4.5.

## 4.2 Conception du *layout* du détecteur PixFEL

Sur la base des simulations TCAD discutées dans le chapitre précédent, le *layout* d'une plaquette de 6 pouces incluant des capteurs à bords actifs et minces, ainsi que des structures de test a été conçu. Cette plaquette, qui a été soumise en fabrication au niveau du centre de fabrication *Fondazione Bruno Kessler (FBK, Trento, Italie)*, inclut différentes structures de bord sur les dispositifs de test afin d'évaluer expérimentalement l'optimisation des différents paramètres considérés auparavant. Les paramètres géométriques des structures ont été optimisés pour une épaisseur d'oxyde de  $300nm$ , une profondeur de jonction de  $2.4\mu m$ , une longueur de plaque de champ de  $5\mu m$  et une largeur des anneaux de garde de  $15\mu m$ . La surface de la plaquette est revêtue d'une passivation à deux couches composées de  $SiO_2$  et  $Si_3N_4$ , ayant respectivement une épaisseur de  $500$  et  $250nm$ . Celles-ci ont été déposée par un dépôt chimique en phase vapeur assisté par plasma PECVD.

Compte tenu de la grande taille de la plaquette, de nombreux capteurs et structures de test ont été inclus dans le *layout* :

### 4.2.1 Structures de test standard

Sur la plaquette considérée, il existe donc de nombreuses structures de test situées autour du détecteur principal. Ces structures sont conçues pour surveiller la stabilité du processus de fabrication. L'ensemble de cinq structures de test considérées sur notre plaquette est illustré sur la Figure 4.1.

1. Une simple diode planaire entourée d'un anneau de protection : permet d'extraire plusieurs paramètres entre autres, la densité de courant de fuite et la durée de vie des porteurs dans le volume (à partir des caractéristiques I-V), la tension de déplétion (caractéristiques C-V) et la concentration de dopage du substrat (caractéristiques C-V).
2. Des structures de type Van der Pauw : permettent de mesurer la résistivité et les coefficients de Hall des implantations et fournissent également des informations sur la résistance des contacts.
3. Une capacité MOS réalisée sur un substrat fortement dopé. Elle est utilisée pour obtenir une estimation de la valeur de la capacité de couplage intégrée réalisée sur des capteurs à bande.
4. La diode à grille ou *Gate-controlled-diodes (GCD)* : il s'agit d'un dispositif à semiconducteur qui combine la fonction d'une jonction p-n et d'une capacité MOS. Ces dispositifs sont généralement utilisés pour étudier la qualité de l'interface oxyde/silicium à travers la mesure du courant de surface et de la vitesse de recombinaison de surface à l'aide des mesures (I-V).

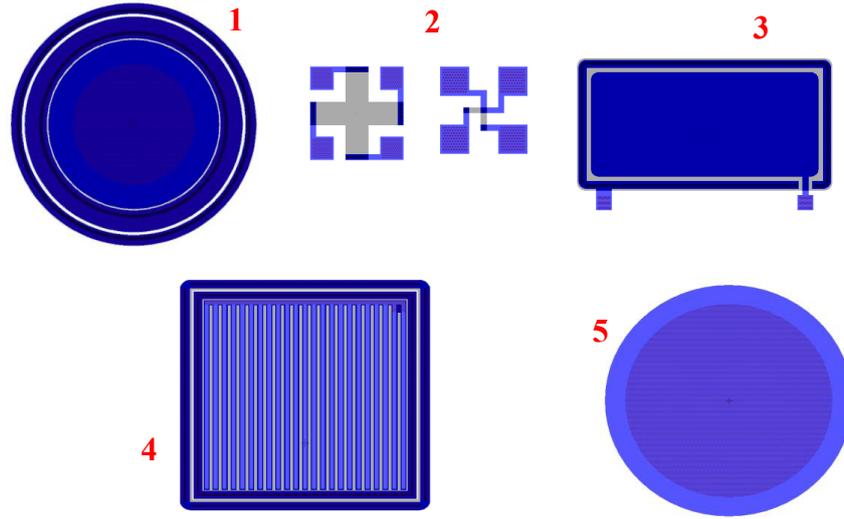


FIGURE 4.1 – Structures de test : Une diode planaire avec un anneau de garde (1), quelques structures Van der Pauw (2), une capacité MOS réalisée sur un substrat fortement dopé (3), Diodes à grille *Gate-controlled-diodes* (4), une capacité MOS (5).

5. Capacités MOS dont la valeur de la constante du dielectrique correspond à la couche d'oxyde présente dans le détecteur principal. Ces dispositifs sont conçus pour mesurer l'épaisseur d'oxyde et la valeur de tension de bande plate à l'aide des mesures (C-V).

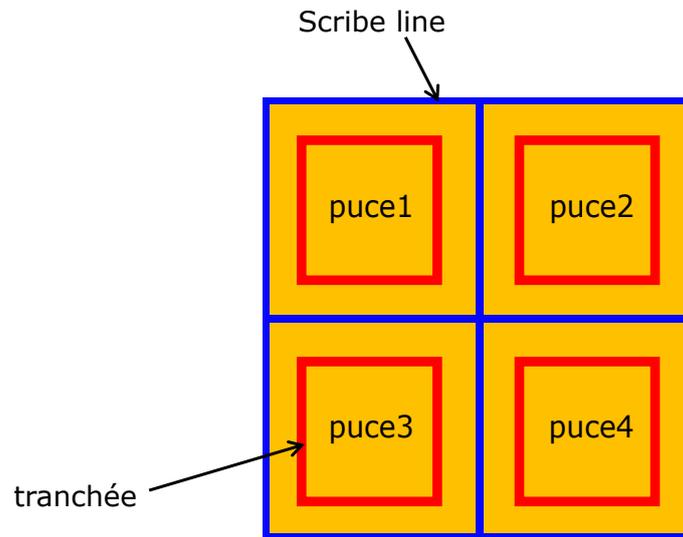
Un récapitulatif de toutes les structures disponibles avec les paramètres pouvant être extraits et leur taille est indiqué dans la Table 4.1.

TABLE 4.1 – Structures de test planares disponibles et leur taille. Les paramètres extraits de la caractérisation électrique sont également rapportés,  $R_{implant}$  et  $R_{contact}$  sont la résistivité et le coefficient de Hall des implantations et des contacts,  $C_{AC}$  est la valeur de la capacité MOS réalisée sur un substrat fortement dopé,  $J_{bulk}$ ,  $V_{FD}$  et  $N_{bulk}$  sont la densité de courant de fuite, la tension de déplétion totale et la concentration de dopage du substrat,  $t_{ox}$  et  $N_{ox}$  sont l'épaisseur d'oxyde et la concentration des charge d'oxyde,  $s_0$  est la vitesse de recombinaison en surface.

| Structure                     | Paramètre                               | Taille             |
|-------------------------------|---|--------------------|
| Diode planaire avec un anneau | $J_{bulk}, \pi_{n,p}, V_{FD}, N_{bulk}$ | $0.04cm^2$ (diode) |
| Structures Van der Pauw       | $R_{implant}, R_{contact}$              | -                  |
| Capacité MOS inter bande      | $C_{AC}$                                | $0.01cm^2$         |
| <i>Gate-controlled-diodes</i> | $s_0$                                   | $0.01cm^2$ (gate)  |
| Capacité MOS                  | $t_{ox}, N_{ox}$                        | -                  |

#### 4.2.2 Structure de capteurs à bord actif

Une des principales structures qui seront incluses dans notre plaquette correspond au capteur à bord actif. En effet, des diodes et des capteurs de différentes géométries et configurations sont considérés et placés dans notre plaquette sous forme des 'îles' ou puces. Chacune d'entre elles est séparée des autres par des *scribe-line* présentant la marge pour la découpe de plaquette. Les tranchées des bords actifs autour de chaque structure ont une largeur de  $10\mu m$  (Figure 4.2).


 FIGURE 4.2 – *Layout* design des différentes structures du capteur à bord actif.

### Des diodes larges

Afin d'étudier et d'analyser les différentes configurations du bord qui inclut des anneaux de garde, des structures de diodes d'une large surface de  $0.1 \times 0.1 \text{ cm}^2$  sont conçues. Les diodes sont réalisées en considérant le cas d'un bord actif tel que la distance entre la jonction de cette diode et la tranchée soit de  $20 \mu\text{m}$  dans le cas où il existe des anneaux de garde, et de  $20 \mu\text{m}$  à  $30 \mu\text{m}$  en absence d'anneaux de garde (Figure 4.3). La structure et la largeur de chaque anneau sont les mêmes pour tous les capteurs considérés dans cette plaquette. La largeur des anneaux est de  $15 \mu\text{m}$  les plaques de champ ont quand à elles une longueur de  $5 \mu\text{m}$ .

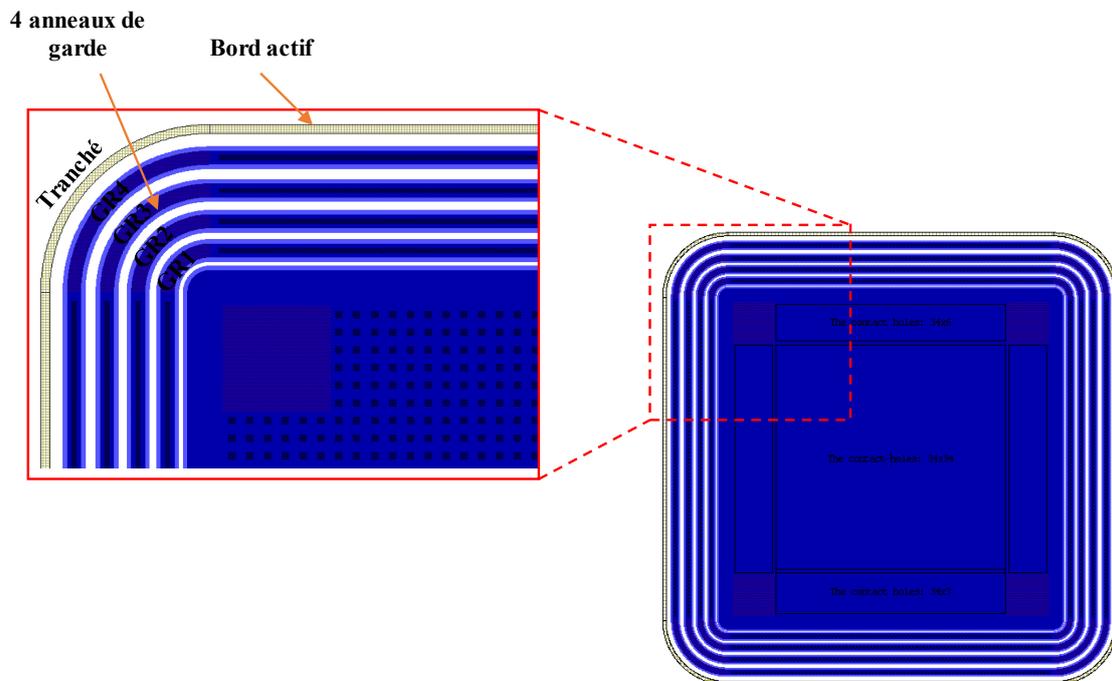


FIGURE 4.3 – Structure d'une large diode à bord actif avec une configuration de quatre anneaux de garde.

### Capteur de 8x8 pixels

Ce capteur présente une matrice de 8x8 pixels avec une surface active de  $0.22 \times 0.22 \text{ cm}^2$ . Chaque pixel du capteur est réalisé sous une forme rectangulaire avec une plaque de champ d'une largeur de  $5\mu\text{m}$ . Le pixel comprend des ouvertures de contacts carrés pour connecter les implantations  $p^+$  à travers le  $\text{SiO}_2$  à la couche métallique. Les cercles centrés au milieu de chaque pixel présentent l'ouverture à travers la couche de passivation pour relier le capteur à la parité ASIC du détecteur par bossage.

Ces diodes segmentées sont mises sur notre plaquette avec quatre blocs pour les deux pas de 100 et  $110\mu\text{m}$ . Chaque bloc contient huit capteurs de différentes largeurs de pixels avec et sans la présence du bord actif à la périphérie du capteur. Cependant, pour permettre le test de ces capteurs sans avoir besoin de la liaison par bossages à une puce spéciale, les pixels sont reliés ensemble formant un réseau par des lignes métalliques d'une largeur de  $5\mu\text{m}$ , comme il est montré sur la Figure 4.4.

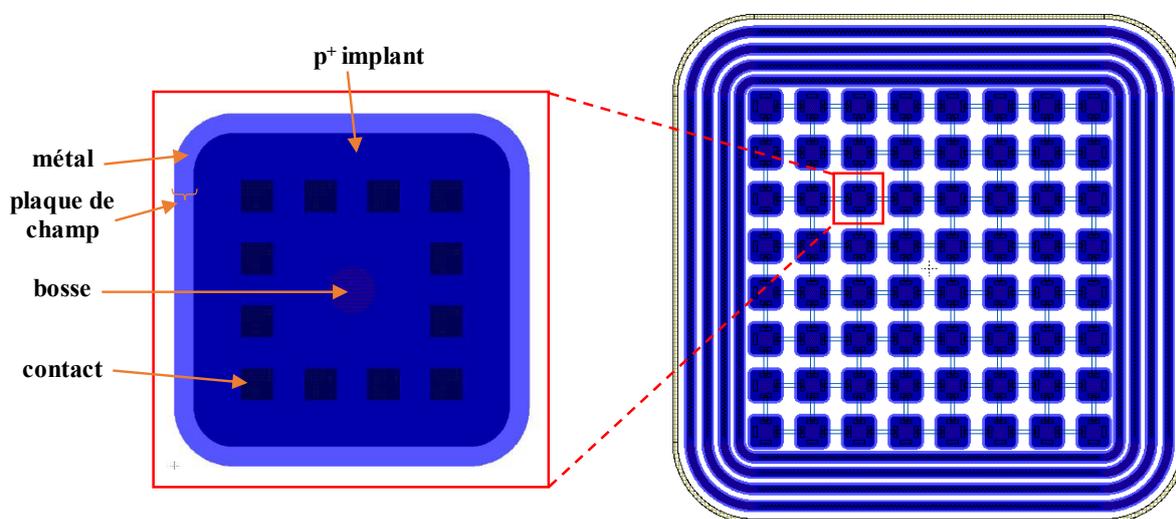


FIGURE 4.4 – Capteur d'une matrice de 8x8 pixels et une vue schématique d'un pixel.

### Capteur de 32x32 pixels

Ces capteurs sont constitués d'une matrice de 32x32 pixels qui sera reliée à une seule puce de lecture pour tester le fonctionnement global du capteur. Ces capteurs, réalisés avec une surface active de  $0.32 \times 0.32 \text{ cm}^2$ , sont conçus sur la plaquette en deux blocs séparés. Chaque bloc contient neuf capteurs d'une configuration de quatre anneaux de garde et un bord actif à la périphérie du capteur avec un gap de  $20\mu\text{m}$ . De différentes largeurs de pixels pour un pas de 100 et  $110\mu\text{m}$  ont été considérées, comme il est montré sur la Figure 4.5.

### Capteur de 64x64 pixels

Ces capteurs, constitués d'une matrice de 64x64 pixels, présentent la structure du capteur de notre détecteur final qui sera relié à sa partie électronique développée par les autres groupes de recherche du projet PixFEL. Ils sont réalisés avec une surface active de  $0.64 \times 0.64 \text{ cm}^2$ , conçus sur notre plaquette en six blocs séparés. Chaque bloc est constitué de huit capteurs de quatre anneaux de garde et un bord actif à la périphérie du capteur

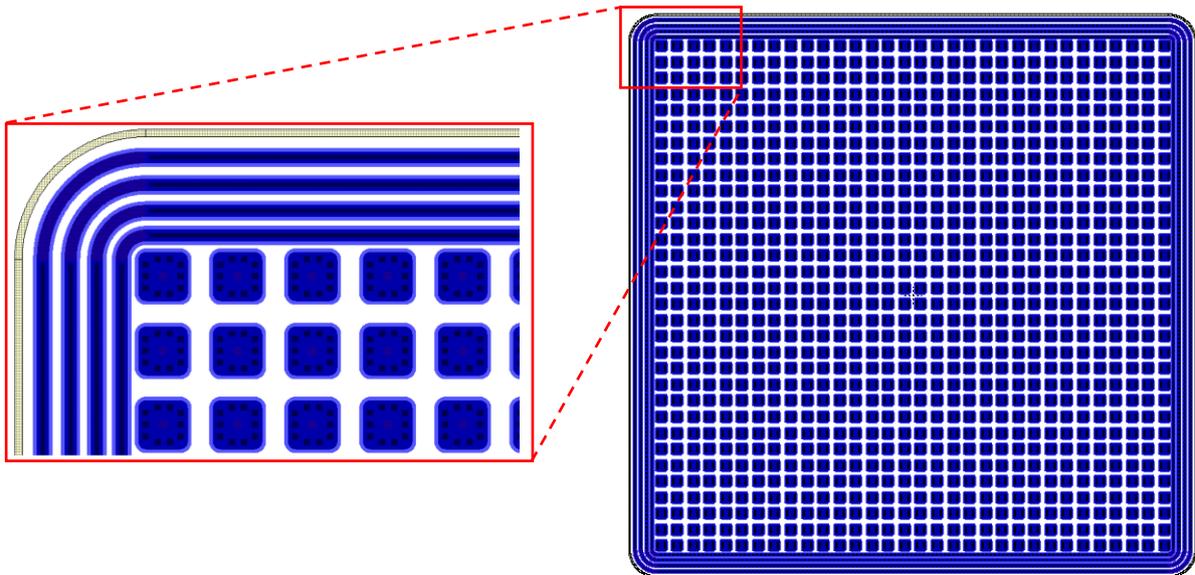


FIGURE 4.5 – Capteur d’une matrice de 32x32 pixels avec une structure de quatre anneaux de garde et un bord actif.

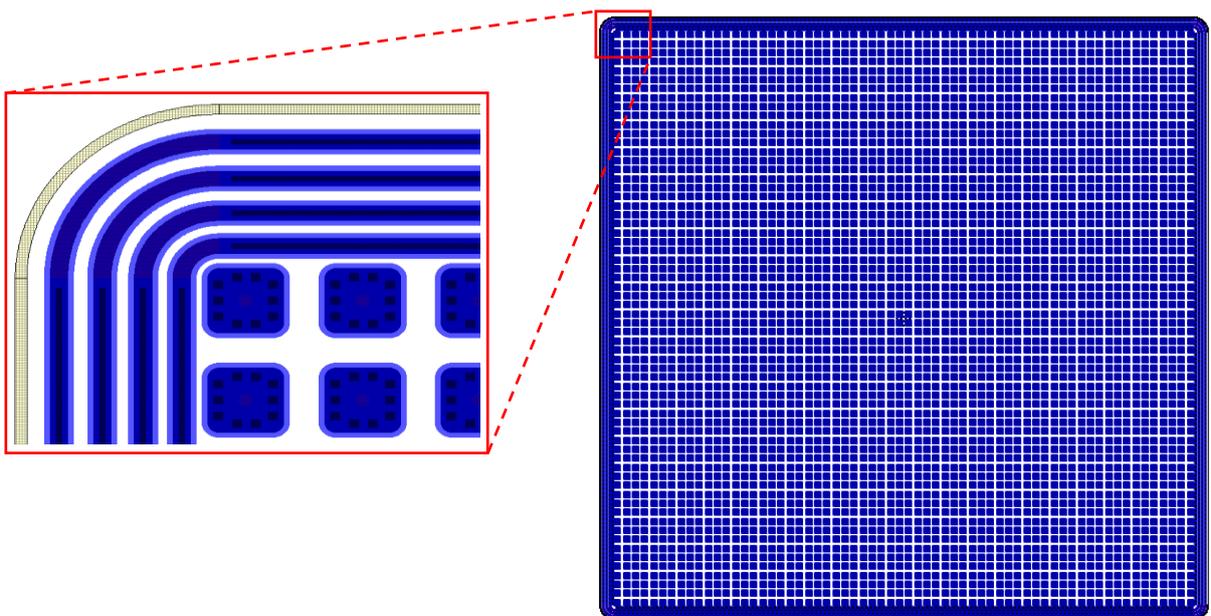


FIGURE 4.6 – Capteur d’une matrice de 64x64 pixels avec une structure de quatre anneaux de garde et un bord actif.

avec un gap de  $20\mu\text{m}$ . En outre, différentes largeurs de pixels pour un pas de 100 et  $110\mu\text{m}$  ont été considérées, comme il est représenté sur la Figure 4.6.

### 4.2.3 Structure de capteurs à bord mince

Comme nous venons de le voir dans le Chapitre 3, une autre alternative à la technologie de bord actif et celui du bord mince. Plusieurs formes et géométries peuvent être considérées pour la conception des tranchées ou colonnes du bord mince. A cet effet, nous allons considérer ces différentes configurations des tranchées pour les utiliser avec les mêmes structures de diodes et capteurs considérés auparavant.

## Des diodes larges

Pour étudier l'utilité de l'approche du bord mince dans les capteurs de rayonnement, des diodes d'une large surface de  $0.1 \times 0.1 \text{ cm}^2$  sont conçues. Les diodes sont réalisées en considérant le cas des tranchées segmentées sous différentes formes (rectangulaires, et circulaires) placées à la périphérie du capteur avec un gap de  $20 \mu\text{m}$ . Les tranchées rectangulaires, d'une largeur de  $10 \mu\text{m}$  et une longueur de  $40 \mu\text{m}$ , ont été réparties en deux rangées avec et sans chevauchement de  $10 \mu\text{m}$ , comme il est illustré sur la Figure 4.7 (a-b).

L'autre structure de tranchées circulaires mises en plusieurs rangées avec un diamètre de  $15 \mu\text{m}$  et une distance de  $50 \mu\text{m}$ , a été également considérée (Figure 4.7-c). En outre, plusieurs configurations de bordure du capteur ont été conçues en utilisant des anneaux de garde d'une largeur de  $15 \mu\text{m}$  ainsi qu'une plaque de champ de  $5 \mu\text{m}$ .

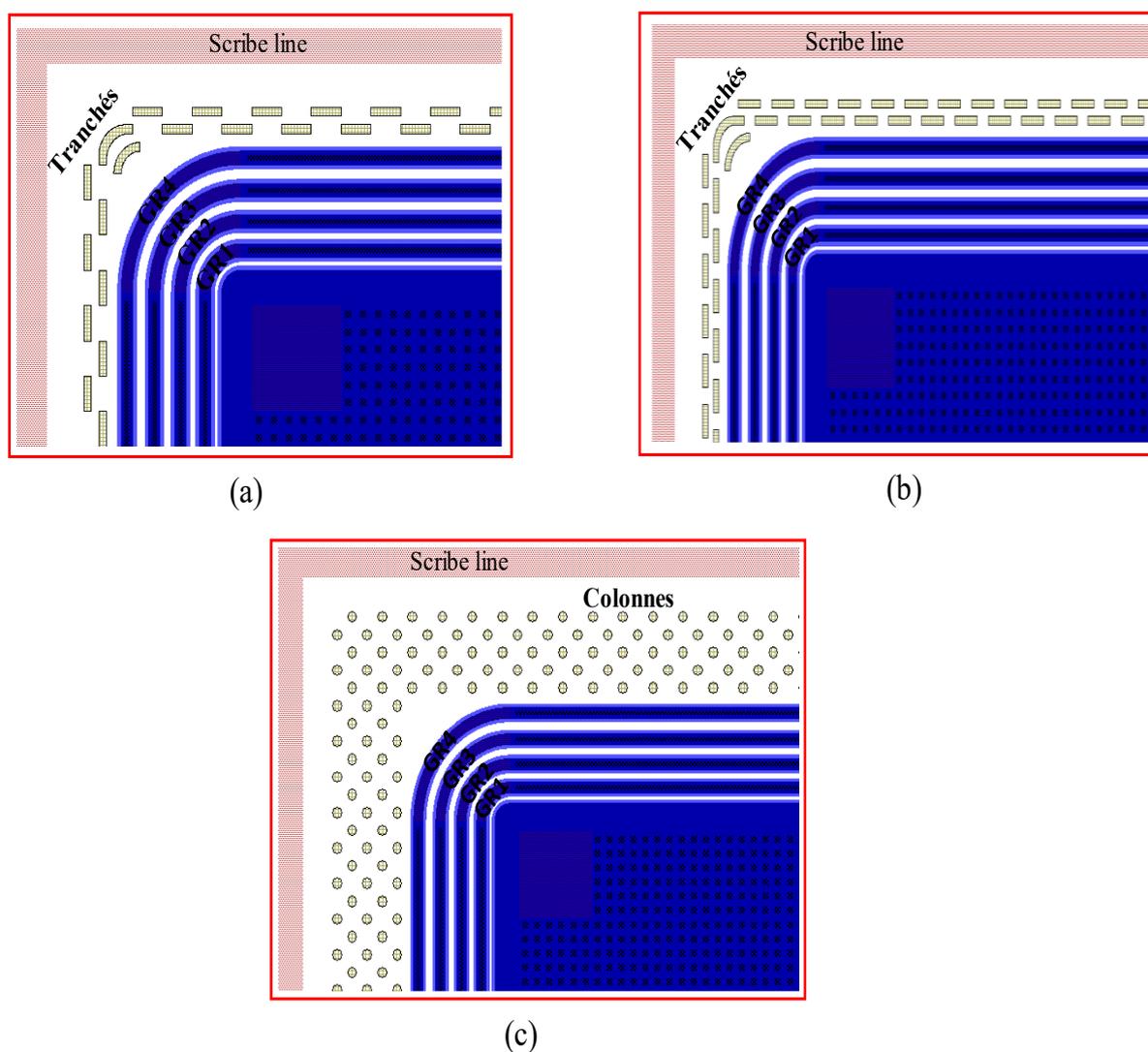


FIGURE 4.7 – (a) une diode à bord mince avec des tranchées rectangulaires sans chevauchement, (b) une diode à bord mince avec des tranchées rectangulaires avec chevauchement, (c) une diode à bord mince avec des tranchées circulaires.

### Capteur de 8x8 pixels

Les capteurs de 8x8 pixels sont conçus sur notre plaquette avec une technologie à bord mince en utilisant, comme précédemment, les différentes formes de tranchées à la périphérie de nos dispositifs, comme il est montré sur la Figure 4.8. Ces derniers sont réalisés avec une largeur de pixels de  $80\mu m$  pour les deux pas de 100 et  $110\mu m$ .

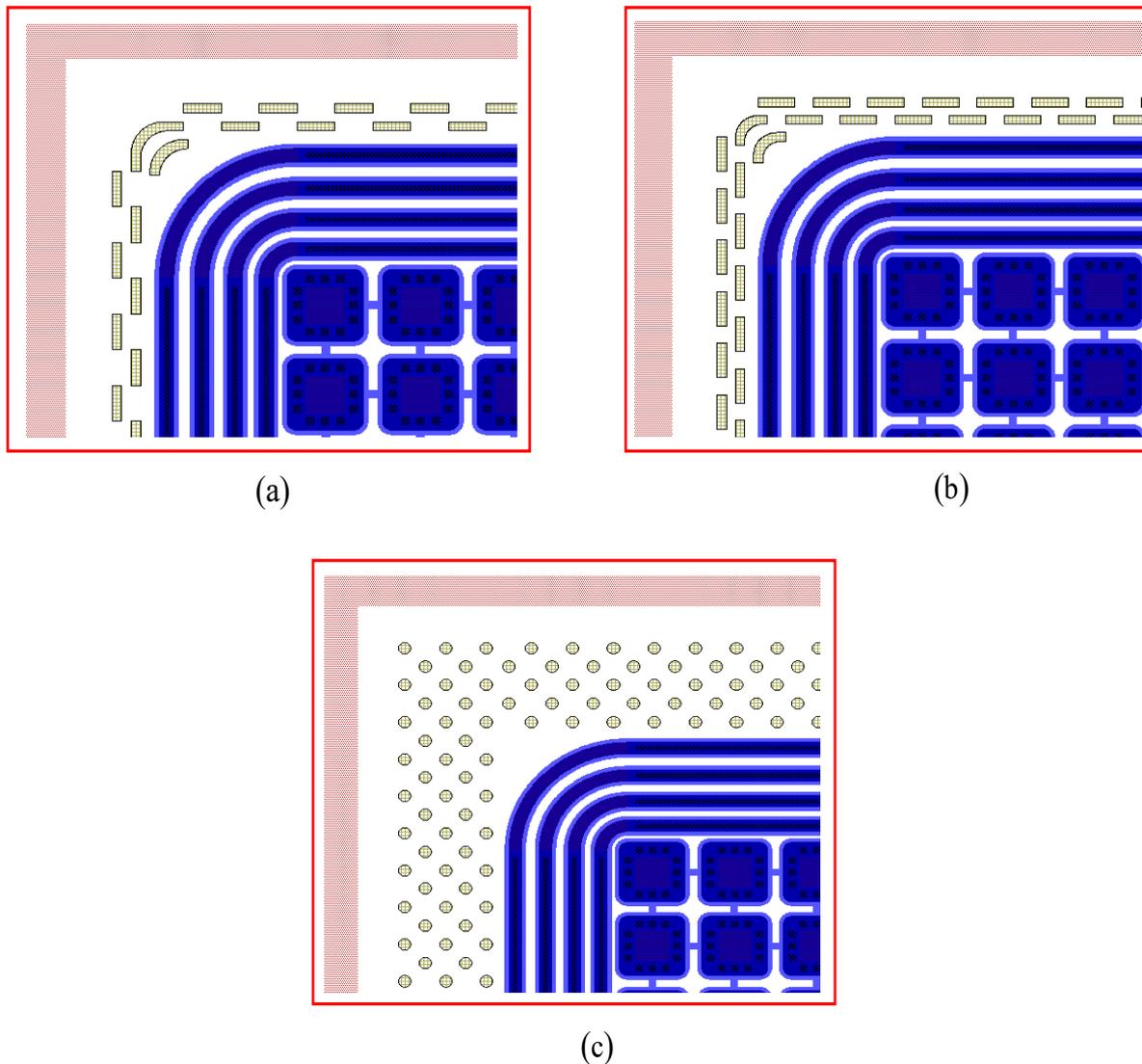


FIGURE 4.8 – (a) capteur de 8x8 pixels à bord mince avec des tranchées rectangulaires sans chevauchement, (b) capteur de 8x8 pixels à bord mince avec des tranchées rectangulaires avec chevauchement, (c) capteur de 8x8 pixels à bord mince avec des tranchées circulaire.

#### 4.2.4 Capteur de 15x15 pixels

Ce capteur présente une matrice de 15x15 pixels avec une surface active de  $0.22 \times 0.22 \text{ cm}^2$ . Il est conçu pour l'extraction de la capacité inter-pixel par l'utilisation des deux pas (*pitch*) 100 et  $110\mu m$  avec différentes largeurs de pixel d'une structure de 10 anneaux de garde sans la présence d'un bord actif ou mince. Pour extraire la capacité inter-pixel dans une telle conception, le pixel central est entouré de deux anneaux de pixels court-circuités alors que le reste des pixels sont court-circuités ensemble comme le montre la Figure 4.9.

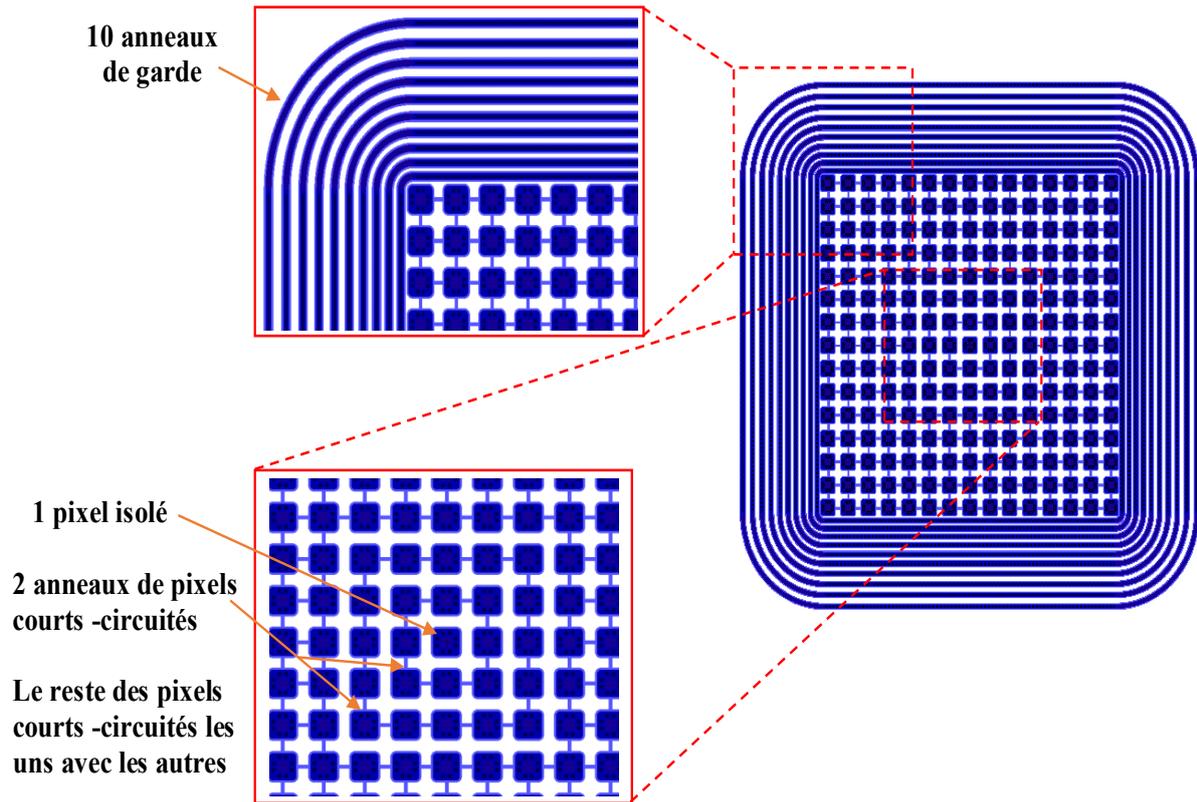
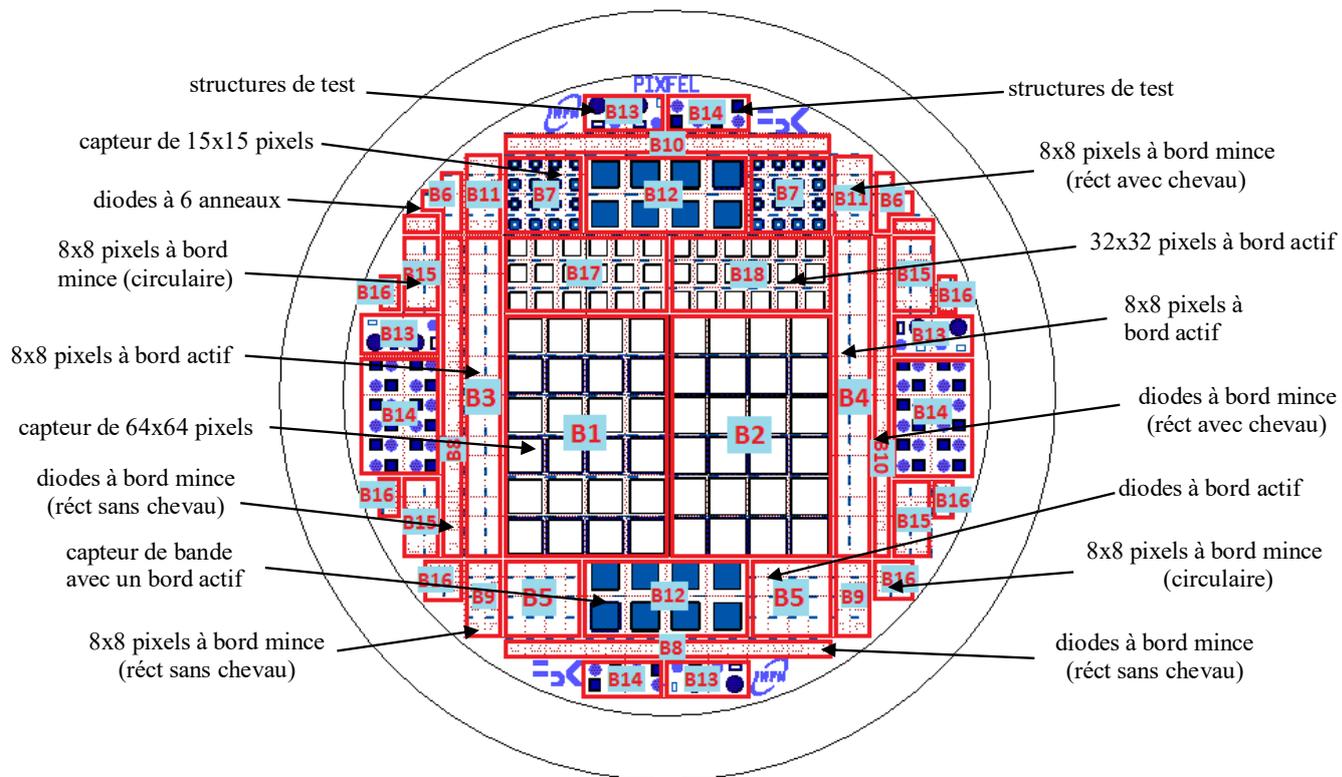


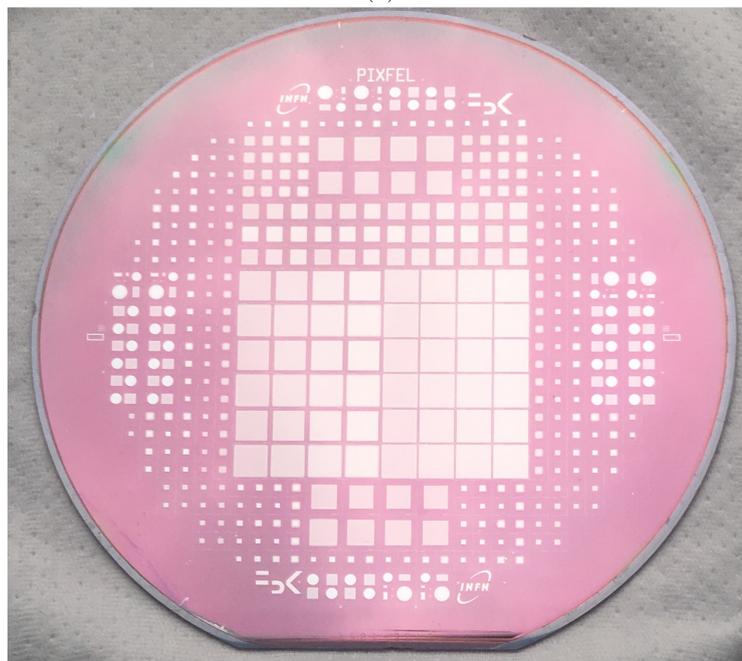
FIGURE 4.9 – Matrice de 15x15 pour l'extraction capacitive.

Nous venons de voir dans cette première section de ce chapitre les différentes structures de diodes et capteurs incluses dans la plaquette de silicium de 6 pouces. Ces structures sont arrangées sur plusieurs blocs, comme il est illustré sur la Figure 4.10-a. La Table 4.2 présentera en détails ces différents blocs ainsi que le nombre de structures considérées pour chaque cas.

En effet, cinq prototypes de ces plaquettes ont été conçus par le centre de fabrication FBK, en Italie. La Figure 4.10-b montre un de ces prototypes.



(a)



(b)

FIGURE 4.10 – Le *layout* de la plaquette PixFEL, (b) un prototype d’une plaquette conçu par le centre de fabrication FBK.

TABLE 4.2 – L'ensemble des différentes structures de capteurs incluses dans la plaquette à fabriquer par le centre de fabrication FBK.

| Bloc | Nombre | Détails  | Bloc | Nombre | Détails   |
|------|--------|--|------|--------|---|
| B1   | (3)    | Capteur 64x64 pixels de 4AG (avec un bord actif) et 10AG (sans bord actif) pour un pas de 100 $\mu m$ et différentes largeurs de pixel ( $W = 65, 70, 75, 80\mu m$ )   | B10  | (8)    | Diodes à bord mince des tranchées rectangulaires avec chevauchement (sans AG, 4AG, 6AG, 8AG)  |
| B2   | (3)    | Capteur 64x64 pixels de 4AG (avec un bord actif) et 6AG (sans bord actif) pour un pas de 110 $\mu m$ et différentes largeurs de pixel ( $W = 75, 80, 85, 90\mu m$ )  | B11  | (8)    | Capteur 8x8 pixels à bord mince (rect-avec chevauchement) de 4AG avec les deux pas 100, 110 $\mu m$ pour une largeur de pixel $W = 80\mu m$ .   |
| B3   | (4)    | Capteur 8x8 pixels de 4AG (avec un bord actif) et 10AG (sans bord actif) pour un pas de 100 $\mu m$ et différentes largeurs de pixel ( $W = 65, 70, 75, 80\mu m$ )   | B12  | (2)    | Capteur à bande à bord actif (sans AG, 4AG, 6AG, 8AG) et sans bord actif (10AG)   |
| B4   | (4)    | Capteur 8x8 pixels de 4AG (avec un bord actif) et 10AG (sans bord actif) pour un pas de 110 $\mu m$ et différentes largeurs de pixel ( $W = 75, 80, 85, 90\mu m$ )   | B13  | (16)   | Structures de test standard ; diodes, Capacités MOS, transistor pMOS, etc.  |
| B5   | (4)    | Diodes avec un bord actif (sans AG, 4AG, 6AG, 8AG) et sans bord actif (10AG)   | B14  | (8)    | Structures de test ; Capacités MOS et GCD.  |
| B6   | (6)    | Diodes sans bord actif (6AG)   | B15  | (4)    | Diodes à bord mince avec des tranchées circulaires (sans AG, 4AG, 6AG, 8AG).  |
| B7   | (4)    | Capteur 15x15 pixel de 10AG (sans bord actif) pour un pas de 100 $\mu m$ et différentes largeurs de pixel ( $W = 65, 70, 75, 80\mu m$ ) et un pas de 110 $\mu m$ de largeurs de pixel ( $W = 75, 80, 85, 90\mu m$ ) pour l'extraction de la capacité | B16  | (10)   | Capteur 8x8 pixels à bord mince avec des tranchées circulaires et 4 AG avec un pas de 100 $\mu m$ pour des pixels d'une largeur $W = 80\mu m$ , et avec un pas de 110 $\mu m$ pour des pixels d'une largeur $W = 80\mu m$ |
| B8   | (8)    | Diodes à bord mince des tranchées rectangulaires sans chevauchement (sans AG, 4AG, 6AG, 8AG)   | B17  | (2)    | Capteur 32x32 pixels de 4AG (avec un bord actif) et 10AG (sans bord actif) pour un pas de 100 $\mu m$ et différentes largeurs de pixel ( $W = 65, 70, 75, 80\mu m$ )  |
| B9   | (8)    | Capteur 8x8 pixels à bord mince (rect-sans chevauchement) de 4AG avec les deux pas 100, 110 $\mu m$ pour une largeur de pixel $W = 80\mu m$ .  | B18  | (2)    | Capteur 32x32 pixels de 4AG (avec un bord actif) et 6AG (sans bord actif) pour un pas de 110 $\mu m$ et différentes largeurs de pixel ( $W = 75, 80, 85, 90\mu m$ )   |

### 4.3 Fabrication de la plaquette

La fabrication de la plaquette comprenant les différentes structures de capteurs à bord actif et à bord mince a été réalisée avec succès par le centre de fabrication *Fondazione Bruno Kessler* (FBK, Italie) en Février 2016. La technique DRIE a permis de former des tranchées avec un excellent facteur de forme : une largeur de  $10\mu\text{m}$  suffit pour graver une tranchée d'une profondeur supérieure à  $450\mu\text{m}$ . Une image MEB (Microscopie électronique à balayage) d'une tranchée, prise après le clivage d'un capteur, est montrée sur la Figure 4.11.

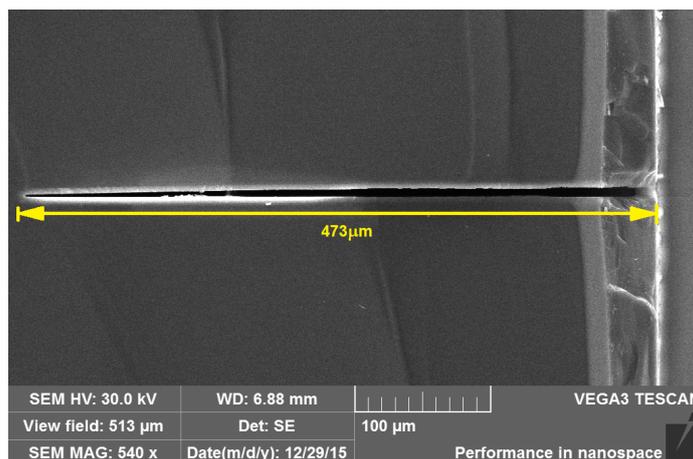


FIGURE 4.11 – Image MEB du bord clivé du capteur montrant un profil de tranchée.

A cet effet, une première plaquette a été fabriquée pour être testée avant l'étape de passivation, afin de vérifier les caractéristiques des capteurs. Dans cette plaquette, un grand nombre de défauts sont présents, en particulier dans la structure de bord actif. Une caractérisation optique a révélé que la plupart de ces défauts peut être attribués à des courts-circuits entre les métaux des anneaux de garde (Figure 4.12). Ceci est dû principalement aux défauts de lithographie des tranchées continues partiellement remplies. Par contre, un rendement meilleur a été obtenu pour les structures de bord mince réalisées sur la même plaquette.

Afin d'améliorer également le rendement des dispositifs à bord actif sur les autres plaquettes à fabriquer, un dépôt supplémentaire de polysilicium a été effectué pour assurer le remplissage des tranchées. Cette opération a partiellement résolu le problème, puisque dans les nouvelles plaquettes, lors d'une caractérisation optique, la concentration des défauts à proximité des tranchées continues a été réduite. La Figure 4.13 présente, dans ce cas, une image microscopique de deux capteurs de  $8 \times 8$  pixels et de  $64 \times 64$  pixels à bord actif et quatre anneaux de garde.

### 4.4 Caractérisation électrique

La réalisation des plaquettes par le centre de fabrication FBK a permis, par la suite, d'effectuer des caractérisations électriques sur les différents dispositifs. Des mesures de capacité et du courant de fuite pour diverses tensions de polarisation permet de relever les caractéristiques  $C(V)$  ou  $I(V)$ . Cependant, des outils et des appareils spécifiques ont été utilisés pour mesurer la capacité (de l'ordre de  $pF$ ) et le courant de fuite (de l'ordre de  $pA$ ) des capteurs étudiés.



FIGURE 4.12 – Image microscopique de deux capteurs de 64x64 pixels avec quatre anneaux de garde montrant des défauts de bord.

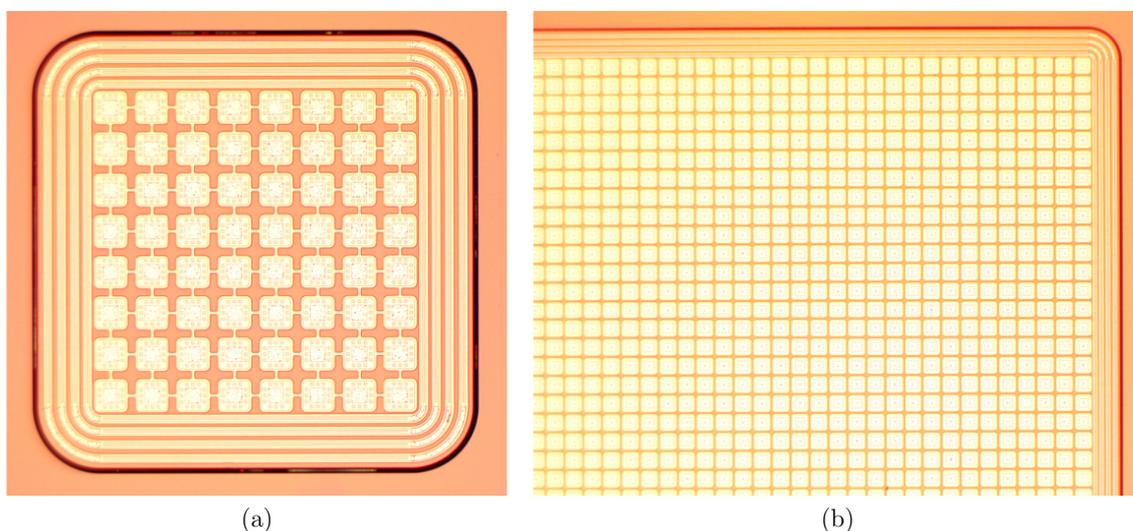


FIGURE 4.13 – (a) Image microscopique d'un capteur de 8x8 pixels avec quatre anneaux de garde, et (b) Image microscopique d'un capteurs de 32x32 pixels avec quatre anneaux de garde.

Vu les dimensions réduites des structures à tester et leur degré d'intégration élevé, elles sont caractérisées directement sur la plaquette par des *probers* ou stations de sonde semi-automatiques ou entièrement automatiques. Ce système de sonde présente une stabilité mécanique exceptionnelle et une construction ingénieuse qui garantissent un maniement simple et une bonne reproductibilité des résultats de mesure (Figure 4.14-a). Il nécessite la combinaison d'un analyseur des paramètres semiconducteurs (Agilent 4156C) pour des mesures  $I(V)$  et une impédance mètre *LCR-meter* (Agilent 4284A) pour des mesures  $C(V)$ .

Les contacts des dispositifs à tester est fait en utilisant des aiguilles de la sonde considérée. Un exemple de ceci est représenté sur la Figure 4.14-b. Il montre une aiguille qui vient en contact avec une diode à bord actif à six anneaux de garde.

La station de sonde utilise un mandrin à dépression (*Vacuum Chuck*) destiné à retenir la plaquette et permet la polarisation du dispositif par sa face arrière. De plus, il fournit un positionnement précis du capteur par rapport aux aiguilles avec une résolution allant jusqu'à  $0,5\mu m$ .

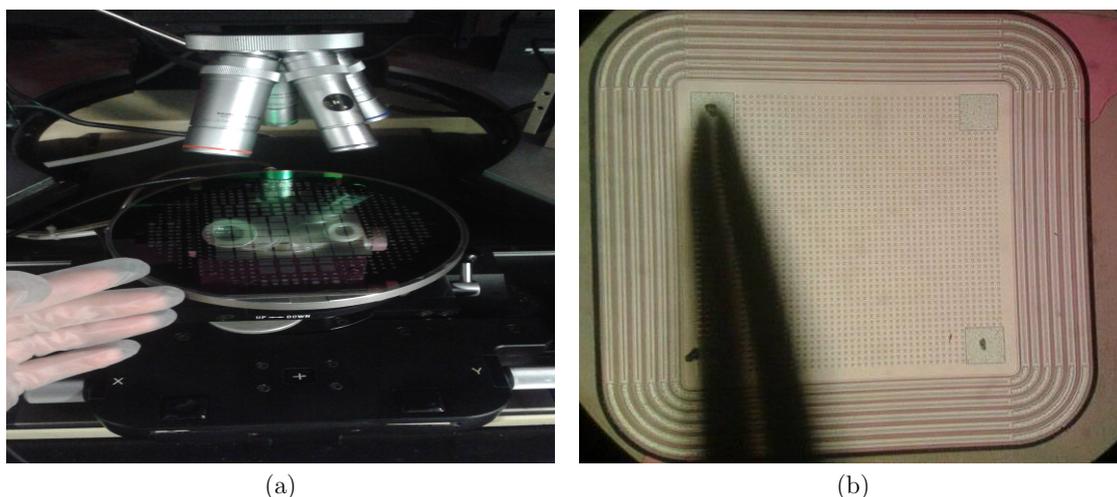


FIGURE 4.14 – (a) Une station de sonde semi-automatique contenant une plaquette PixFEL, et (b) image microscopique de l’aiguille de la station de sonde qui vient en contact avec une diode à bord actif de six anneaux de garde.

#### 4.4.1 Les sources d’erreurs

En raison des petites dimensions des dispositifs et de la grande pureté du matériau qui correspond au substrat en silicium, la capacité et le courant de fuite prennent des valeurs faibles, typiquement de l’ordre de  $pF$  et  $pA$ , respectivement. Par conséquent, les appareils de mesures doivent être très sensibles. Cela rend les mesures très sensibles à d’éventuelles sources d’erreurs qui affectent la mesure réelle. Avant qu’une mesure fiable puisse être faite, des précautions appropriées doivent être prises. De plus, les courants parasites doivent être éliminés de la mesure, ce qui nécessite au départ un étalonnage précis du système de mesure. Les sources d’erreurs sont discutées ci-dessous. Elles peuvent être liées soit à la configuration de la mesure, dite les offsets des circuits, soit aux influences de l’environnement.

##### Les offsets des circuits

Les offsets des circuits peuvent être classés en offsets internes et externes. Les offsets internes sont liés à l’appareil de mesure lui-même. Ces derniers peuvent être provoqués par des courants de polarisation ou des courants de fuite à travers les isolateurs de l’appareil de mesure. Les offsets de circuits externes sont quant à eux liés à tout autre élément présent dans le circuit de mesure à part l’appareil de mesure lui-même. Les sources possibles et les moyens de minimiser leur influence sont explicitées ci-dessous.

- Les câbles non appropriés ainsi que les connexions défectueuses peuvent affecter la mesure. Les mesures de capacité nécessitent des câbles coaxiaux d’une longueur très précise. Comme le câble lui-même a une capacité non négligeable, la longueur du câble doit être connue avec précision afin de calibrer correctement l’impédance mètre LCR avant la mesure.
- Des contraintes mécaniques sur la surface du capteur peuvent provoquer une déformation. Cela peut également entraîner un déséquilibre de charge et donc un flux de courant, connu sous le nom d’effet piézo-électrique. Une cause possible est l’aiguille de la sonde qui s’appuie sur la surface du capteur. Une pression de contact faible est donc souhaitable.

## Influences de l'environnement

En plus des offsets de circuits, l'environnement peut également affecter la mesure. En effet, les diverses sources sont abordées ci-après.

- La plupart des capteurs à semiconducteurs sont sensibles à la lumière. La lumière ambiante peut provoquer des courants de génération. Les mesures doivent donc être effectuées dans un environnement sombre.
- L'eau peut former des liaisons chimiques avec une contamination à la surface du capteur ou sur le bord. Cela peut provoquer des chemins de fuite le long des bords et à travers les couches supérieures de la surface. Une humidité ambiante élevée peut également affecter le courant de fuite du capteur. Les capteurs sont donc généralement stockés dans des environnements purgés à l'azote (c'est-à-dire secs).
- La température détermine la vitesse thermique des porteurs de charge. La génération dans la région de déplétion et la diffusion dans le substrat à l'extérieur de la région de déplétion sont donc en fonction de la température.

### 4.4.2 Structures de test

Comme on a vu précédemment, chaque plaquette contient des structures de test planaire conçues pour surveiller la stabilité du processus de fabrication. Les structures de test, réparties sur la plaquette uniformément près du bord de la plaquette, sont caractérisées en utilisant la station de sonde pour des mesures courant-tension  $I(V)$  et capacité-tension  $C(V)$ . Ces caractérisations permettent d'extraire les différents paramètres technologiques relatifs aux plaquettes fabriquées, en particulier la concentration de charge d'oxyde  $N_{OX}$ , l'épaisseur d'oxyde  $t_{ox}$ , la tension de bande plate  $V_{FB}$  et la concentration de dopage du substrat  $N_{sub}$ . Les capacités MOS réalisées sur les différentes plaquettes sont caractérisées par des mesures de capacité-tension  $C(V)$  en utilisant l'impédance mètre Agilent 4284A à une fréquence de  $10kHz$  et une amplitude de  $100mV$  d'un signal AC. Les courbes des capacités en fonction de la tension de polarisation relatives aux capacités MOS existant sur une des plaquettes (W15) sont présentées sur la Figure 4.15.

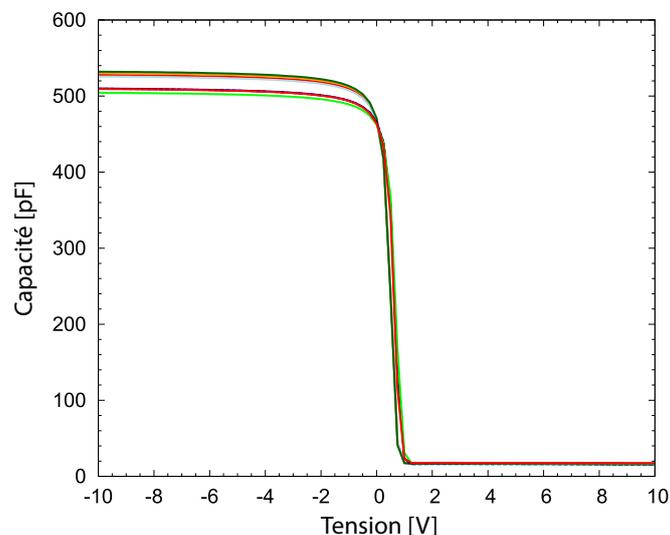


FIGURE 4.15 – Courbes  $C(V)$  relatives aux capacités MOS de la plaquette (W15).

La capacité globale des capacités MOS en hautes fréquences et en régime d'inversion, peut être exprimée par l'équation 4.1.

$$C_M = \frac{C_{ox}C_S}{C_{ox} + C_S} \quad (4.1)$$

où  $C_{ox}$  est la capacité de l'oxyde et  $C_s$  est la capacité du semiconducteur. La capacité de semiconducteur peut être décrite comme :  $C_s = A_M \cdot \epsilon_0 \epsilon_{si} / w_{si}$ , où  $A_M$  est la surface de l'électrode métallique,  $w_{si}$  est la largeur de la zone de charge d'espace du semiconducteur.

Lorsque la tension de polarisation appliquée aux capacités MOS est 0V, la capacité  $C_M = C_{ox} = C_{max}$  où  $C_{ox}$  est la capacité de l'oxyde. Prenant en compte que la capacité d'oxyde  $C_{ox}$  est exprimé par :  $C_{ox} = A_M \cdot \epsilon_0 \epsilon_{ox} / t_{ox}$ , l'épaisseur d'oxyde  $t_{ox}$  peut alors être calculée. A titre d'exemple, l'épaisseur moyenne calculée à partir des capacités MOS de la plaquette (W15) est  $t_{ox} = 301nm$ , ce qui correspond à  $C_{ox} = 518 pF$ .

Étant donné que les courbes C(V) ont été acquises en haute fréquence pour une telle analyse, la valeur de la capacité minimale correspond à la capacité d'inversion  $C_{inv}$  qui est définie par la largeur de la région de charge d'espace sous un régime de forte inversion. En utilisant l'équation 4.2, la valeur du dopage du substrat  $N_{sub}$  peut être facilement calculée.

$$W_{inv} = \sqrt{\frac{2\epsilon_{si}\epsilon_0\phi_{Si,Inv}}{qN_{sub}}} \approx \sqrt{\frac{4\epsilon_{si}\epsilon_0kT\ln(N_{sub}/n_i)}{q^2N_{sub}}} \quad (4.2)$$

La concentration du substrat obtenu dans le cas de la plaquette (W15) vaut  $N_{sub} = 2.96 \cdot 10^{11} cm^3$ . La technique décrite ci-dessus est appelée, technique de capacité maximum-minimum ; plus de détails de cette technique peut être trouvé sur la référence [105].

La densité de charge d'oxyde,  $N_{ox}$  a été calculée en fonction de la tension de bande plate  $V_{FB}$  des courbes C(V). La relation entre  $N_{ox}$  et  $V_{FB}$  est exprimé à l'équation 4.3.

$$N_{ox} = \frac{C_{ox}}{qA}(\phi_{ms} - V_{FB}) \quad (4.3)$$

où  $A$  est la surface de la structure de test MOS et  $\phi_{ms}$  est le travail de sortie métal-semiconducteur, qui peut être calculée comme décrit dans l'équation 4.4.

$$\phi_{ms} = \phi_{ms,0} + \frac{kT}{q} \ln\left(\frac{N_{sub}}{n_i}\right) \quad (4.4)$$

La valeur moyenne de la concentration de charge d'oxyde  $N_{ox}$  calculée de la plaquette considérée (W15) est de l'ordre de  $3.86 \cdot 10^{10} cm^{-2}$ .

Les différentes structures de test présentes sur les autres plaquettes sont caractérisées et les propriétés électriques de chacune sont extraites et présentées sur la Table 4.3.

Par ailleurs, il est aussi possible d'extraire des paramètres supplémentaires, tels que la tension déplétion et la largeur de déplétion en effectuant la caractérisation C(V) des diodes de test de la plaquette. La largeur de déplétion de la diode polarisée en inverse peut être exprimée comme décrit dans l'équation 4.5 [105].

$$w_{dep} = \sqrt{\frac{2\epsilon_{si}\epsilon_0(V_{rev} + V_{bi})}{qN_{sub}}} \quad (4.5)$$

TABLE 4.3 – Propriétés électriques des différentes plaquettes après la caractérisation électrique des structures de test.

| Plaquette | $t_{ox}$ | $N_{sub}$ | $V_{FB}$ | $Q_{ox}$ |
|-----------|----------|-----------|----------|----------|
| W5        | 300.7    | 2.98E+19  | -0.74    | 7.49E+11 |
| W7        | 300      | 4.14E+14  | -1.60    | 8.52E+10 |
| W12       | 304      | 3.06E+11  | -0.998   | 4.00E+10 |
| W15       | 301      | 2.96E+11  | -0.97    | 3.86E+10 |
| W18       | 296      | 2.66E+ 11 | -1.854   | 1.03E+11 |

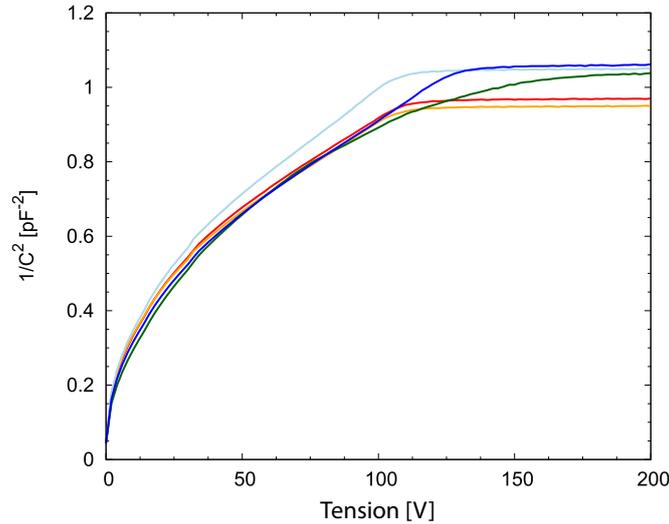
où  $V_{rev}$  est la tension appliquée en polarisation inverse et  $N_{sub}$  est la concentration de dopage du substrat.

D'autre part, la capacité de diode  $C_d$  peut être exprimée par l'équation 4.6 et elle devrait atteindre sa valeur minimale lorsque la largeur de déplétion est la plus élevée possible.

$$C_d = A_d \frac{\epsilon_{si} \epsilon_0}{w_{dep}} \quad (4.6)$$

A partir de cette équation, la tension de déplétion peut être déterminée à partir des courbes de  $1/C^2$  en fonction de la tension appliquée (Figure 4.16). Sa valeur peut être calculée de l'équation 4.7 et qui est définie comme le point où la courbe  $1/C^2$  atteint sa saturation. Cependant, pour le cas des diodes de test de la même plaquette (W15), la tension de déplétion est comprise entre 110 et 140V.

$$\frac{1}{C_d^2} = \frac{2(V_{rev} + V_{bi})}{A_d q \epsilon_{si} \epsilon_0 N_{Sub}} \quad (4.7)$$


 FIGURE 4.16 – Les courbes de  $1/C^2$  en fonction de la tension appliquée mesurées sur différentes diodes de test.

### 4.4.3 Structure de diodes

Après la caractérisation électrique des structures de test confirmant les bonnes propriétés de l'interface  $Si/SiO_2$ , un ensemble de tests électriques a été effectué pour obtenir

des informations sur les performances électriques des structures de capteurs considérés. En effet, nous avons commencé tout d'abord par la caractérisation des structures des diodes larges à bord actif et à bord mince conçu afin d'investiguer les différentes configurations de bord considérées (sans AG, 4AG, 6AG et 8AG).

Pour ce faire, les différentes plaquettes sont caractérisées par des mesures de courant-tension  $I(V)$  en utilisant toujours notre station de sonde ainsi que l'analyseur des paramètres semiconducteurs (Agilent 4156C). Les caractéristiques de courant en fonction de la tension de polarisation sont investiguées pour toutes les structures de diode des différentes plaquettes. Puisque les résultats obtenus sont quasiment similaires pour les différentes plaquettes, seules les courbes de courant de la plaquette (W15) sont présentées, ceci pour le cas des structures des diodes de différentes configurations de bord soit pour des dispositifs à bord actif (Figure 4.17-a) ou bien pour des dispositifs à bord mince (Figure 4.17-b).

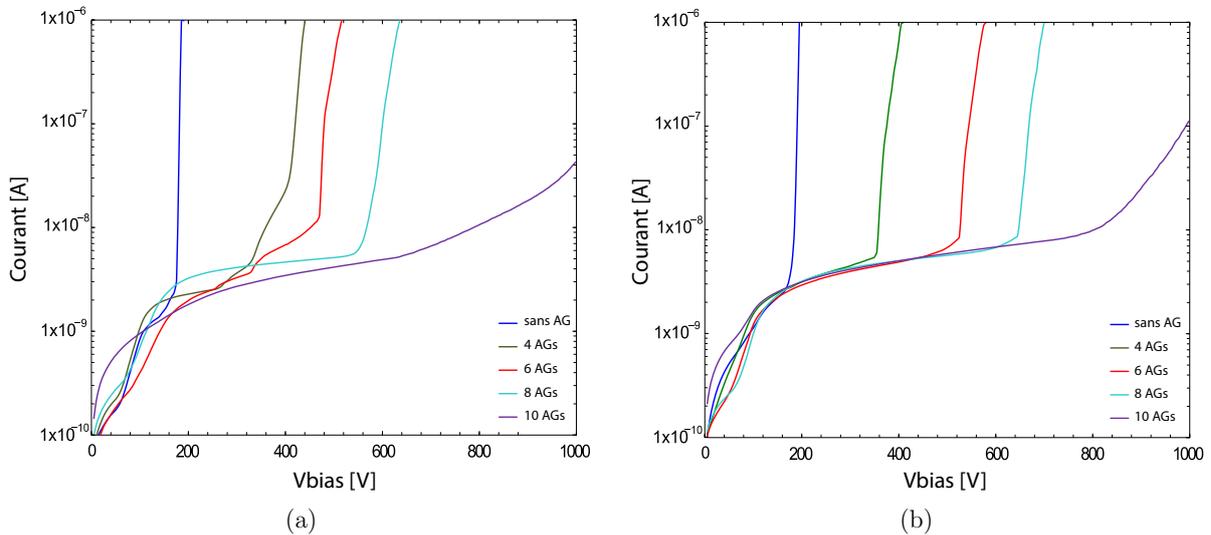


FIGURE 4.17 – (a) Courbes  $I(V)$  mesurées des diodes à bords actifs avec différentes configurations de la région de bord (sans AG, 4 AG, 6 AG, and 8 AG), (b) Courbes  $I(V)$  mesurées des diodes à bords minces avec différentes configurations de la région de bord (sans AG, 4 AG, 6 AG, and 8 AG).

Comme prévu, la tension de claquage de ces structures de diode a augmenté avec le nombre des anneaux de garde utilisés. Les dispositifs sans anneaux de garde, avec une distance de bord de  $20-30\mu m$ , ont une tension de claquage maximale de  $200V$ . Les diodes avec 4 anneaux de garde, et avec une taille de zone de  $150\mu m$ , ont une tension de claquage proche de  $400V$ , tandis que les structures avec plus d'anneaux (6AG et 8AG) atteignent des tensions de claquage supérieures à  $500V$ .

Afin d'avoir une idée générale sur le bon fonctionnement des différents dispositifs de diodes testés de la plaquette (W15), une étude statistique sur le fonctionnement électrique des composants est établie sous forme des histogrammes de données représentés par différents groupes : sans anneau de garde, avec 4, 6 et 8 anneaux de garde (Figure 4.18). Ceux-ci sont triés selon la tension de claquage  $V_{bd}$  de chacun comme le montre la Table 4.4.

TABLE 4.4 – Tensions de seuil de chaque configuration de bord déterminant le bon fonctionnement des composants diodes de la plaquette.

| Fonctionnement          | Diodes sans AG       | Diodes avec 4AG       | Diodes avec 6AG       | Diodes avec 8AG       |
|-------------------------|----------------------|-----------------------|-----------------------|-----------------------|
| bon composant (vert)    | $V_{bd} > 150V$      | $V_{bd} > 350V$       | $V_{bd} > 500V$       | $V_{bd} > 650V$       |
| ~ bon composant (jaune) | $V_{bd} = 50 - 150V$ | $V_{bd} = 150 - 350V$ | $V_{bd} = 250 - 500V$ | $V_{bd} = 350 - 650V$ |
| mal composant (rouge)   | $V_{bd} < 50$        | $V_{bd} < 150$        | $V_{bd} < 250$        | $V_{bd} < 350$        |

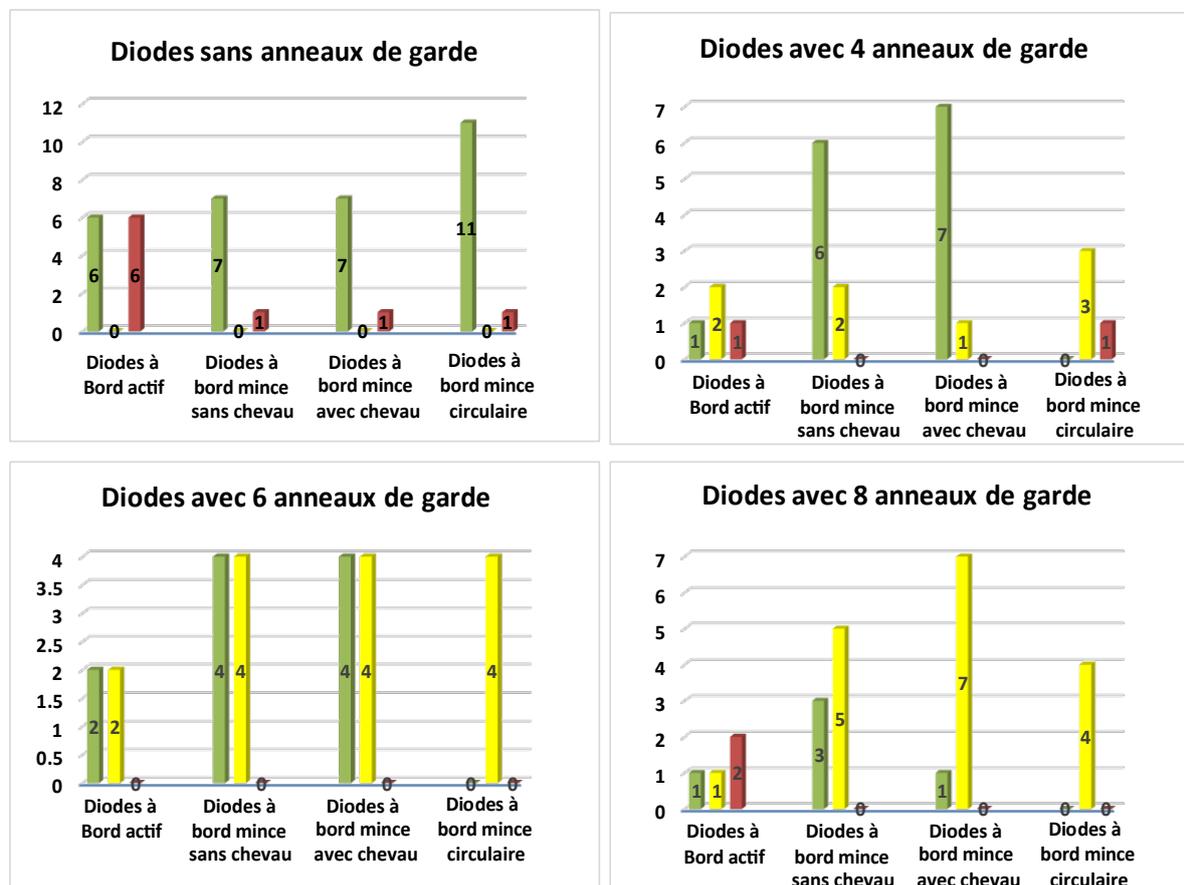


FIGURE 4.18 – Histogrammes de données des différentes configurations de bord qui détermine le nombre et le bon fonctionnement des composants diodes de la plaquette (W15).

#### 4.4.4 Capteur 8x8 pixels

La caractérisation électrique des capteurs de 8x8 pixels se fait par des mesures  $I(V)$  en utilisant toujours notre station de sonde. L'aiguille du *prober* est placée sur la surface du contact d'un des pixels qui sont reliés ensemble par des lignes métalliques pour pouvoir les tester sans avoir besoin de liaison par bossages à une puce spéciale. Les caractéristiques de courant sont obtenues pour tous les composants des différentes plaquettes. Restreignant notre analyse à la plaquette (W15), l'ensemble de courbes  $I(V)$  mesurées sur les capteurs à bords actifs d'une configuration de bord de 4 anneaux est présenté sur la Figure 4.19.

Dans ce groupe, plusieurs dispositifs ont des anneaux de garde défectueux. Ceci à cause des défauts de lithographie introduits lors du processus de fabrication de tranchée. Cependant, dans les dispositifs où ces défauts sont absents, la tension de claquage est d'environ 400 V.

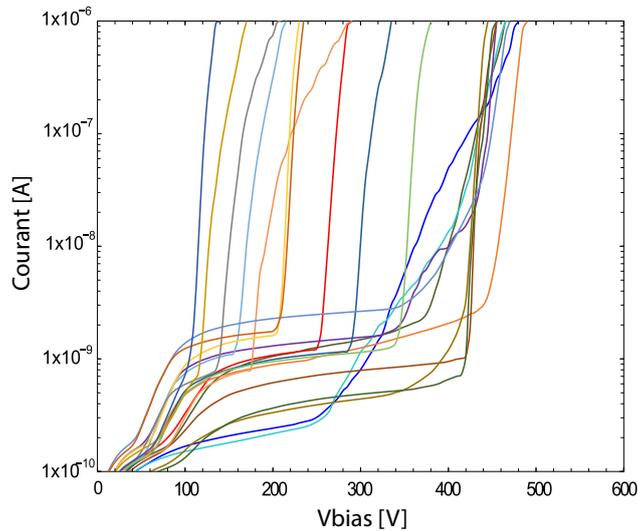


FIGURE 4.19 – Courbes  $I(V)$  mesurées des capteurs de  $8 \times 8$  pixels à bords actifs avec 4 anneaux de garde.

Le deuxième groupe de dispositifs concernant les capteurs  $8 \times 8$  pixels à bord mince a la même disposition et le même nombre d'anneaux de garde ; il ne diffère que par la configuration de la tranchée, c'est-à-dire continues dans le premier cas (bord actif) et segmentées dans le second cas (bord mince). Les courbes  $I(V)$  mesurées sur des dispositifs à bords minces, à la fois avec des tranchées rectangulaires et circulaires, sont représentées sur la Figure 4.20(a-b). Un meilleur rendement résultant d'une densité de défauts très réduite est observé dans ce cas. Cependant, ces dispositifs permettent également d'avoir une tension de claquage comprise entre 300 et 500 V.

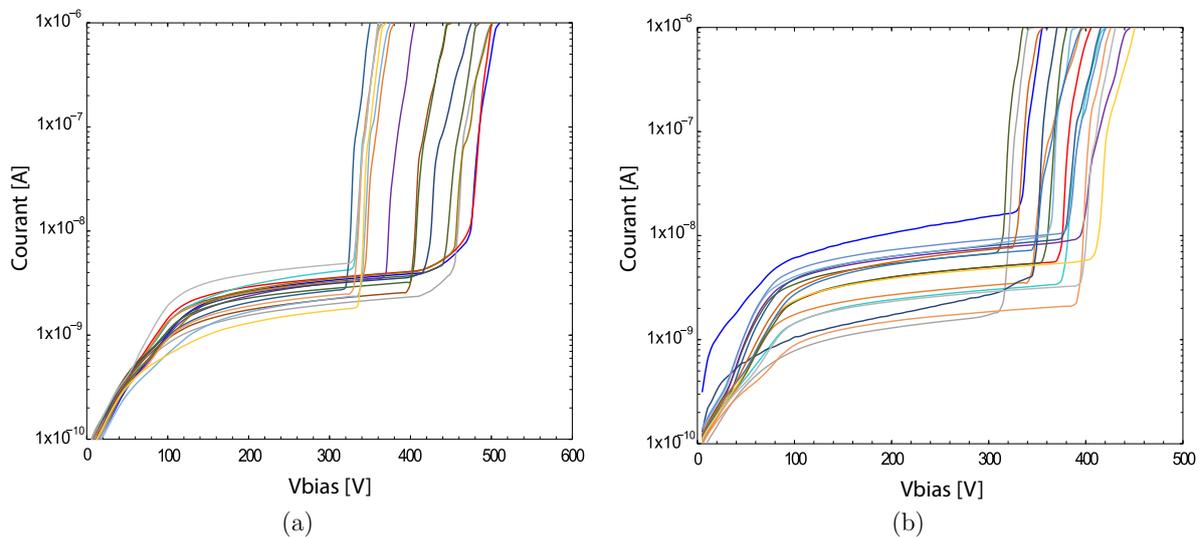


FIGURE 4.20 – (a) Courbes  $I(V)$  mesurées des capteurs de  $8 \times 8$  pixels à bords mince (tranchées rectangulaires) avec 4 anneaux de garde, (b) Courbes  $I(V)$  mesurées des capteurs de  $8 \times 8$  pixels à bords mince (tranchées circulaires) avec 4 anneaux de garde.

Comme précédemment, pour avoir un aperçu sur le bon fonctionnement des différents dispositifs des structures de capteur  $8 \times 8$  testés pour les différentes plaquettes, une étude statistique sur le fonctionnement électrique des composants est établie sous forme des histogrammes de données représentés par différents groupes : tranchées continues (bord actif), tranchées rectangulaires avec chevauchement, tranchées rectangulaires sans chevauchement.

chement et un dernier groupe des tranchées circulaires (Figure 4.21). Ceux-ci sont triés selon la tension de claquage  $V_{bd}$  de chacun comme indiqué dans la Table 4.4.

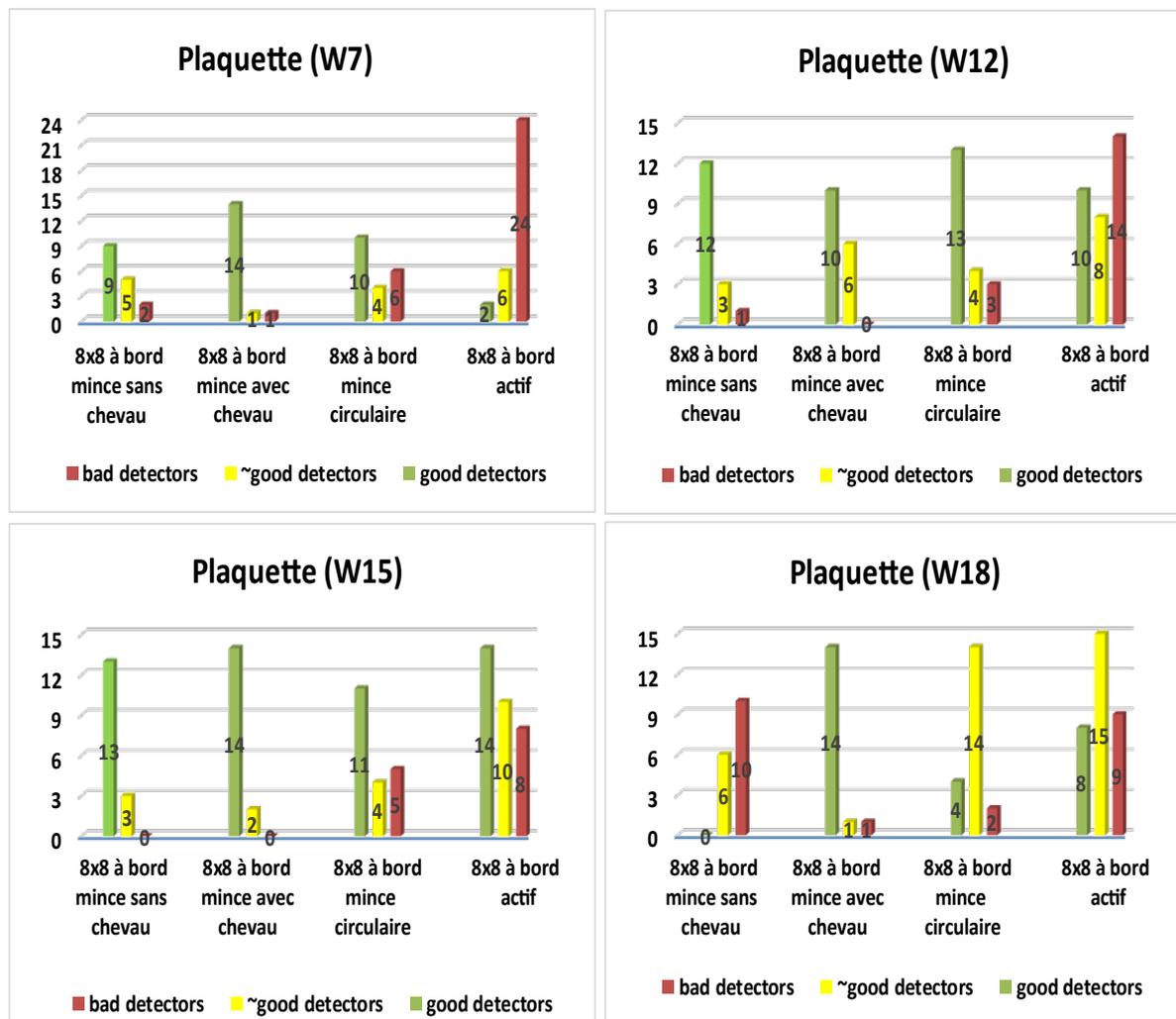


FIGURE 4.21 – Histogrammes de données des différentes configurations de bord qui déterminent le nombre et le bon fonctionnement des diodes de la plaquette (W15).

Un résumé de tension de claquage mesurées sur les deux configurations de structures à bord actif et à bords minces (rectangulaires et circulaires) est présenté dans la Table 4.5 (le cas de la plaquette (W15) qui a présenté un meilleur rendement). Les tensions de claquage mesurées sont inférieures à celles obtenues par les simulations TCAD. Ce fait peut s'expliquer, d'une part, par la très faible concentration de charge d'oxyde mesurée sur les plaquettes; puisque on a vu dans le Chapitre 3 que la tension de claquage est inversement proportionnelle à la concentration de charge d'oxyde  $N_{ox}$ .

D'autre part, un autre facteur qu'on doit prendre en compte est le désalignement entre les masques du procédé de lithographie, en particulier l'alignement des masques de conception des plaques de champs par rapport aux implantations  $p^+$ . Ceci peut réduire la longueur effective de la plaque de champ et affecter ainsi négativement la tension de claquage, comme nous l'avons vu précédemment au cours des simulation TCAD. Néanmoins, les structures réalisées dans cette première phase peuvent être polarisées à des tensions supérieures à 300V, suffisamment importantes pour atténuer l'effet plasma, permettant

ainsi une collection rapide des charges aux intensités de signal élevées prévues dans les applications FEL.

TABLE 4.5 – Résumé des valeurs moyennes et maximales des tensions de claquage mesurées sur différents types de dispositifs de la plaquette (W15).

| Dispositifs   | Bord actif     |               | Bord mince sans-chauf |               | Bord mince avec-chauf |               | Bord mince circ |               |
|---------------|----------------|---------------|-----------------------|---------------|-----------------------|---------------|-----------------|---------------|
|               | $V_{BD\ mean}$ | $V_{BD\ max}$ | $V_{BD\ mean}$        | $V_{BD\ max}$ | $V_{BD\ mean}$        | $V_{BD\ max}$ | $V_{BD\ mean}$  | $V_{BD\ max}$ |
| Diodes sansAG | 159V           | 215V          | 176V                  | 210V          | 181V                  | 205V          | 180V            | 210V          |
| Diodes 4AG    | 347V           | 415V          | 375V                  | 395V          | 366V                  | 450V          | 342V            | 360V          |
| Diodes 6AG    | 212V           | 255V          | 516V                  | 585V          | 467V                  | 570V          | 426V            | 445V          |
| Diodes 8AG    | 608V           | 720V          | 654V                  | 685V          | 567V                  | 670V          | 570V            | 610V          |
| 8x8 4AGs      | 341V           | 465V          | 388V                  | 445V          | 398V                  | 480V          | 369V            | 415V          |

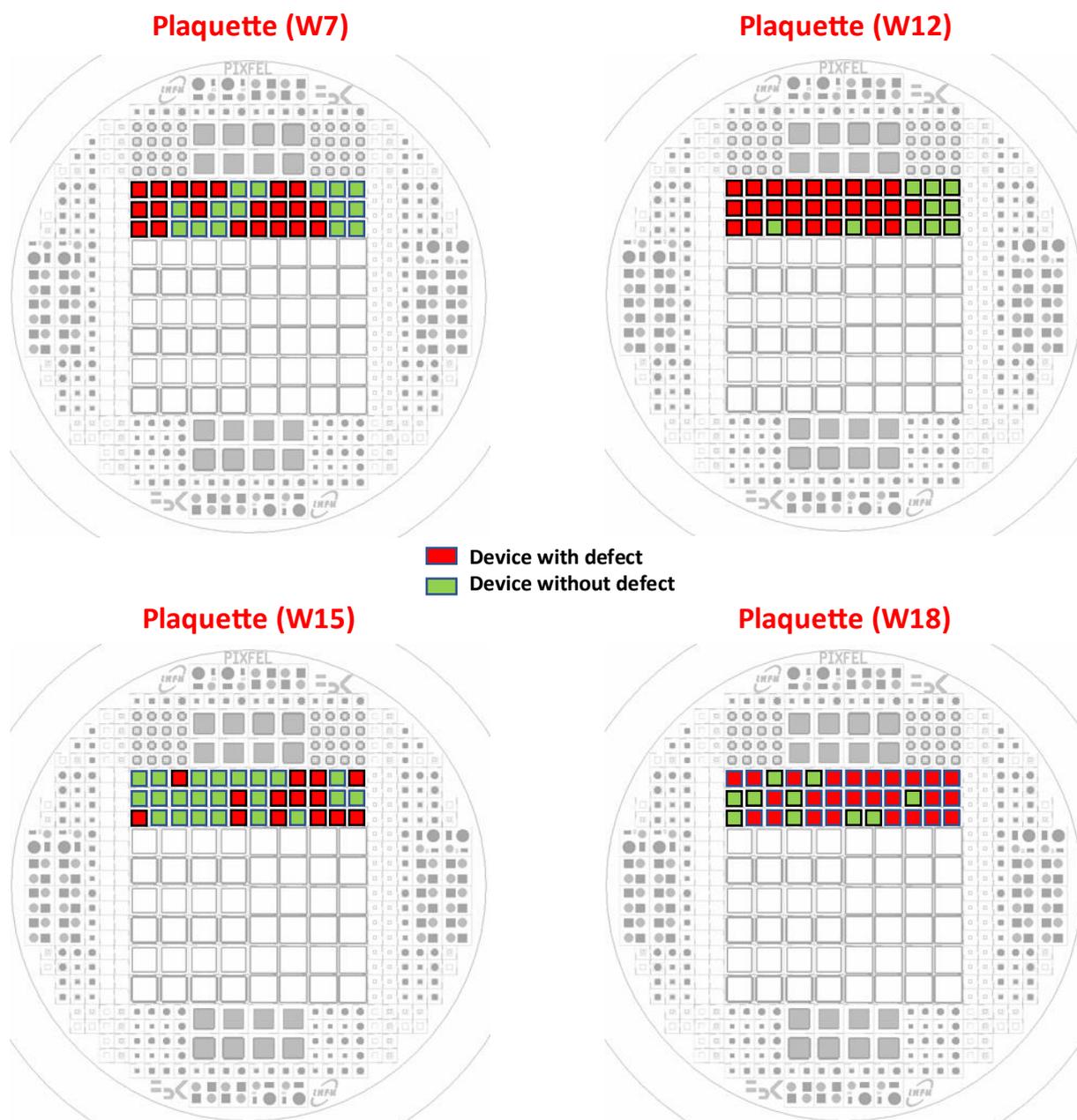


FIGURE 4.22 – Inspection visuelle des capteurs de 32x32 pixels pour les différentes plaquettes.

Nous venons de voir dans les derniers paragraphes la caractérisation électrique des structures de test ainsi que les structures de capteur d'une diode large et une diode segmentée en 8x8 pixels avec différentes configurations de bord. Les autres structures de capteurs à matrice de pixels, telles que celles de 32 x32 pixels présentes sur les différentes plaquettes, ne peuvent être testées qu'après la coupe des plaquettes afin de les relier avec des circuits de lecture dédiés.

A l'issue de cette analyse, nous avons établi une inspection visuelle de ces structures pour les quatre plaquettes, afin de tirer les bons composants des ceux défectueux par la présence des défauts à proximité des tranchées surtout (Figure 4.22). Il est à noter ainsi que la plaquette (W15) est celle qui présente un meilleur rendement, en termes du nombre de composants 32x32 pixels conçus avec moins de défauts.

## 4.5 Conclusion

Dans ce chapitre, nous avons présenté la conception du *layout* d'une plaquette de 6 pouces incluant des capteurs à bords actifs et à bords minces. Cette plaquette a été fabriquée par le centre de fabrication *Fondazione Bruno Kessler* (FBK, Trento, Italie).

Par la suite, et à travers ce chapitre, les dispositifs fabriqués ont été caractérisés électriquement et la faisabilité du procédé a été démontrée. Le rendement s'est avéré bien meilleur dans les dispositifs à tranchées segmentées que dans les dispositifs à tranchées continues en raison de la plus faible concentration de défauts de lithographie présents dans le premier cas.

Bien qu'avec une tension de claquage légèrement inférieure à celle prédite par les simulations, les dispositifs ont été démontrés fonctionnels, et les capteurs à matrice de pixels produits sont prêts à être liés à des circuits de lecture dédiés.

# Conclusion générale

Cette thèse décrit l'impact des interconnexions TSVs sur les performances électriques des circuits CMOS, et particulièrement sur les détecteurs de rayons X générés par des Lasers à Electrons Libres (XFEL). Ces détecteurs sont formés par différentes couches et circuits qui sont assemblés les uns aux autres par une intégration verticale en reliant le capteur avec sa partie électronique (ASIC). Ceci a permis d'apporter plusieurs atouts relatifs aux détecteurs concernant la réduction du coût, la réduction des dimensions et de la tension d'alimentation.

Pour cela, notre travail s'articule, autour de quatre chapitres. Dans le premier chapitre, nous avons fait, dans un premier temps, un petit rappel sur l'intégration tridimensionnelle à la base des interconnexions TSVs ainsi que son application sur différent secteurs, parmi lesquelles les détecteurs de rayonnement.

Au cours du deuxième chapitre, nous nous sommes consacré à l'étude de l'influence des TSVs sur les composants CMOS de l'électronique avoisinant le détecteur. L'impact des vias sur les composants MOS ainsi que les circuits CMOS a été réalisé avec des simulations numériques en utilisant l'outil Sentaurus -TCAD pour des simulations à éléments finis 2D et 3D. Ceci a permis de faire une optimisation des performances électriques des circuits CMOS en fonction de différents paramètres technologiques et électriques. Une implémentation d'un modèle analytique de circuits CMOS avec des TSVs est faite à l'aide des simulations circuit en utilisant le simulateur circuit HSpice. Cette approche analytique a été validée ensuite par rapport à l'approche numérique considérée précédemment afin de réduire le couplage substrat induit par la présence de ce genre d'interconnexion verticales. Cette étude a confirmé l'intérêt de l'utilisation de cette technologie dans les détecteurs de radiations.

La deuxième partie de ce travail de thèse, présentée dans le troisième chapitre, a permis d'aborder l'étude et la conception de ces détecteurs. En effet, ceux-ci doivent être capables de détecter une haute intensité de rayons-X avec une courte période d'impulsion et une énergie élevée générées par ce type de laser. Pour ce faire, des optimisations de ce capteur sont faites à l'aide des simulations numériques TCAD afin de minimiser la région inactives en considérant la haute tension de polarisation. Différents paramètres technologiques relatifs au détecteur ont été optimisés afin de les considérer sur le *layout* des multiples échantillons réalisés.

Enfin, et au cours du dernier chapitre, nous avons présenté la conception du *layout* d'une plaquette de 6 pouces incluant les différents types de structures des détecteurs des capteurs à bords actifs et à bords minces. Ces différentes structures sont conçues par le centre de fabrication FBK, Trento. Ensuite, les dispositifs fabriqués ont été caractérisés électriquement par des mesures I(V) et C(V). La faisabilité du procédé a été démontrée. Les résultats obtenus sont en bonne concordance avec ceux mesurés. Par ailleurs, nous

avons remarqué que le rendement est meilleur dans le cas des dispositifs à tranchées segmentées que dans les dispositifs à tranchées continues en raison de la plus faible concentration de défauts de lithographie présents dans le premier cas.

Bien qu'avec une tension de claquage légèrement inférieure à celle prédite par les simulations, les dispositifs ont été démontrés fonctionnels, et les capteurs à matrice de pixels produits sont prêts à être liés à des circuits de lecture dédiés.

Le travail ainsi présenté dans ce manuscrit, concernant le développement des détecteurs de rayon-x verticalement intégrés avec une technologie tridimensionnelle (3D-TSV) ne saurait être complet sans la poursuite de nombreuses études complémentaires, ouvrant également d'autres perspectives qui envisagent un développement continu de la technologie 3D.

# Bibliographie

- [1] M. Sarajlic, et al., *Development of edgeless TSV X-ray detectors*, Journal of Instrumentation 11.02 (2016) : C02043.
- [2] <https://home.cern/>
- [3] <https://www.xfel.eu/>
- [4] G. Rizzo, et al., *The PixeFEL project : development of advanced X-ray pixel detectors for application at future FEL facilities*, J. of Instrumentation. vol. 10, C02024, 2015.
- [5] G.E. Moore, *Cramming more components onto integrated circuits*, Electronics, Vol. 38 (8), 1965.
- [6] ITRS Executive Summary 2005, Disponible en ligne : <http://www.itrs.net/Links/2005ITRS/ExecSum2005.pdf>
- [7] Interconnect Roadmap, edition 2005, disponible en ligne : <http://www.itrs.net/Links/2005ITRS/Interconnect2005.pdf>
- [8] M. Rousseau, *Impact des technologies d'intégration 3D sur les performances des composants CMOS*, PhD thesis, Toulouse University, France, November 2009.
- [9] R. Hoofman et al., *Benefits and Trade-offs in Multi-Level Air Gap Integration*, roceedings of the MRS 2006, (2006), pp 403.
- [10] L.G. Gosset et al., *Advanced Cu interconnects using Air Gaps*, Microelectronic Engineering, vol. 82, issues 3-4 (2005), pp 321-332.
- [11] R. Gras et al., *300 mm Multi Level Air Gap Integration for Edge Interconnect Technologies and Specific High Performance Applications*, Proceedings of the IITC 2008, (2008), pp 196-198.
- [12] J.W. Joyner, *Opportunities and limitations of three-dimensional integration*, PhD Thesis in Electrical Engineering. Georgia Institute of Technology, 2003.
- [13] S. List et al., *A global view of interconnects*, Microelectronic Engineering, 83 (2006), pp 2200-2207.
- [14] M. Belleville, N. Sillon, *Intégration système : êtes-vous plutôt SiP ou SoC?*, CEA Technologies, n.82 (octobre 2006).
- [15] R.L. Henry, Project Tinkertoy, *a system of mechanized production of electronics based on modular design*, IRE Transactions on Production Techniques, 1-1 (1956) pp. 10-11.
- [16] M. Bamal et al., *Performance comparison of interconnect technology and architecture options for deep submicron technology nodes*, In International Interconnect Technology Conference, 2006, pp. 202–204.

- 
- [17] W. R. Davis et al., *Demystifying 3D ICs : The pros and cons of doing vertical*, IEEE Design & Test of Computers, p. 498-510.
- [18] R. Zhang et al., *Power trends and performance characterization of 3- dimensional integration for future technology generation*, Proc. Of International Symposium on Quality Electronic Design, (2001), p. 217-222.
- [19] K. Banerjee et al., *3-D ICs : a novel chip design for improving deep-submicrometer interconnect performance and systems-on-chip integration*, Proceedings of the IEEE 89-5 (2001) pp 602-632.
- [20] J.W. Joyner, J.D. Meindl, *Opportunities for reduced power dissipation using three-dimensional integration*, Interconnect Technology Conference, Proceedings of the IEEE International, pp. 148- 150, 2002.
- [21] K. Puttaswamy, G.H. Loh, *Implementing register files for high-performance microprocessors in a die-stacked (3D) technology*, Emerging VLSI Technologies and Architectures, IEEE Computer Society Annual Symposium on, pp.6, 2-3 March 2006.
- [22] B. Black et al., *3D processing technology and its impact on iA32 microprocessors*, Computer Design : VLSI in Computers and Processors, ICCD, Proceedings. IEEE International Conference on, pp. 316- 318, Oct. 2004.
- [23] M. Taibi, *Intégration 3D haute densité : comportement et fiabilité électrique d'interconnexions métalliques réalisées par collage direct*, PhD thesis, Grenoble University, France, February 2012.
- [24] Y. Zhao, *Investigation into Yield and Reliability Enhancement of TSV-based Three-dimensional Integration Circuits*, PhD thesis, Southampton University, Englands, October 2014.
- [25] A.W. Topol et al., *Three-dimensional integrated circuits*, IBM Journal of Research and Development, vol.50, no.4.5, pp.491-506, July 2006.
- [26] S.J. Souri et al., *Multiple Si layer ICs : motivation, performance analysis, and design implications*, 37th Conference on Design Automation (DAC'00), 2000, pp 213-220.
- [27] J.-C. Eloy, *Markets and applications for TSVs*, Asia Roadshow EMC 3D, Jan. 22-26, 2007.
- [28] R. Ferrant, *3D-IC integration costs and benefits*, Design For 3D Workshop, Minatec Crossroads 2008, 27 June 2008, Grenoble, France.
- [29] Interconnect Roadmap, update 2006, disponible en ligne : <http://www.itrs.net/Links/2006Update/FinalToPost/09Interconnect2006Update.pdf>
- [30] E. Beyne, L. Smith, *ITRS comments and 2009 preview*, Sematech work group for ITRS roadmap for TSV technologies.
- [31] C.K. Tsang et al., *CMOS-compatible through silicon vias for 3D process integration*, Proceedings of Material Research Society Symposium 970 (2007).
- [32] D. Henry et al., *Via first technology development based on high aspect ratio trenches filled with doped polysilicon*, Proceedings of Electronic Components and Technology Conference (2007), pp 830-835.
-

- 
- [33] Semiconductor Industry Association, *International technology roadmap for semiconductors 2.0*, 2015 Edition, Interconnects. <http://www.itrs2.net>.
- [34] 3D IC Industry Summary, Tezzaron Semiconductor Website. Actualisé le 12 juin 2009. Disponible en ligne : <http://www.tezzaron.com/technology/3DICSummary.html>
- [35] N Mokhlesi, R Scheuerlein, *Three dimensional NAND memory*, U.S. Patent No. 7,851,851. 14 Dec. 2010.
- [36] M. M. Shulaker et al., *Monolithic 3D integration of logic and memory : Carbon nanotube FETs, resistive RAM, and silicon FETs*, 2014 IEEE International Electron Devices Meeting, San Francisco, CA, 2014, pp. 27.4.1-27.4.4.
- [37] L. Servoli et al., *3D monolithically stacked CMOS Active Pixel Sensors for particle position and direction measurements*, Journal of Instrumentation 10.01 (2015) : C01001.
- [38] P. Batude et al., *GeOI and SOI 3D monolithic cell integrations for high density applications*, Proceedings of VLSI Technology Symposium (2009), pp 166.
- [39] P. Garrou et al., *Handbook of 3D Integration*, volume 1 – 1st Edition. Weinheim : WILEY-VCH Verlag GmbH & Co. KGaA, (2008).
- [40] X. Zheng, J.-Q. Lu, *High-speed design and broadband modeling of through-strata-vias (TSVs) in 3D integration*, IEEE Trans. Compon. Packag. Manuf. Technol., vol. 1, no. 2, pp. 154-162, Feb. 2011.
- [41] J. Dukovic et al., *Through-Silicon-Via Technology for 3D Integration*, in 2010 IEEE International Memory Workshop, 16-19 May, pp. 1-2.
- [42] P. Soussan et al., *3D wafer level packaging : processes and materials for throughsilicon vias and thin die embedding*, Proceedings of Materials Research Society Symposium 1112 (2009).
- [43] T.M. Bauer et al., *Front end of line integration of high density, electrically isolated, metallized through silicon vias*, in Electronic Components and Technology Conference 2009, 26-29 May, pp. 1165-1169.
- [44] M. Ohring, *Reliability and failure of electronic materials and devic*, 1st Edition. Academic Press, 1998. 692 p.
- [45] K. Holloway et al., *Tantalum as a diffusion barrier between copper and silicon*, Applied Physics Letters 57-17 (1990) pp 1736-1738.
- [46] C.K. Tsang et al., *CMOS-compatible through silicon vias for 3D process integration*, Proceedings of Material Research Society Symposium 970 (2007).
- [47] F. Raynal et al., *Electrografted seed layers for metallization of deep TSV structures*, in Electronic Components and Technology Conference, 2009. ECTC 2009. 59th, 2009, pp. 1147-1152.
- [48] B. Kim et al., *Factors affecting copper filling process within high aspect ratio deep vias for 3D chip stacking*, Proceedings of the Electronic Components and Technology Conference (2006) pp 838-843.
-

- 
- [49] P. Morrow et al., *Wafer-level 3D interconnects via Cu bonding*, Proceedings of the Advanced Metallization Conference (2004).
- [50] C. Okoro et al., *Analysis of the induced stresses in silicon during thermocompression Cu-Cu bonding of Cu-through vias in 3D-SIC architecture*, Proceedings of the Electronic Components and Technology Conference (2007) pp 249-255.
- [51] A. Papanikolaou et al., *Three Dimensional System Integration - IC Stacking Process and Design*, Book Springer, pp. (2011).
- [52] 3D-IC & TSV Interconnect for Advanced Packaging : 2016 Business Update report, YOLE Développement, 2016 Edition
- [53] Disponible en ligne sur le site web du AMD : <https://www.amd.com/fr-fr/products/graphics/desktop/r9>
- [54] Disponible en ligne sur le site web du nvidia : <http://www.nvidia.com/content/global/global.php>
- [55] Disponible en ligne sur le site web du synopsys : <http://www.synopsys.com/>
- [56] M. B. Healy et al., *Design and analysis of 3D-MAPS : A many-core 3D processor with stacked memory*, in Custom Integrated Circuits Conference (CICC), 2010 IEEE, 2010, pp. 1–4.
- [57] Joel Hruska, *MIT Develops 3D Chip That Integrates CPU, Memory*, Disponible en ligne sur le site web : <https://www.extremetech.com/>
- [58] M. Jabbar, *Méthodologies de conception ASIC pour des systèmes sur puce 3D hétérogènes à base de réseaux sur puce 3D*, PhD thesis, Grenoble University, France, January 2009.
- [59] Tessera, *Tessera Advances Image Sensor Packaging with SHELLCASE MVP Technology*, Disponible en ligne sur le site web : <https://www.businesswire.com>
- [60] R. Fontaine et al., *The state-of-the-art of mainstream CMOS image sensors*, Proceedings of the International Image Sensors Workshop. 2015.
- [61] T. Haruta et al., *4.6 A 1/2.3 inch 20Mpixel 3-layer stacked CMOS Image Sensor with DRAM*, Solid-State Circuits Conference (ISSCC), 2017 IEEE International. IEEE, 2017.
- [62] A. Nemecek et al., *System-On Chip Gas Sensor with TSV-contact in 0.35um CMOS technology*, Semicon Europa 2014 Grenoble.
- [63] L. Zhenhua et al., *Design and optimization of a TSV 3D packaged pressure sensor for high temperature and dynamic measurement*, Electronic Packaging Technology and High Density Packaging (ICEPT-HDP), 2012 13th International Conference on. IEEE, 2012.
- [64] T. Wang et al., *Design and realize of 3D integration of a pressure sensor system with through silicon via (TSV) approach*, Electronic Packaging Technology and High Density Packaging (ICEPT-HDP), 2011 12th International Conference on. IEEE, 2011.
- [65] H. Spieler, *Semiconductor detector systems*, Vol. 12. Oxford university press, 2005.
-

- 
- [66] R. Eber, *Investigations of new Sensor Designs and Development of an effective Radiation Damage Model for the Simulation of highly irradiated Silicon Particle Detectors*, PhD thesis, Karlsruhe Institute of Technology, Germany, November 2013.
- [67] B. Chantepie, *Etude et réalisation d'une électronique rapide à bas bruit pour un détecteur de rayons X à pixels hybrides destinée à l'imagerie du petit animal*, PhD thesis, AIX-MARSEILLE University, France, December 2008.
- [68] High Energy Physics Department of Firenze. <http://hep.fi.infn.it/CMS/sensors/SiliconDetector.gif>
- [69] L. Taylor, *Silicon Pixels*. <http://cms.web.cern.ch/news/silicon-pixels>, 2011.
- [70] M. J. Bosma, *On the Cutting Edge of Semiconductor Sensors Towards Intelligent X-ray Detectors*, PhD thesis, Amsterdam University, Netherlands, December 2012.
- [71] C.J. Kenney, et al., *Active-edge planar radiation sensors*, Nucl. Instrum. Methods A, vol. 565, pp. 272-277, 2006.
- [72] M. Povoli, et al., *Slim edges in double-side silicon 3D detectors*, J. of Instrumentation, vol. 7, C01015, 2012.
- [73] M. Povoli, *Development of enhanced double-sided 3D radiation sensors for pixel detector upgrades at HL-LHC*, PhD thesis, Trento University, Italy, January 2013.
- [74] J. Zhang, et al., *Optimization of radiation hardness and charge collection of edgeless silicon pixel sensors for photon science*, J. of Instrumentation. vol. 9, C12025, 2014.
- [75] Y. Koudobine, *Electronique de comptage de photons pour détecteurs à pixels hybrides*, PhD thesis, Aix-Marseille 2 University, France, 2005.
- [76] G. Lutz, *Semiconductor radiation detectors*, Vol. 40. Berlin : Springer, 1999.
- [77] K. Kasinski et al., *Development of a Four-Side Buttable X-Ray Detection Module With Low Dead Area Using the UFXC32k Chips With TSVs*, IEEE Transactions on Nuclear Science 64.8 (2017) : 2433-2440.
- [78] M. Sarajlic et al., *Progress on TSV technology for Medipix3RX chip*, Journal of Instrumentation 12.12 (2017) : C12042.
- [79] P. Emma et al., *First lasing and operation of an angstrom-wavelength free-electron laser*, nature photonics 4.9 (2010) : 641.
- [80] T. Ishikawa et al., *A compact X-ray free-electron laser emitting in the sub-ångström region*, Nature Photonics 6.8 (2012) : 540.
- [81] R. Abela et al., *XFEL : the European X-ray Free-Electron Laser*, Technical Report, DESY, Hamburg, Germany, Vol. 312, 2006.
- [82] Hatsui, Takaki, and H. Graafsma, *X-ray imaging detectors for synchrotron and XFEL sources*, IUCrJ 2.3 (2015) : 371-383.
- [83] L. Struder et al., *Large-format, high-speed, X-ray pnCCDs combined with electron and ion imaging spectrometers in a multipurpose chamber for experiments at 4th generation light sources*, Nuclear Instruments and Methods in Physics Research Section A : Accelerators, Spectrometers, Detectors and Associated Equipment 614.3 (2010) : 483-496.
-

- 
- [84] P. Denes et al., *A fast, direct x-ray detection charge-coupled device*, Review of Scientific Instruments 80.8 (2009) : 083302.
- [85] M. Porro, et al., *Development of the depfet sensor with signal compression : A large format x-ray imager with mega-frame readout capability for the european xfel*, IEEE Transactions on Nuclear Science 59.6 (2012) : 3339-3351.
- [86] A. Koch, et al., *Performance of an LPD prototype detector at MHz frame rates under Synchrotron and FEL radiation*, Journal of Instrumentation 8.11 (2013) : C11001.
- [87] B. Henrich, et al., *The adaptive gain integrating pixel detector AGIPD a detector for the European XFEL*, Nuclear Instruments and Methods in Physics Research Section A : Accelerators, Spectrometers, Detectors and Associated Equipment 633 (2011) : S11-S14.
- [88] A. Koch, et al., *Detector development for the European XFEL : requirements and status*, Journal of Physics : Conference Series. Vol. 425. No. 6. IOP Publishing, 2013.
- [89] K.B. Ali et al., *Impact of crosstalk into high resistivity Silicon substrate on the RF performance of SOI MOSFET*. Journal of telecommunication and information technology. Vol. 2010, No. 4, pp 93.
- [90] R. Singh, *A review of substrate coupling issues and modeling strategies*, Proceedings of the Custom Integrated Circuits Conference, California, May 16-19, 1999.
- [92] T. Skotnicki, *Transistor MOS et sa technologie de fabrication*, Techniques de l'Ingénieur, E2430, publié le 10 février 2000.
- [92] S.-M. Kang, Y. Leblebici, *CMOS Digital Integrated Circuits*, Analysis and Design -3rd edition. McGraw-Hill, 2003. 655 p.
- [93] J.-P. Raskin, et al., *Substrate Crosstalk reduction using SOI technology*, IEEE Transactions on Electron Devices, Vol. 44, No. 12, pp. 2252-2261 1997.
- [94] M. Kirschning, R. H. Jansen, *Accurate wide-range design equations for the frequency-dependent characteristics of parallel coupled microstrip lines*, IEEE Trans. Microwave Theory Tech., vol. MTT-32, pp. 83-90, Jan. 1984.
- [95] T. C. Edwards, *Foundations for Microstrip Circuit Design*, Wiley, Great Britian, 1981.
- [96] G. Katti, *Electrical Modeling and Characterization of Through Silicon via for Three-Dimensional ICs*. IEEE Transactions on Electron Devices, Vol. 57, No. 1, pp. 256-262, 2010.
- [97] Sentaurus, Device User Guide, SYNOPSIS, Version G-2012.06, June 2012 SYNOPSIS
- [98] <http://www.mosis.com/>
- [99] C.J. Kenney et al., *Results from 3-D silicon sensors with wall electrodes : near-cell-edge sensitivity measurements as a preview of active-edge sensors*, IEEE Trans. Nucl. Sci., NS-48(6), pp. 2405-2410, 2011.
- [100] M. Povoli et al., *Development of planar detectors with active edge*, Nucl. Instrum. Methods A, vol. 658, pp. 103-107, 2011.
-

- [101] R. Klanner et al., *Challenges for silicon pixel sensors at the European XFEL*, Nuclear Instruments and Methods in Physics Research Section A : Accelerators, Spectrometers, Detectors and Associated Equipment 730 (2013) : 2-7.
- [102] J. Zhang et al., *Investigation of X-ray induced radiation damage at the Si-SiO<sub>2</sub> interface of silicon sensors for the European XFEL*, J. Instrum., vol. 7, no. 12, p. C12012, 2012.
- [103] G.-F. Dalla Betta et al., *Design and TCAD simulations of planar activeedge pixel sensors for future XFEL applications*, in Proc. Conf. Rec. IEEE Nucl. Sci. Symp., Nov. 2014, pp. 1–3, paper N08-7.
- [104] J. Becker et al., *Impact of plasma effects on the performance of silicon sensors at an X-ray FEL*, Nucl. Instrum. Methods Phys. Res. A, Accel. Spectrom. Detect. Assoc. Equip., vol. 615, no. 2, pp. 230–236, Apr. 2010.
- [105] V. Tyzhnevyyi, *Development of BJT radiation sensors and read-out systems for Radon detection*, PhD Thesis, Trento University, Italy December 2011.

# Appendices

# Publications de l'auteur

## .1 Revues

1. **M.A. Benkechke**, S. Latreche, S. Ronchin, M. Boscardin, L. Pancheri, G-F. Dalla Betta : Design and First Characterization of Active and Slim-Edge Planar Detectors for FEL Applications. IEEE Transactions on Nuclear Science, vol. 64, no. 4, pp. 1062-1070, April 2017.
2. L. Pancheri, **M.A. Benkechke**, G-F. Dalla Betta, H. Xu, G. Verzellesi, S. Ronchin, M. Boscardin, L. Ratti, M. Grassi, L. Lodola, P. Malcovati, C. Vacchi, M. Manghisoni, V. Re, G. Traversi, G. Batignani, S. Bettarini, G. Casarosa, M. Giorgi, F. Forti, A. Paladino, E. Paoloni, G. Rizzo, F. Morsani, L. Fabris : First experimental results on active and slim-edge silicon sensors for XFEL. Journal of Instrumentation 12/2016 ; 11(12) :C12018-C12018.
3. M. Manghisoni, L. Fabris, V. Re, G. Traversi, L. Ratti, M. Grassi, L. Lodola, P. Malcovati, C. Vacchi, L. Pancheri, **M.A. Benkechke**, G.-F. Dalla Betta, H. Xu, G. Verzellesi, S. Ronchin, M. Boscardin, G. Batignani, S. Bettarini, G. Casarosa, F. Forti, M. Giorgi, A. Paladino, E. Paoloni, G. Rizzo, F. Morsani : PFM2 : A 32 x 32 processor for X-ray diffraction imaging at FELs. Journal of Instrumentation 11/2016 ; 11(11) :C11033-C11033.
4. G. Rizzo, G. Batignani, **M.A. Benkechke**, S. Bettarini, G. Casarosa, D. Comotti, G.-F. Dalla Betta, L. Fabris, F. Forti, M. Grassi, L. Lodola, P. Malcovati, M. Manghisoni, R. Mendicino, F. Morsani, A. Paladino, L. Pancheri, E. Paoloni, L. Ratti, V. Re, G. Traversi, C. Vacchi, G. Verzellesi, H. Xu : The PixFEL project : Progress towards a fine pitch X-ray imaging camera for next generation FEL facilities. Nuclear Instruments and Methods in Physics Research Section A Accelerators Spectrometers Detectors and Associated Equipment, vol. 824, 2016, pp 131-134, ISSN 0168-9002.
5. L. Lodola, G. Batignani, **M.A. Benkechke**, S. Bettarini, G. Casarosa, D. Comotti, G-F Dalla Betta, L. Fabris, F. Forti, M. Grassi, S. Latreche, P. Malcovati, M. Manghisoni, R. Mendicino, F. Morsani, A Paladino, L Pancheri, E Paoloni, L Ratti, V Re, G Rizzo, G Traversi, C Vacchi, G Verzellesi, H. Xu, ‘‘ In-pixel conversion with a 10bit SAR ADC for next generation X-ray FELs’’, Nuclear Instruments and Methods in Physics Research Section A Accelerators Spectrometers Detectors and Associated Equipment, vol. 824, 2016, pp. 313-315, ISSN 0168-9002.
6. G.-F. Dalla Betta, G. Batignani, **M.A. Benkechke**, S. Bettarini, G. Casarosa, D. Comotti, L. Fabris, F. Forti, M. Grassi, S. Latreche, L. Lodola, P. Malcovati,

- M. Manghisoni, R. Mendicino, F. Morsani, A. Paladino, L. Pancheri, E. Paoloni, L. Ratti, V. Re, G. Rizzo, G. Traversi, C. Vacchi, G. Verzellesi, H. Xu, Design and TCAD simulation of planar p-on-n active-edge pixel sensors for the next generation of FELs, In Nuclear Instruments and Methods in Physics Research Section A : Accelerators, Spectrometers, Detectors and Associated Equipment, vol. 824, 2016, pp. 384-385, ISSN 0168-9002.
7. L. Ratti, D. Comotti, L. Fabris, M. Grassi, L. Lodola, P. Malcovati, M. Manghisoni, V. Re, G. Traversi, C. Vacchi, S. Bettarini, G. Casarosa, F. Forti, F. Morsani, A. Paladino, E. Paoloni, G. Rizzo, **M.A. Benkechkache**, G-F. Dalla Betta, R. Mendicino, L. Pancheri, G. Verzellesi, H. Xu : PixFEL : Developing a fine pitch, fast 2D X-ray imager for the next generation X-FELs. Nuclear Instruments and Methods in Physics Research Section A Accelerators Spectrometers Detectors and Associated Equipment, vol. 796, 2015, pp. 2-7, ISSN 0168-9002.
  8. G. Rizzo, D. Comotti, L. Fabris, M. Grassi, L. Lodola, P. Malcovati, M. Manghisoni, L. Ratti, V. Re, G. Traversi, C. Vacchi, G. Batignani, S. Bettarini, G. Casarosa, F. Forti, F. Morsani, A. Paladino, E. Paoloni, G.-F. Dalla Betta, L. Pancheri, G. Verzellesi, H. Xu, R. Mendicino, **M.A. Benkechkache** : The PixFEL project : development of advanced X-ray pixel detectors for application at future FEL facilities. Journal of Instrumentation 02/2015 ; 10(02) :C02024-C02024.
  9. L. Ratti, D. Comotti, L. Fabris, M. Grassi, L. Lodola, P. Malcovati, M. Manghisoni, V. Re, G. Traversi, C. Vacchi, G. Rizzo, G. Batignani, S. Bettarini, G. Casarosa, F. Forti, M. Giorgi, F. Morsani, A. Paladino, E. Paoloni, L. Pancheri, G.-F. Dalla Betta, R. Mendicino, G. Verzellesi, H. Xu, **M.A. Benkechkache** : A 2D imager for X-ray FELs with a 65nm CMOS readout based on per-pixel signal compression and 10bit A/D conversion. Nuclear Instruments and Methods in Physics Research Section A : Accelerators, Spectrometers, Detectors and Associated Equipment, vol. 831, 2016, pp. 301-308, ISSN 0168-9002.

## .2 Communications

1. **M.A. Benkechkache**, S. Latreche, S. Labiod, G.-F. Dalla Betta, L. Pancheri : Electrical modelling of Through Silicon Vias (TSVs) and their impact on a CMOS circuit : Ring Oscillator. IEEE 2017 International Conference on Electrical and Information Technologies (ICEIT), Rabat, 2017, pp. 1-5.
2. **M.A. Benkechkache** : Design Of Planar P-On-N Pixel Sensor With An Optimized Active-Edge Region For The Next Generation Of FEL. TREDI2015, Trento, Italy ; 02/2015.
3. **M.A. Benkechkache**, S. Latreche, G.-F. Dalla Betta : Analytical approach of the impact of Through Silicon Via on the performance of MOS devices. IEEE proceedings of the International Design & Test, IDT2014 ; 12/2014,
4. D. Comotti, F. Forti, F. Morsani, A. Paladino, E. Paoloni, G. Rizzo, G.-F. Dalla Betta, G. Verzellesi, H. Xu, L. Lodola, L. Fabris, M. Grassi, L. Ratti, P. Malcovati, M. Manghisoni, V. Re, G. Traversi, C. Vacchi, G. Batignani, S. Bettarini, R. Mendicino, L. Pancheri, G. Casarosa, **M. A. Benkechkache** : A pixelated x-ray

- detector for diffraction imaging at next-generation high-rate FEL sources. Hard X-Ray, Gamma-Ray, and Neutron Detector Physics XIX ; 08/2017.
5. D. Comotti, L. Fabris, M. Grassi, L. Lodola, P. Malcovati, M. Manghisoni, L. Ratti, V. Re, G. Traversi, C. Vacchi, G. Batignani, S. Bettarini, G. Casarosa, F. Forti, F. Morsani, A. Paladino, E. Paoloni, G. Rizzo, **M. A. Benkechkache**, G. F. Dalla Betta, R. Mendicino, L. Pancheri, G. Verzellesi, H. Xu : A 10 bit resolution readout channel with dynamic range compression for X-ray imaging at FELs. 2015 IEEE Nuclear Science Symposium and Medical Imaging Conference (NSS/MIC) ; 10/2015.
  6. L. Pancheri, **M.A. Benkechkache**, R. Mendicino, H. Xu, G-F. Dalla Betta, G. Verzellesi, D. Comotti, L. Ratti, M.Grassi, L. Lodola, P. Malcovati, C. Vacchi, L. Fabris, M. Manghisoni, V. Re, G. Traversi, G. Batignani, S. Bettarini, G. Casarosa, F. Forti, A. Paladino, G. Rizzo, F. Morsani : PixFEL project : hybrid High Dynamic Range X-ray image sensor for application at future FEL facilities. International Image Sensor Workshop, Vaals, The Netherlands ; 06/2015.
  7. A. Bagolini, M. Boscardin, P. Conci, M. Crivellari, G. Giacomini, F. Mattedi, C. Piemonte, S. Ronchin, N. Zorzi, **M.A Benkechkache**, G.-F. Dalla Betta, R. Mendicino, L. Pancheri, M. Povoli, D M S Sultan : Micromachined Silicon Radiation Sensors – Part 1 : Design And Experimental Characterization. AISEM Annual Conference, 2015 XVIII, Trento ; 02/2015.
  8. A. Bagolini, M. Boscardin, P. Conci, M. Crivellari, G. Giacomini, F. Mattedi, C. Piemonte, S. Ronchin, N. Zorzi, **M.A Benkechkache**, G.-F Dalla Betta, R. Mendicino, L. Pancheri, M. Povoli, D.M.S. Sultan : Micromachined Silicon Radiation Sensors – Part 2 : Fabrication Technologies. AISEM Annual Conference, 2015 XVIII ; 02/2015.
  9. L. Ratti, D. Comotti, L. Fabris, M. Grassi, L. Lodola, P. Malcovati, M. Manghisoni, V. Re, G. Traversi, C. Vacchi, G. Batignani, S. Bettarini, G. Casarosa, F. Forti, F. Morsani, A. Paladino, E. Paoloni, G. Rizzo, **M.A. Benkechkache**, G.-F. Dalla Betta, R. Mendicino, L. Pancheri, G. Verzellesi, H. Xu, “PixFEL : enabling technologies, building blocks and architectures for advanced X-ray pixel cameras at the next generation FELs”, Proceedings of : 21st NSS/MIC IEEE 2014, 8-15 November 2014, Seattle, WA USA.
  10. G.-F. Dalla Betta, G. Batignani, **M.A.Benkechkache**, S. Bettarini, G. Casarosa, D. Comotti, L. Fabris, F. Forti, M. Grassi, S. Latreche, L. Lodola, P. Malcovati, M. Manghisoni, R. Mendicino, F. Morsani, A. Paladino, L. Pancheri, E. Paoloni, L. Ratti, V. Re, G. Rizzo, G. Traversi, C. Vacchi, G. Verzellesi, H. Xu : Design and TCAD Simulations of Planar ActiveEdge Pixel Sensors for Future XFEL Applications. 2014 IEEE Nuclear Science Symposium and Medical Imaging Conference (NSS/MIC), Seattle, WA, USA ;11/2014.
  11. D. Comotti, L. Fabris, M. Grassi, L. Lodola, P. Malcovati, M. Manghisoni, L. Ratti, V. Re, G. Traversi, C. Vacchi, G. Batignani, S. Bettarini, G. Casarosa, F. Forti, F. Morsani, A. Paladino, E. Paoloni, G. Rizzo, **M.A. Benkechkache**, G.F. Dalla Betta, R. Mendicino, L. Pancheri, G. Verzellesi, H. Xu, “Low-Noise Readout Chan-

nel with a Novel Dynamic Signal Compression for Future X-FEL Applications”,  
Proceedings of : 21st NSS/MIC IEEE 2014, 8-15 November 2014, Seattle, WA USA.