

**RÉPUBLIQUE ALGÉRIENNE DÉMOCRATIQUE ET POPULAIRE  
MINISTÈRE DE L'ENSEIGNEMENT SUPERIEUR ET DE LA  
RECHERCHE SCIENTIFIQUE**

**UNIVERSITÉ FRÈRES MENTOURI, CONSTANTINE  
FACULTÉ DES SCIENCES DE LA TECHNOLOGIE  
Département d'Électronique**

N° d'ordre : 10/DiC/2015

Série : 01/elect/2015

**THÈSE**

Présentée pour obtenir le diplôme de Doctorat 3<sup>ème</sup> cycle  
en Électronique

Option : Micro et Nanotechnologies

Par :

**Billel SMAANI**

Titre :

**Etablissement de modèles compacts de transistors  
MOS multi grilles nanométriques en vue de leur  
application pour la conception de circuits**

Soutenue le : 05/05/2015

**Devant le jury :**

<b>Président :</b>	<b>Salah SAHLI</b>	Prof. Univ. Frère Mentouri, Constantine
<b>Rapporteur :</b>	<b>Saida LATRECHE</b>	Prof. Univ. Frère Mentouri, Constantine
<b>Examineurs :</b>	<b>Thouraya BOUCHEMAT</b>	Prof. Univ. Frère Mentouri, Constantine
	<b>Fayçal DJEFFAL</b>	Prof. Univ. Batna
	<b>Mourad ZAABAT</b>	Prof. Univ. Oum El Bouaghi

## Remerciements

Ce travail de thèse a été effectué au sein du Laboratoire Hyperfréquences et Semi-conducteurs (LHS) de l'Université Constantine 1, sous la direction de Madame **Saida LATRECHE**, Professeur au Département d'Electronique de l'Université Constantine 1.

Tout d'abord, je tiens à remercier **DIEU** tout puissant pour la volonté, la santé et la patience qu'il m'a données durant toutes ces années d'études afin que je puisse arriver à ce stade.

J'adresse mes plus vifs remerciements à ma directrice de thèse Professeur **Saida LATRECHE**, pour son aide, ses encouragements et pour la qualité de ses conseils tout au long de cette thèse et surtout pour le sujet intéressant qu'elle m'a proposée. Je la remercie également pour son suivi constant durant ces années de recherche. Ses connaissances scientifiques et pédagogiques ont permis de mener à bien ce travail.

Je remercie très sincèrement Monsieur **Salah SAHLI** professeur à l'Université de Constantine 1, pour l'honneur qu'il m'a fait en acceptant d'être le président du jury de cette thèse.

Je tiens à remercier Madame **Thouraya BOUCHEMAT** professeur à l'Université de Constantine 1, pour l'intérêt qu'elle a porté à mes travaux en acceptant la tâche d'examiner ce travail de thèse.

Je remercie également Monsieur **Fayçal DJEFFAL** Professeur à l'université de Batna, et Monsieur **Mourad ZAABAT** Professeur à l'université de Oum El Bouaghi, pour l'honneur qu'ils m'ont fait en acceptant la tâche d'examiner ce travail de thèse ainsi que pour leurs participations au jury.

J'exprime mes vifs remerciements et ma profonde gratitude à Monsieur **Benjamin IñIGUEZ** professeur à l'université Rovira i Virgili (URV) en Espagne. Je le remercie pour m'avoir accueilli au sein de son laboratoire, pour son suivi et sa disponibilité lors de mes stages. Il m'a aidé à développer une compréhension claire du fonctionnement et de la physique des TMOS multi-grilles, qui permet la modélisation compacte de ce type de composants.

Mes remerciements vont également vers tous mes collègues du laboratoire LHS, et surtout **Samir LABIOD** et **Mourad BELLA**. J'aimerais également remercier chaleureusement les membres d'équipe de Monsieur **Benjamin IñIGUEZ**, et particulièrement **François LIME** et **Oana MOLDOVAN**. Je remercie aussi **Muthupandian, Alexandra et Mahbub**.

# **Sommaire**

# Sommaire

Liste des symboles, constantes & abréviations	i
Liste des figures	v
Liste des tableaux	ix
Introduction générale	1
<b>Chapitre 1 Développement des transistors MOS à Grilles Multiples : structures, performances et état de l'art</b>	
1.1 La technologie CMOS et le transistor MOSFET " <i>bulk</i> " : les limites et les solutions envisagées	4
1.1.1 Introduction	4
1.1.2 Le transistor MOSFET " <i>bulk</i> " : structure et mode de fonctionnement	6
1.1.3 Les modèles compacts : application en conception de circuits	8
1.1.4 Modélisation compacte des transistors MOS : approches et état de l'art	9
1.1.4.1 Les modèles en charge	10
1.1.4.2 Les modèles en potentiel de surface	10
1.1.4.3 Aperçu sur les caractéristiques principales des différents modèles	10
1.1.5 Problèmes induits par la réduction de la taille des transistors MOS	11
1.1.5.1 Les effets canaux courts (SCEs)	11
1.1.5.2 Le confinement quantique	16
1.1.5.3 L'effet tunnel	17
1.1.5.4 La déplétion du Poly-Silicium de grille	19
1.1.5.5 Les capacités parasites	19
1.2 Les solutions technologiques : tendance vers les transistors MOS à Grilles Multiple	21
1.3 Évolution des transistors MOS à Grilles Multiples	23
1.3.1 Le <i>UTB</i> MOSFET sur SOI	23
1.3.2 Le Double Grille (DG)	25
1.3.3 Le FinFET	27
1.3.4 Le Triple Grille (TG)	29

1.3.5	Le TMOS à Grille Cylindrique	30
1.4	État de l'art des modèles compacts des transistors MOS à Grilles Multiples	32
1.4.1	Le BSIM-CMG : modèle compact pour dispositif multi-grille (à grille commune)	32
1.4.2	Le BSIM-IMG : modèle compact pour dispositif multi-grille (à grille indépendante)	35
1.4.3	Les modèles de TMOS à Double Grilles	36
1.4.3.1	Les modèles de <i>Yuan Taur</i>	36
1.4.3.2	Le modèle de <i>Jean-Michel Sallese et al</i>	37
1.4.3.3	Les modèles de <i>Benjamín Iñiguez et son équipe</i>	37
1.4.3.4	Les modèles de <i>Marina Reyboz et al</i>	38
1.4.3.5	Les modèles de <i>Adelmo Ortiz-Conde et al</i>	38
1.4.4	Les modèles de TMOS à Grille Cylindrique	39
1.4.4.1	Le modèle de <i>David Jiménez et al</i>	39
1.4.4.2	Le modèle de <i>Jin He et al</i>	40
1.4.4.3	Le modèle de <i>Benjamín Iñiguez et al</i>	41
1.4.4.4	Le modèle de <i>Hamdy Abd El Hamid et al</i>	41
1.4.4.5	Le modèle de <i>Yuan Taur et al</i>	41
	Cahier de charge de la thèse & objectifs	42
	Conclusion	43
	Références bibliographiques	43
<b>Chapitre 2 Modélisation compacte du TMOS à Doubles Grilles (DG) : du composant vers la simulation (HDL) de circuits</b>		
2.1	Introduction	52
2.2	Présentation du dispositif considéré	53
2.3	Description du modèle compact	54
2.3.1	Le courant de drain	56
2.3.2	Calcul de la densité de charge mobile	56
2.3.2.1	Calcul itératif	57
2.3.2.2	Calcul direct	59
2.3.3	Les effets canaux courts	62
2.3.4	Les capacités intrinsèques	64

2.4	Résultats et discussions	67
2.4.1	Validation : Modèle vs Simulation numérique	67
2.4.2	Analyse du courant de drain et influence des paramètres technologiques	69
2.4.3	Effet de la dégradation de la mobilité	72
2.5	Application : simulation de circuits	72
2.5.1	Description du flot de simulation HDL	73
2.5.2	Implémentation du modèle dans le langage Verilog-AMS	73
2.5.3	L'oscillateur <i>Colpitts</i> à base du TMOS nanométrique à double grilles	76
2.5.3.1	Fonctionnement et conditions d'oscillations	76
2.5.3.2	Présentation du circuit considéré	77
2.5.3.3	Analyse temporelle et stabilité	78
2.5.3.4	Influence de la réduction de paramètres technologiques du composant sur le temps de réponse de circuit	79
2.5.4	L'inverseur à charge passive et à base du TMOS nanométrique à double grilles	81
2.5.4.1	Circuit de l'inverseur considéré	81
2.5.4.2	Simulation temporelle et analyse des performances	82
	Conclusion	83
	Références bibliographiques	84

### **Chapitre 3 Développement du modèle compact de TMOS à Grille Cylindrique faiblement dopé : prise en compte des effets canaux courts**

3.1	Introduction	87
3.2	Développement du modèle SRG MOSFET	87
3.2.1	Structure considérée	87
3.2.2	Le potentiel de surface	88
3.2.3	La différence entre le potentiel de surface et le potentiel au centre du film de Silicium	91
3.2.4	La densité de charge mobile	92
3.2.5	Les effets canaux courts	93
3.2.5.1	La mobilité	93
3.2.5.2	Le DIBL et le $V_T$ <i>Roll-off</i>	94

3.2.5.3	La dégradation de la pente sous le seuil	94
3.2.5.4	La modulation de la longueur du canal	95
3.2.6	Courant de drain avec prise en compte des effets canaux courts	96
3.3	Résultats et discussions	97
3.3.1	Caractéristiques et paramètres technologiques du SRG MOSFET considéré	97
3.3.2	Validation du modèle SRG MOSFET à canal court	98
3.3.3	Caractéristique de sortie pour les nœuds technologiques 20 et 30nm	101
3.3.4	Variation de la transconductance et la conductance	102
	Conclusion	104
	Références bibliographiques	104
<b>Chapitre 4 Étude et extraction des paramètres de transistors Multi-Grilles sans jonctions à nanofil : le dopage et la tension de bande plate</b>		
4.1	Introduction	107
4.2	Fonctionnement et propriétés des transistors sans jonctions à nanofil	108
4.3	Extractions des paramètres du transistor multi-grille sans jonction à nanofil : dopage et tension de bandes plates	111
4.3.1	Structure du transistor sans jonctions	111
4.3.2	Présentation des résultats et discussions	112
4.3.2.1	La variation de la densité de charge moyenne	112
4.3.2.2	Analyse de la variation de la dérivée de la capacité grille-canal	114
	Conclusion	119
	Références bibliographiques	119
	Conclusion générale	121
	Liste des publications & communications	124

# Liste des symboles, constantes & abréviations

## Symboles et constantes

$C_{si}$  : Capacité de Silicium.

$C_{ox}$  : Capacité d'oxyde.

$C_{ov}$  : Capacité de recouvrement.

$C_{jw}$  : Capacité de jonctions.

$C_{gc}$  : Capacité grille-canal.

$\Delta V_{TH}$  : Décalage de la tension de seuil lié à l'effet *DIBL* et le  $V_T$  *Roll-off*.

$\Delta L$  : Modulation de la longueur du canal.

$\Delta\Phi_{MS}$  : Différence des travaux de sortie entre la grille et le silicium.

$E$  : Champ électrique.

$E_{eff}$  : Champ électrique effectif.

$E_{fn}$  : Quasi-niveau de Fermi des électrons.

$E_{fp}$  : Quasi-niveau de Fermi des trous.

$E_i$  : Niveau de Fermi intrinsèque.

$E_c$  : Niveau d'énergie de la bande de conduction.

$E_v$  : Niveau d'énergie de la bande de valence.

$E_s$  : Champ électrique de surface.

$\varepsilon_{si}$  : Permittivité diélectrique du Silicium.

$\varepsilon_{ox}$  : Permittivité diélectrique d'oxyde.

$\Phi$  : Potentiel électrostatique.

$\Phi_s$  : Potentiel de surface.

$\Phi_{sbT}$  : Potentiel de surface en faible inversion.

$\Phi_{saT}$  : Potentiel de surface en forte inversion.

$\Phi_d$  : Différence entre le potentiel de surface et le potentiel au centre du canal.

$\Phi_c$  : Potentiel électrostatique au centre du canal.

$\Phi_F$  : Potentiel de Fermi.

$\Phi_t$  : Tension thermodynamique.



$g_m$  : Transconductance.  
 $g_{ds}$  : Conductance.  
 $H_{nf}$  : Hauteur du canal à nanofil.  
 $I_{ds}$  : Courant de Drain.  
 $I_{on}$  : Courant à l'état passant.  
 $I_{off}$  : Courant à l'état bloqué.  
 $i$  : Courant de drain normalisé.  
 $K$  : Constante de Boltzmann ( $1,38 \cdot 10^{-23}$  J/K).  
 $L$  : Longueur du canal.  
 $L_{grille}$  : Longueur de grille.  
 $l_c$  : Longueur naturelle des dispositifs MOS à grille cylindrique.  
 $LambertW$  : Fonction de Lambert.  
 $\mu$  : Mobilité des porteurs.  
 $\mu_{eff}$  : Mobilité effective des porteurs.  
 $\mu_0$  : Mobilité des porteurs à champ faible.  
 $N_A$  : Concentration en dopant "accepteurs".  
 $N_D$  : Concentration en dopant "donneurs".  
 $n$  : Densité des électrons.  
 $n_i$  : Densité intrinsèque des porteurs dans le Silicium.  
 $p$  : Densité des trous.  
 $Q_m$  : Densité de charge mobile.  
 $q_m$  : Densité de charge mobile normalisée.  
 $q_s$  : Densité de charge côté Source.  
 $q_d$  : Densité de charge côté Drain.  
 $q_{sat}$  : Densité de charge de saturation.  
 $q$  : Charge élémentaire d'électron ( $1,6 \cdot 10^{-19}$  C).  
 $R$  : Rayon du canal cylindrique.  
 $R_C$  : Résistance du canal.  
 $R_D$  : Résistance de Drain.

$R_S$  : Résistance de la Source.  
 $SS$  : Pente sous le seuil.  
 $t_{si}$  : Épaisseur du Silicium.  
 $t_{ox}$  : Épaisseur d'oxyde.  
 $t_{BOX}$  : Épaisseur d'oxyde enterré.  
 $V_{gs}$  : Tension de Grille.  
 $V_{ds}$  : Tension de Drain.  
 $V_{TO}$  : Tension de seuil du dispositif à canal long.  
 $V_{TH}$  : Tension de seuil du dispositif à canal court.  
 $V_{deff}$  : Tension de Drain effective.  
 $V_{sat}$  : Tension de saturation des porteurs.  
 $V_{fb}$  : Tension de "bandes plates".  
 $V_{ch}$  : Potentiel du quasi-niveau de Fermi.  
 $v$  : Tension normalisée.  
 $v_{sat}$  : Vitesse de saturation des porteurs.  
 $W$  : Largeur du canal.  
 $W_{nf}$  : Largeur du canal à nanofil.  
 $X_j$  : Profondeur des jonctions de Source et de Drain.  
 $X_{dd}$  : Largeur de la région déplétée du côté de Drain.  
 $X_{sd}$  : Largeur de la région déplétée du côté de la Source.

## **Abréviations et sigles**

BOX : *Buried Oxide* (oxyde enterré).  
 CAD: *Computer Aided Design*.  
 CLM : *Channel Length Modulation* (modulation de la longueur du canal).  
 CMOS: *Complementary Metal Oxide Semiconductor*.  
 DIBL : *Drain Induced Barrier Lowering* (abaissement de la barrière d'injection source/drain due à la tension de drain).  
 DG MOSFET : *Double-Gate MOSFET* (transistor MOS à double-grilles).  
 GCA : *Gradual Channel Approximation* (approximation du canal graduel).  
 HDL: *Hardware Description Languages* (Langages de description matériel).

ITRS : *International Technology Roadmap of Semiconductor* (feuille de route internationale des semi-conducteurs).

JNTs : *Junctionless Nanowire Transistors* (transistors sans jonctions à nanofil).

MG : Multi-Grilles.

MEB : Microscope électronique à balayage.

MET : Microscope électronique à transmission.

MOSFET : *Métal-Oxyde-Semiconductor (MOS) Field Effect Transistor* (transistor MOS à effet de champ).

Roll-off : *Charge sharing* (Partage de charge).

SCEs : *Short-Channel Effects* (Effets canaux courts).

SOC : *System-On-Chip* (Système-sur-puce).

SOI : *Silicon-On-Insulator* (Silicium sur isolant).

SRG MOSFET : *Cylindrical surrounding-gate MOSFET* (transistor MOS à grille cylindrique).

SS : *Subthreshold Slope* (Pente sous le seuil).

TMOS : Transistor MOS.

TG : Triple-Grilles.

VLSI : *Very Large Scale Integration* (intégration à très large échelle).

Verilog-AMS.

VHDL.

## Liste des figures

### Figure

1.1	Evolution du nombre de transistors dans les microprocesseurs <i>INTEL</i> : loi de <i>Moore</i> [3].	4
1.2	Evolution de la longueur de grille des transistors MOS en termes de performances : prévisions ITRS 2011.	5
1.3	Structure de base d'un transistor MOSFET "bulk" : définition des différents paramètres technologiques.	6
1.4	Diagramme de bande d'énergie des trois modes de fonctionnement de la structure MOS.	7
1.5	Caractéristiques de sortie (a) et de transfert (b) d'un TMOS, décrivant les différents régimes des fonctionnements : (1) régime linéaire ;(2) régime non linéaire ;(3) régime de saturation.	7
1.6	Description du profil du potentiel (a) et de l'énergie des électrons (b) d'un dispositif à canal court modifié par le DIBL.	12
1.7	Description géométrique du partage de charge dans un TMOS à canal court.	12
1.8	Caractéristique de transfert d'un dispositif MOS à canal court : influence de l'effet DIBL (a) ; influence de l'effet du $V_T$ Roll-off (b).	13
1.9	Description de l'effet des résistances séries sur les TMOS : TMOS à canal long (a) ; TMOS à canal court (b).	14
1.10	Evolution de la densité de charge d'inversion le long du canal pour un transistor fonctionnant en saturation : $Q'_{IS}$ est la densité de charge d'inversion côté Source et $Q'_{IDSAT}$ désigne la densité de charge d'inversion côté Drain [1].	15
1.11	Schéma descriptif de la région de saturation de la vitesse des porteurs dans un dispositif MOS à canal court.	15
1.12	Distribution des porteurs de charges dans le cas classique et quantique (a) ; influence du confinement quantique sur la structure de bandes d'énergies (b).	17
1.13	Schéma illustrant la transmission d'électron d'énergie $\varepsilon$ , de la région 1 vers la région 3 (effet tunnel).	17
1.14	Principaux mécanismes de transmission de porteurs à travers la barrière de potentiel (effet tunnel) : "Fowler–Nordheim" (a) ; "Direct Tunneling" (b).	18
1.15	Relation entre le courant tunnel et la tension de seuil dans un TMOS : épaisseur d'oxyde de 2.0nm (a) ; épaisseur d'oxyde de 1.2nm (b) [30].	18
1.16	Influence du phénomène de la déplétion de Poly-Si de grille sur la structure de bandes d'énergies, avec l'application d'une tension Grille-Source positive.	19
1.17	Schéma illustrant les différentes capacités extrinsèques d'un TMOS : Les capacités des jonctions (Source et Drain) (a) ; Les capacités d'Overlap (b).	20
1.18	Schéma décrivant les principales voies (solutions) technologiques : diélectriques de grille "High K" (a) ; matériaux innovants de Silicium contraint et de forte mobilité (b) ; architectures Multi-Grilles (c) [5].	21

1.19	Coupe transversale de la structure du UTB MOSFET en technologie SOI.	24
1.20	Image d'une coupe transversale d'un UTB MOS en MET (a). Les principales étapes de processus de fabrication du UTB MOS (b) : après le développement de l'oxyde de grille (1) ; après la réalisation des espaces d'oxyde et du Poly-Silicium de grille (2) ; structure finale (3) [44].	24
1.21	Schéma du DG MOSFET planaire, où les deux grilles sont électriquement connectées (a) ; Photographie en MEB du DG MOSFET en technologie planaire (b) [23].	25
1.22	Structures du DG MOSFET : symétrique (a) ; asymétrique (b).	26
1.23	Processus de fabrication du DG MOSFET planaire (a) : après la réalisation de la grille arrière et le dépôt d'oxyde d'encapsulation (1) ; collage moléculaire du Wafer et manipulation (2) ; élimination chimique du BOX et de substrat initial (3) ; dépôt de la grille avant et finalisation (4). Coupe en MET de DG MOSFET (b) [48, 49].	26
1.24	Schéma de la structure général du FinFET.	27
1.25	Processus de fabrication du FinFET : après la gravure du Silicium et de l'oxyde (1) ; dépôt de l'oxyde de grille (2) ; dépôt de Silicium (3) ; implantation ionique pour la formation de la Grille, Source et Drain (4) [57].	28
1.26	Images photographiques représentent : image en SEM (Scanning Electron Microscope) d'un seul Fin (a) ; image en SEM d'un multi-Fin (64) FET (b) [59].	28
1.27	Schéma de la structure du Triple-Grilles (TG) SOI MOSFET.	29
1.28	Schémas de coupes transversales : structure d'un $\Omega$ -Gate (a) ; structure d'un $\Pi$ -Gate (b).	30
1.29	Schéma de la structure générale du TMOS à grille cylindrique sur SOI.	30
1.30	Image perpendiculaire en MET d'un GAA à nanofil (a) [70] ; Coupe transversale de la structure d'un MBCFET (b).	31
1.31	Dispositifs Multi-Grilles simulés par BSIM-CMG : FinFET de configuration double-grilles (a) ; Triple-Grilles (TG) sur SOI (b) ; triple-grilles sur "bulk" (c) ; SRG MOS à nanofil (d) [75].	33
2.1	Structure considérée du TMOS à double-grilles (symétrique).	53
2.2	Organigramme décrivant les étapes principales du calcul itératif de la charge en utilisant la méthode "Newton Raphson".	57
2.3	Variation du courant de drain en fonction de la tension de grille pour un DG MOS à canal long (a) ; variation de la densité de charge mobile normalisée en fonction de la tension de grille du DG MOS à canal long (b), pour $V_{ds}=1V$ .	58
2.4	Variation de la densité de charge mobile normalisée en fonction de la tension de grille, comparaison entre le calcul itératif (en rouge) et le calcul direct (en noir), pour $V_{ds}=1V$ .	61
2.5	Circuit équivalent du TMOS à double-grilles en mode d'opération symétrique en prenant en compte les capacités intrinsèques.	65

2.6	Variation du courant de drain en fonction de la tension de drain du DG MOSFET à canal long pour différentes tensions de grille. Ligne : modèle ; Points : Simulation numérique.	67
2.7	Variation du courant de drain en fonction de la tension de drain du DG MOSFET à canal court (échelle Semi-Log). Ligne : modèle ; Symboles : Simulation numérique.	68
2.8	Variation de la capacité grille-grille en fonction le tension de grille. Ligne : modèle ; Symboles : Simulation numérique.	69
2.9	Caractéristiques de transfert (a); caractéristiques de sortie (b), pour un DG MOSFET à canal long.	70
2.10	Caractéristiques de transfert pour un DG MOSFET : influence de la longueur du canal $L=1.0:0.6\mu m$ (a) ; influence de l'épaisseur de l'oxyde $t_{ox}=2.0:1.5\mu m$ (b).	71
2.11	Influence de l'effet de la dégradation de la mobilité sur la caractéristique de transfert du TMOS à double-grilles.	72
2.12	Organigramme décrivant les étapes principales d'une simulation HDL dans l'environnement SMASH.	73
2.13	Caractéristiques de transferts pour différentes tensions de drain Vds (a) ; caractéristiques de sorties pour différentes tensions de grille Vgs (b), pour un DG MOSFET à canal long ( $L=1\mu m$ , $t_{ox}=2nm$ et $t_{si}=25nm$ ).	75
2.14	Schéma du circuit considéré : l'oscillateur Colpitts.	77
2.15	Evolution de la tension de sortie en fonction du temps de l'oscillateur Colpitts.	78
2.16	Influence de la longueur du canal $L$ , avec $t_{ox}=2nm$ , $t_{si}=25nm$ , $W=1\mu m$ .	80
2.17	Influence de l'épaisseur d'oxyde $t_{ox}$ , avec $L=1\mu m$ et $t_{si}=25nm$ , $W=1\mu m$ .	81
2.18	Schéma de circuit de l'inverseur avec charge passive et à base DG MOSFET symétrique.	82
2.19	Evolution de la tension de sortie de l'inverseur à charge passive.	82
2.20	Simulation temporelle de l'inverseur : signal d'entrée (a) ; signal de sortie (b).	83
3.1	Structure du SRG MOSFET à canal court (a) ; Diagramme de bande d'énergie du SRG MOSFET : coupe transversale (b).	88
3.2	Variation du courant de drain en fonction de la tension de drain du SRG MOSFET à canal très court ( $L=10nm$ ). Ligne : modèle ; Symbole : Simulation numérique.	99
3.3	Variation du courant de drain en fonction de la tension de grille du SRG MOSFET à canal très court ( $L=10nm$ ) : échelle linéaire ; échelle semi-logarithmique (b). Ligne : modèle ; Symbole : Simulation numérique.	100
3.4	Caractéristique de transfert pour différents longueurs du canal $L=10, 20$ et $30nm$ . Ligne : modèle ; Symbole : Simulation numérique.	101
3.5	Caractéristiques de sorties du SRG MOSFET à canal court : longueur du canal de $20nm$ (a) ; longueur du canal de $30nm$ (b).	102

3.6	Variation de la transconductance en fonction de la tension de grille (a) ; variation conductance en fonction de la tension de drain (b).	103
4.1	Variation du courant de drain en fonction de la tension de grille $V_{gs}$ pour un transistor JLN (type N), pour une faible tension de drain $V_{ds}$ .	109
4.2	Evolution de la densité de charge électronique en contour et en fonction de la tension de grille dans transistor JLN (type N) : $V_{gs} < V_{th}$ (a) ; $V_{gs} \geq V_{th}$ (b) ; $V_{gs}$ élevé (c) ; Accumulation (d) [8, 9].	110
4.3	Diagrammes de bande d'énergie de transistor JLN de type N : canal en déplétion entière (état "Off") (a); Condition de bande plate (état "On") (b).	110
4.4	Image en MET d'une coupe transversale d'un transistor sans jonction à nanofil (JLN) [6].	111
4.5	Structure du transistor triple-grille sans jonctions à nanofil : en 3-D (a) ; coupe transversale (b).	112
4.6	Variation de la densité de charge moyenne en fonction de la tension de grille du transistor triple-grille JLN à canal "long", pour différentes largeurs $W_{nf} = 20, 40 \text{ et } 60nm$ .	113
4.7	Variation de dérivé de la capacité grille-canal $dC_{gc} / dV_{gs}$ en fonction de la tension de grille $V_{gs}$ de transistor triple-grille JLN à canal long, pour différentes largeurs $W_{nf}$ .	115
4.8	Variation de la densité de charge électronique dans le canal du triple-grille sans jonction (coupe transversale) : pour $V_{gs} = 0.35V$ (autour du deuxième Pic) (a) ; pour $V_{gs} = 0.45V$ (b).	116
4.9	Evolution de la capacité grille-canal $C_{gc}$ en fonction de la tension de grille $V_{gs}$ du transistor triple-grille JLN à canal "long".	117
4.10	Variation de la dérivée de la capacité grille-canal $dC_{gc} / dV_{gs}$ en fonction de la tension de grille $V_{gs}$ du transistor triple-grille JLN à canal long, pour différentes hauteurs $H_{nf} = 16, 24 \text{ et } 32nm$ .	118
4.11	Concentration de porteurs autour de la tension de seuil pour différentes hauteurs du film de Silicium $H_{nf} = 16, 24 \text{ et } 32nm$ du transistor triple-grille JLN à canal "long".	118

## Liste des tableaux

### Tableau

1.1	Caractéristiques principales des différents modèles.	10
2.1	Expressions analytiques des capacités intrinsèques du TMOS à double-grille en mode d'opération symétrique.	66
2.2	Valeurs des composants du circuit considéré.	77
3.1	Paramètres du modèle du transistor SRG MOSFET à canal court faiblement dopé.	98
4.1	Paramètres technologiques de transistor triple-grille sans jonctions à nanofil.	112



# **Introduction générale**

## **Introduction générale**

Pendant les cinq dernières décennies, l'industrie des semi-conducteurs a connu un grand progrès et une amélioration remarquable aux niveaux des produits commercialisés : de hautes performances technologiques ont déjà été atteintes. Cela a permis l'amélioration significative de la productivité économique ainsi que la qualité globale de la vie par le développement d'ordinateurs de plus en plus performants, d'outils de communication compétitifs et de dispositifs électroniques innovants.

La croissance rapide de l'industrie des semi-conducteurs est dûe principalement à la capacité de diminuer exponentiellement la taille des transistors MOS (*Metal Oxide Semiconductor*) existant dans la fabrication des circuits intégrés (CIs) en technologie CMOS (*Complementary Metal Oxide Semiconductor*). Ceci est habituellement exprimé par la fameuse loi de *Moore*, c'est-à-dire, l'augmentation du nombre de transistors par unité de surface. Afin de suivre cette croissance industrielle, les dimensions de transistors vont de plus en plus vers l'échelle nanométrique. A cette échelle, un des verrous actuels pour les industriels et particulièrement les concepteurs de circuits intégrés est d'améliorer les modèles compacts existant et d'établir de nouveaux modèles compacts, fiables et simples pour des composants modernes tels que les transistors MOS à grilles multiples, appelés également les Multi-Grilles (MG) FETs. Ceci constitue l'objectif principal de cette thèse.

Malheureusement, la course à la miniaturisation de transistors MOS affronte un certain nombre de problèmes qui sont devenus des défis (soit en Anglais "*Challenges*"). Le problème peut être technologique, comme les difficultés de la fabrication et surtout la maîtrise de couches fines de Silicium. Le problème peut être également de nature quantique ou physique. Nous pensons au problème des "effets canaux courts" (SCEs) qui est lié à la forte réduction de la longueur du canal de transistor. À l'heure actuelle, les SCEs représentent un énorme obstacle de la miniaturisation, car ils perturbent le bon fonctionnement de dispositifs MOS et limitent alors l'évolution de la technologie CMOS.

Ainsi, la modélisation des effets canaux courts et l'incorporation de ceux-ci dans les modèles compacts est indispensable surtout pour les TMOS multi-grilles de "canaux courts" nanométriques, tels que les TMOS à double grilles et les TMOS à grilles cylindrique. Ceci est le second objectif de cette thèse.

Durant ces dernières années, les modèles compacts ont joué un rôle très important dans la conception de circuits intégrés analogiques et mixtes, ainsi que dans la conception des

systèmes-sur-puce (SoC) "nanométrique", cela via les environnements et les outils d'aide à la conception de circuits (CAD). Au niveau du simulateur de circuits, le modèle compact du composant est la partie principale du logiciel de simulation ; il décrit le comportement électrique du dispositif dans toutes les régions de fonctionnement de manière simple, et permet ainsi la simulation de différents circuits avec plusieurs transistors et de centaines de nœuds. Un modèle compact est un modèle mathématique de formulation analytique compacte.

Afin d'utiliser le modèle compact par des simulateurs de circuits : il doit être simple, fiable et précis. De plus, la formulation analytique des expressions du modèle compact doit être claire et de bonne lisibilité du point de vue caractéristiques, comportement électrique et dépendances en paramètres technologiques. Cela permet aux concepteurs d'exécuter les architectures de circuits envisagés à base de transistors décrits par ce type de modèles. Ces transistors sont des composants modernes "nanométriques" de technologie actuelle qui repondent aux exigences industrielles, comme les TMOS à grilles cylindriques.

En outre, actuellement, la majorité des simulateurs de circuits commercialisés utilisent ces modèles via l'interface de langages de description matérielles (HDLs), tels que Verilog-AMS et VHDL. Donc, l'implémentation du modèle compact dans un langage de description matérielle est primordiale, d'une part, pour tester sa fiabilité à travers des simulations de circuits, et d'autre part, pour permettre au modèle d'aller vers des applications industrielles. Ceci représente le troisième objectif de cette thèse.

Ce manuscrit de thèse est partitionné en quatre chapitres, une introduction générale et une conclusion générale.

Le premier chapitre débute par un rappel de la structure et du fonctionnement de transistor MOSFET "*bulk*".

Nous présentons ensuite l'importance des modèles compacts des TMOS dans les applications industrielles. Les différentes et les principales approches suivies pour le développement de modèles compacts pour ce type de composants sont exposées. Nous citons alors les obstacles et les principaux phénomènes qui influent sur le bon fonctionnement des TMOS et limitent ainsi l'évolution et les performances de la technologie CMOS. A cet effet, nous soulignons les principales voies et les solutions technologiques d'actualité, dont les transistors MOS à grilles multiples jouent un rôle crucial, cela en termes de structures et d'architectures innovantes. Ensuite, nous exposons de façon claire l'évolution de la technologie Multi-Grilles (MG) FETs, ainsi qu'une description de chaque structure. Nous terminons par une synthèse et un état de l'art de modèles compacts des transistors MOS à

grille multiples existant et notamment les principaux modèles industriels publiés, et les travaux de groupes de recherches spécialisés.

Le deuxième chapitre est consacré, d'une part, à la modélisation analytique compacte du TMOS à Double Grilles. La validation des résultats de ce dernier est effectuée à travers la comparaison des résultats obtenus via la modélisation compacte avec ceux déduits de la simulation numérique. Celle-ci est réalisée en utilisant l'outil ATLAS du logiciel SILVACO.

D'autre part, l'implémentation du modèle proposé dans le langage Verilog-AMS est réalisée. Cela permet par la suite d'aller vers l'analyse et la "simulations de circuits" à base du TMOS à double-grilles en utilisant le simulateur de circuits SMASH.

Le troisième chapitre porte essentiellement sur le développement du modèle analytique compact d'un autre type de transistor MOSFET : le TMOS à grille cylindrique (SRG MOSFET) de taille "nanométrique" (canal court). Nous commençons par une description de la formulation analytique du modèle compact proposé pour le SRG MOSFET. Nous incorporons, ensuite, les effets canaux courts au cœur du modèle de manière simple : l'effet DIBL, le  $V_T$  Roll-off, la dégradation de la pente sous le seuil et la modulation de la longueur du canal. Enfin, nous validons le modèle proposé via les résultats obtenus de la simulation du dispositif avec le logiciel SILVACO-ATLAS-TCAD.

Le quatrième chapitre est dédié aux transistors Multi-Grilles sans jonctions à nanofil (JLNs). Nous commençons ce dernier chapitre par introduire l'une des nouvelles structures récemment proposée pour poursuivre la réduction des dimensions de transistors en technologie CMOS : les transistors Multi-Grilles sans jonctions à nanofil. Nous présentons alors le fonctionnement et les différents mécanismes de conceptions de ce type de transistors. Par la suite, nous allons extraire les paramètres clés du transistor Triples-Grilles (TG) sans jonctions à nanofil, qui sont le dopage et la tension de bande plate. Pour cela, nous utilisons des méthodes basées sur le calcul de la densité de porteurs libres et la dérivée de la capacité grille-canal. Nous étudions alors la variation de la capacité grille-canal de Triples-Grilles (TG) sans jonctions à nanofil. Cela, nous permettra d'analyser et d'identifier l'origine de chaque Pic de la variation de cette capacité en fonction de la tension de grille-source et surtout le deuxième Pic. De plus, l'influence de paramètres technologiques tels que la largeur et la hauteur de film de Silicium à nanofil est abordée

Le manuscrit se termine par une conclusion générale qui rappelle les principaux résultats obtenus au cours de cette thèse.

Les perspectives de ce travail qui se dégagent y sont également présentées.

# **Chapitre 1**

## **Développement des transistors MOS à Grilles Multiples : structures, performances et état de l'art**

## 1.1 La technologie CMOS et le transistor MOSFET "bulk" : les limites et les solutions envisagées

### 1.1.1 Introduction

L'évolution de l'électronique a commencé par l'invention du premier transistor en 1947 par *Shockley, Bardeen* et *Brattain* (laboratoire *Bell*). Cette dernière a été suivie par la conception des circuits intégrés (CIs) dès 1957. À partir de l'année 1980, la technologie CMOS (*Complementary Metal Oxide Semiconductor*) devient un choix universel pour la majorité des industries de la microélectronique et semi-conducteurs, cela essentiellement pour des intégrations de circuits à très large échelle (VLSI: *Very Large Scale Integration*) [1].

La technologie CMOS rassemble deux transistors MOS (*Metal Oxide Semiconductor*) à effets de champs : le premier est réalisé sur un substrat semi-conducteur de type *P* et l'autre sur du type *N* [2].

L'évolution de la technologie CMOS est bâtie sur la réduction de la taille des transistors MOS dans les circuits intégrés. Pour plus de performances en termes de densité d'intégration et de la vitesse d'exécution des circuits et des systèmes, la densité des transistors par unité de surface double pratiquement tous les 24 mois, d'où une réduction de la taille des transistors par un facteur 0,7 : c'est la fameuse loi de *Moore* (Figure.1.1) [3].

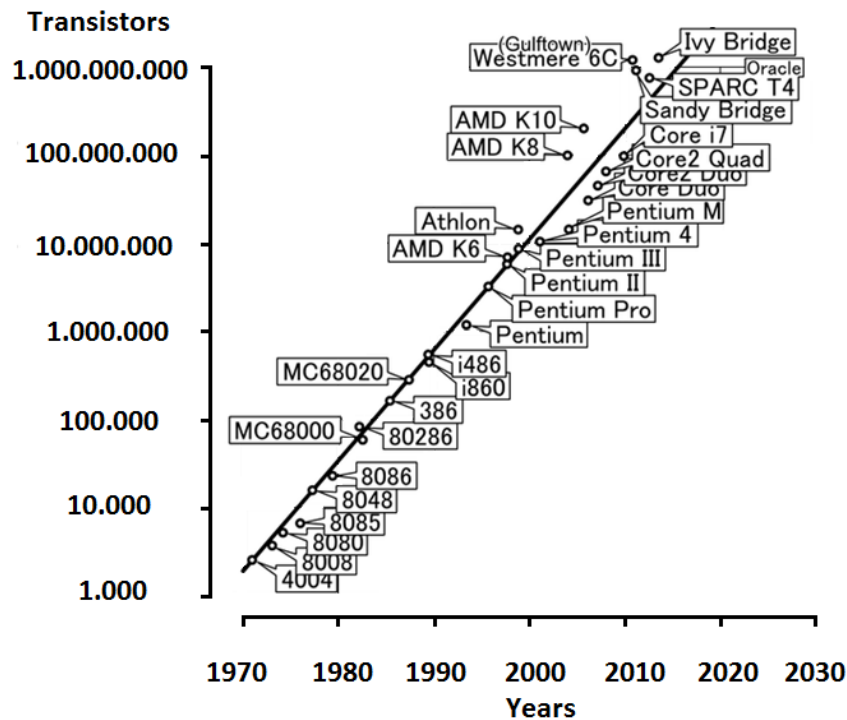
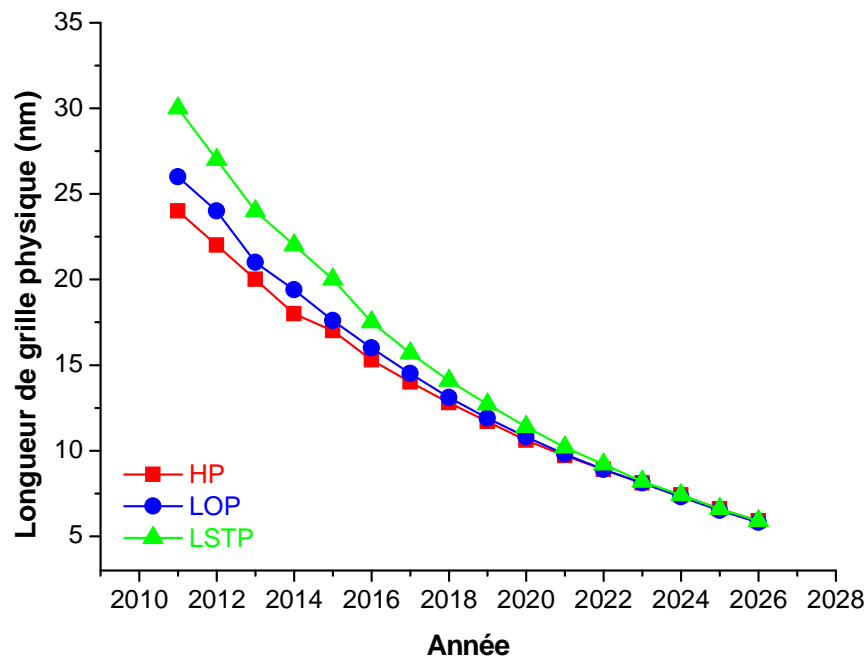


Figure.1.1 Evolution du nombre de transistors dans les microprocesseurs INTEL: loi de *Moore* [3].

Selon l'ITRS (*International Technology Roadmap of Semiconductor*), l'évolution de la technologie est basée sur les fonctionnalités des TMOS dans les Circuits Intégrés. Les performances technologiques des CIs logiques sont liées aux : Hautes Performances (HP) logiques et à la consommation de la puissance. Les Hautes Performances (HP) logiques sont traduites par la grande vitesse et la dissipation élevée de la puissance, telles que celles propres aux microprocesseurs (MPUs). Pour la consommation de la puissance, il existe deux principales catégories : "Low Operating Power" (LOP) et "Low Standby Power" (LSTP). La première catégorie (LOP) est réalisée à une faible consommation de la puissance en mode de fonctionnement dynamique. Elle est surtout réservée aux applications de téléphone mobile et de PC portable. La deuxième catégorie (LSTP) est liée à la très faible consommation de la puissance en mode veille (statique) [4].

D'après les feuilles de route de la technologie des semi-conducteurs, récemment produites par l'ITRS, la longueur de grille physique des transistors MOS (en terme de HP) se situe autour des 22 nm (INTEL, 2011) et va évoluer vers les 6 nm de longueur en 2026 [4, 5]. La Figure.1.2, décrit les prédictions d'ITRS pour l'évolution de la longueur de grille physique en termes de HP, LOP et LSTP [5].



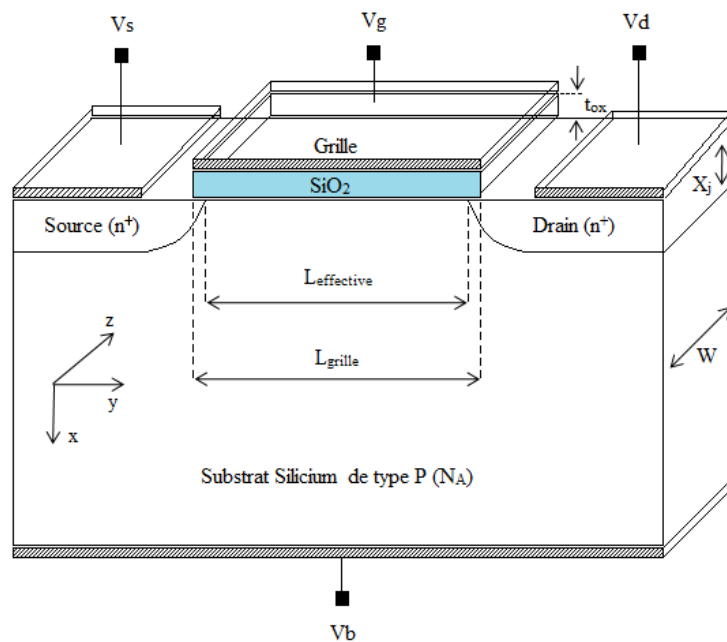
**Figure.1.2** Evolution de la longueur de grille des transistors MOS en termes de performances : prévisions ITRS 2011.

Depuis quelques années, l'industrie de la micro-électronique et semi-conducteurs a connu une amélioration très rapide dans les produits réalisés. Les catégories principales des

tendances technologiques sont : le niveau d'intégration, la vitesse de calcul et le coût par fonction. Cela a mené à l'amélioration de la productivité économique par la production et la croissance rapide de ces produits technologiques [5].

### 1.1.2 Le transistor MOSFET "bulk" : structure et mode de fonctionnement

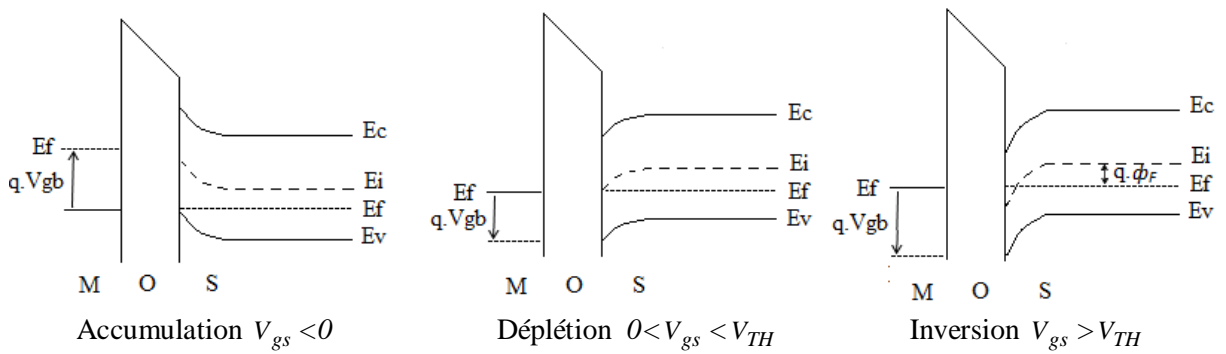
Le transistor MOS est un dispositif planaire fabriqué sur du substrat semi-conducteur ("Bulk") sur lequel une couche fine d'oxyde ( $\text{SiO}_2$ ) est déposée, une couche métallique est placée au dessus de l'oxyde (c'est la grille). Dans le substrat semi-conducteur (généralement du Silicium), deux régions de forts dopages sont créées, la première correspond à la Source et la deuxième au Drain. La partie la plus importante dans ce dispositif, est le canal, c'est la couche qui relie la Source au Drain [6]. La Figure.1.3, présente la structure générale d'un TMOS avec un canal de type N. Les différents paramètres technologiques sont : la longueur effective du canal  $L_{\text{effective}}$ , l'épaisseur d'oxyde  $t_{\text{ox}}$ , la largeur du canal  $W$ , la longueur de la grille  $L_{\text{grille}}$  et la profondeur des jonctions de Source et de Drain  $X_j$ .



**Figure.1.3** Structure de base d'un transistor MOSFET "bulk" : définition des différents paramètres technologiques.

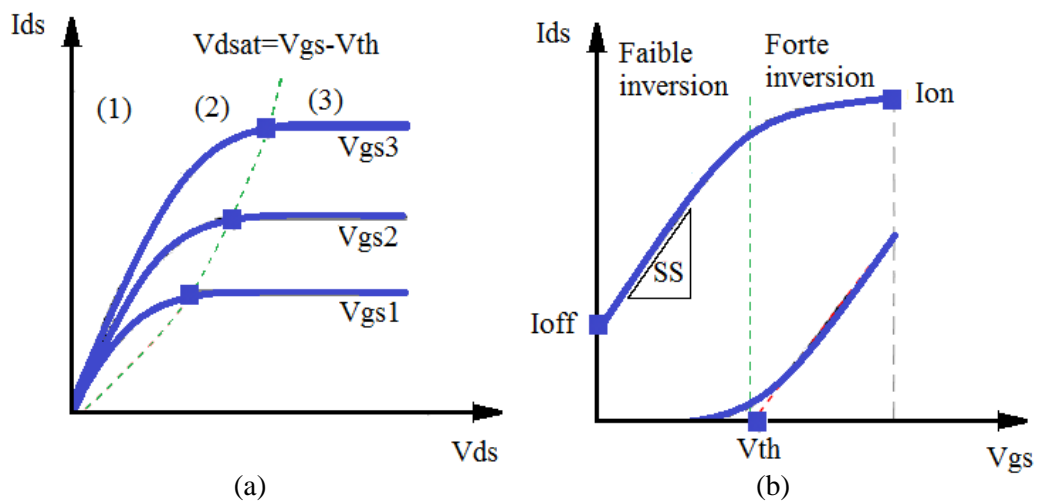
À travers la tension appliquée sur la grille  $V_{gs}$  (avec  $V_b = 0$ ), nous obtenons les différents modes de fonctionnement de la structure MOS : accumulation, déplétion et inversion. La Figure.1.4, décrit les trois modes de fonctionnement de la structure MOS à l'état d'équilibre,  $V_{TH}$  désigne la tension de seuil et  $\Phi_F$  le potentiel de Fermi.





**Figure.1.4** Diagramme de bande d'énergie des trois modes de fonctionnement de la structure MOS.

De manière générale, le MOSFET est un transistor qui fonctionne en mode d'inversion, lorsque la tension appliquée sur la grille  $V_{gs}$  est supérieure à la tension de seuil  $V_{TH}$ , les porteurs de charge minoritaires (dans notre cas les électrons) sont alors attirés à l'interface Oxyde/Silicium et les trous sont repoussés en volume, un canal est donc créé à travers ce phénomène d'inversion de population. Avec l'application de la tension de drain  $V_{ds}$ , un courant circule de la source vers le Drain (dans le canal crée) [7, 8]. La Figure.1.5, présente le fonctionnement général de TMOS à travers les caractéristiques  $I_{ds}(V_{gs})$  et  $I_{ds}(V_{ds})$ .  $V_{dsat}$  représente la tension de saturation,  $SS$  la pente sous le seuil,  $I_{off}$  le courant à l'état bloqué et  $I_{on}$  le courant à l'état passant [9, 10].



**Figure.1.5** Caractéristiques de sortie (a) et de transfert (b) d'un TMOS, décrivant les différents régimes des fonctionnements : (1) régime linéaire ;(2) régime non linéaire ; (3) régime de saturation.

### 1.1.3 Les modèles compacts : application en conception de circuits

Durant ces dernières années, les environnements et les outils d'aide à la conception de circuits (CAD : *Computer Aided Design*) ont joué un rôle important dans la conception des *CI*s analogiques et mixtes, ainsi que les systèmes-sur-puce (SOC) [1]. De nombreux outils et environnements de CAO ont été proposés pour faciliter la tâche de la conception et augmenter ainsi la qualité de circuits tout en diminuant le coût [11]. La productivité des *CI*s est liée à la disponibilité et à l'efficacité des outils CAO. L'un des outils les plus utilisés dans la conception de *CI*s correspond certainement aux simulateurs de circuits. Ces simulateurs sont capables d'analyser des circuits avec plus d'une centaine de nœuds. Historiquement, le simulateur de base qui est incontestablement le plus utilisé dans la conception de circuits VLSI est le simulateur SPICE (*Simulation Program with Integrated Circuit Emphasis*) et ASTAP (*Advanced Statistical Analysis Program*) [12].

La plupart des simulateurs de circuits commercialisés utilisent des descriptions de circuits de type SPICE. Les simulateurs qui ne se basent pas sur ce dernier, utilisent différentes méthodes d'intégration et de modélisation. Ces dernières vingtaines d'années, on distingue un grand nombre de simulateurs de circuits commercialisés, tels que : Eldo, ADS, Spectre, Smash, HSPICE, APLAC, etc.

Cependant la tâche de conception de *CI*s ne peut pas se faire sans la compréhension de la simulation physique du transistor et la description du comportement électrique de ce dernier. Puisque le comportement du transistor est décrit par son modèle, le modèle compact joue un rôle clé dans la précision et l'efficacité de la simulation et l'analyse de circuit et cela bien sûr avant l'élaboration de prototype de ce dernier. Le but d'un modèle compact est d'obtenir une description analytique simple, rapide et précise du comportement électrique du dispositif, et cela en DC, AC et RF. En conséquence, les modèles compacts de transistors permettent d'évaluer l'exécution de circuits intégrés contenant un grand nombre de transistors avec un temps optimal [1].

De manière générale, les modèles compacts peuvent être partagés en trois catégories :

- Les modèles empiriques.
- Les modèles semi-empiriques : ce type de modèle n'est pas de base purement physique car les solutions analytiques utilisent un certain degré d'empirisme, ce type de modèle est l'un des modèles les plus adaptés à la simulation de circuits [7].
- Les modèles physiques.

En effet, un modèle compact adapté à la simulation de circuits peut décrire le comportement électrique du dispositif à travers ses terminaux (Source, Drain et grille). Cela, avec des expressions analytiques simples et précises écrites sous forme d'expressions : courant-tension (I-V) et capacité-tension (C-V). En plus, ce type de modèle doit décrire le comportement électrique du dispositif dans toutes les régions de fonctionnement.

Enfin, la productivité et la conception des *CMs* analogiques et mixtes a conduit à la recherche et au développement (R&D) de modèles compacts pour des dispositifs émergents, tels que les TMOS à grilles multiples de taille nanométrique. Ces modèles prennent en compte les effets liés à la réduction de la taille des transistors.

#### **1.1.4 Modélisation compacte des transistors MOS : approches et état de l'art**

La modélisation compacte d'un TMOS revient à développer un modèle mathématique de formulation analytique simple, précise et avec un nombre minimal de paramètres adaptés aux simulateurs de circuits et aux environnements d'aide à la conception de circuits. Afin de répondre à ces exigences industrielles, plusieurs modèles ont été développés par le passé.

Les modèles compacts adaptés à ces besoins sont partagés en trois groupes, en fonction de l'approche utilisée [13]:

- Les modèles en tension de seuil.
- Les modèles en charge.
- Les modèles en potentiel de surface.

Les modèles en tension de seuil les plus répandus sont traduits par les modèles "BSIM" versions 1, 2, 3 et 4 [14]. Ce type de modèle utilise des solutions approximées du courant de Drain. Ils sont valides dans une seule région de fonctionnement (en faible inversion ou en forte inversion). Par conséquent, cette approche n'est pas assez précise pour la description de la région d'inversion modérée. Pour cela, les modèles les plus utilisés pour les besoins industriels ainsi que pour la simulation de circuits sont : les modèles en charge et les modèles en potentiel de surface [1]. En effet, ils prennent mieux en compte la transition entre les deux régimes de fonctionnement.

### 1.1.4.1 Les modèles en charge

Dans cette approche, le courant de Drain est exprimée en termes de densité de charge d'inversion dans le canal aussi bien côté Drain que côté Source. Ce type de modèle est généralement de base physique, de plus il contient un nombre minimum de paramètres d'ajustements empiriques ("*Empirical Fittings Parameters*"). Pour cela, cette approche à prouvé son efficacité dans la conception des *CI*s analogiques de faibles consommation de puissance. Les modèles en charge les plus réponsus et les plus utilisés dans les applications de la technologie CMOS sont les modèles EKV version originale [15], EKV version 3.0 [16] et BSIM version 5 [17].

### 1.1.4.2 Les modèles en potentiel de surface

Dans cette deuxième approche, le courant de Drain est écrit en fonction de la densité de charge d'inversion. Cependant, la densité de charge d'inversion est écrite en termes de potentiel de surface. Donc l'idée générale est l'expression du potentiel de surface dans le canal aux cotés Source et Drain. Les modèles les plus réponsus dans cette catégorie sont les modèles HiSIM [18] et PSP [19, 20].

### 1.1.4.3 Aperçu sur les caractéristiques principales des différents modèles

Les modèles cités dans § 1.4.4.1 et § 1.4.4.2 ont prouvés leurs efficacités et sont largement utilisés dans la conception de circuits RF, numériques et analogiques. La plupart de ces modèles sont considérés comme étant "*Industrial Standard Model*" [17, 20]. Le Tableau.1.1, résume les caractéristiques principales de chaque groupe de modèles par rapport à l'autre [13].

	Modèles en potentiel de surface		Modèles en tension de seuil		Modèles en charge
	PSP	HiSIM	BSIM v3.3	BSIM v4	EKV v2.6
Nombre de paramètres	155	72	190	259	41
Référence	Bulk	Bulk	Source	Source	Bulk
Symétrie	Oui	Oui	Non	Non	Oui
Courant de Drain	Drift-diff	Drift-diff	Drift	Drift	Drift-diff

**Tableau.1.1** Caractéristiques principales des différent modèles.

### 1.1.5 Problèmes induits par la réduction de la taille des transistors MOS

Pour plus de performances technologiques, les dimensions du transistor MOS sont de plus en plus réduites et cela avec succès. Cependant, réduire la taille des transistors MOS, telles que la longueur du canal  $L$ , l'épaisseur de Silicium  $t_{si}$  et l'épaisseur d'oxyde  $t_{ox}$  engendre des problèmes de nature physique et quantique, perturbant le bon fonctionnement des TMOS et limitant ainsi les fonctionnalités des circuits CMOS [4]. À l'heure actuelle, les problèmes majeurs de cette miniaturisation sont : les effets "canaux courts", le confinement quantique et le courant tunnel [13].

#### 1.1.5.1 Les effets canaux courts (SCEs)

La minimisation des dimensions des transistors MOS et particulièrement la longueur du canal engendre des effets électrostatique parasites. Ces effets sont appelés les effets canaux courts, souvent notés par SCEs (*Short Channel effects*) [21]. Jusqu'à maintenant, les SCEs restent l'un des problèmes majeurs qui limite l'évolution de la technologie CMOS [4].

De manière générale, la diminution de la longueur du canal ( $L$  inférieur à 50nm) réduit la tension de seuil  $V_{th}$  [22]. Ceci en premier temps, mais engendre également un nombre de phénomènes néfastes, tels que : l'effet DIBL (*Drain Induced Barrier Lowering*), le partage de charge ( $V_T$  *Roll-off*), l'effet des résistances série, la modulation de la longueur du canal et la saturation de la vitesse des porteurs, etc.

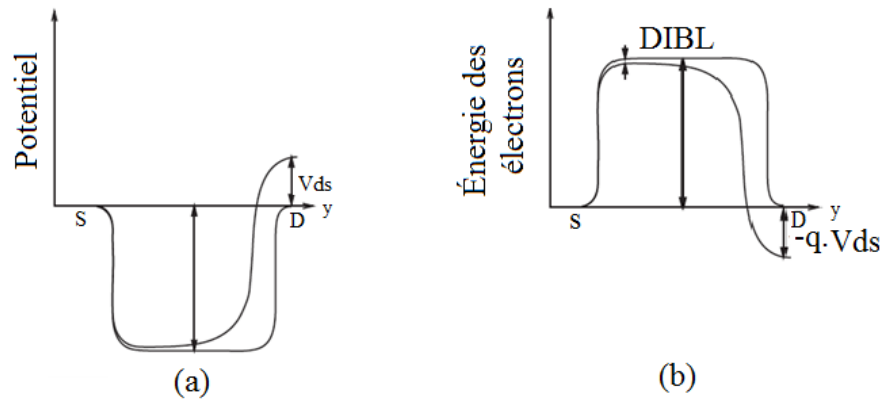
#### ✚ L'effet DIBL (*Drain Induced Barrier Lowering*) et le partage de charge ( $V_T$ *Roll-off*)

Le DIBL est un effet parasite lié à la réduction de la longueur du canal  $L$  qui affecte la tension de seuil  $V_{th}$ . Pour une tension de grille constante  $V_{gs}$ , l'augmentation de la tension de Drain  $V_{ds}$  abaisse la barrière du potentiel dans le canal. Ceci est accompagné par un flux de porteurs de la Source vers le Drain (au dessus de la barrière). Ceci augmente le courant de Drain  $I_{ds}$  et crée un décalage au niveau de la tension de seuil  $V_{th}$  qui est souvent définit comme :

$$V_{TH} = V_{TO} - \Delta V_{TH} \quad (1.1)$$

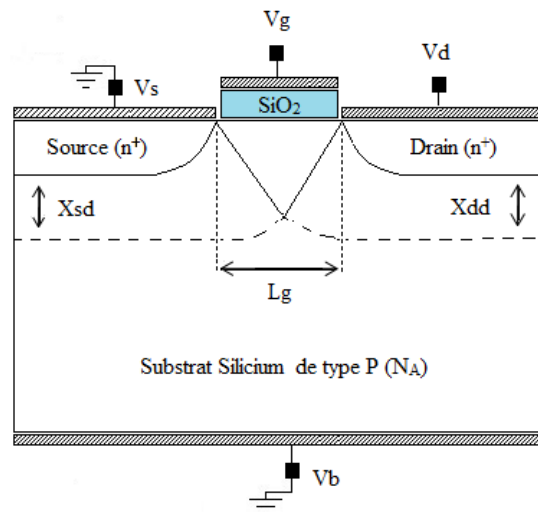
Avec  $V_{TH}$ ,  $V_{TO}$  et  $\Delta V_{TH}$  sont, respectivement, la tension de seuil de dispositif à canal court, la tension de seuil de dispositif à canal long et le décalage de la tension lié au DIBL.

La Figure.1.6, schématise le phénomène l'abaissement de la barrière du potentiel et l'énergie potentielle dans un dispositif à canal court, c'est le "Drain Induced Barrier Lowering".



**Figure.1.6** Description du profil du potentiel (a) et de l'énergie des électrons (b) d'un dispositif à canal court modifié par le DIBL.

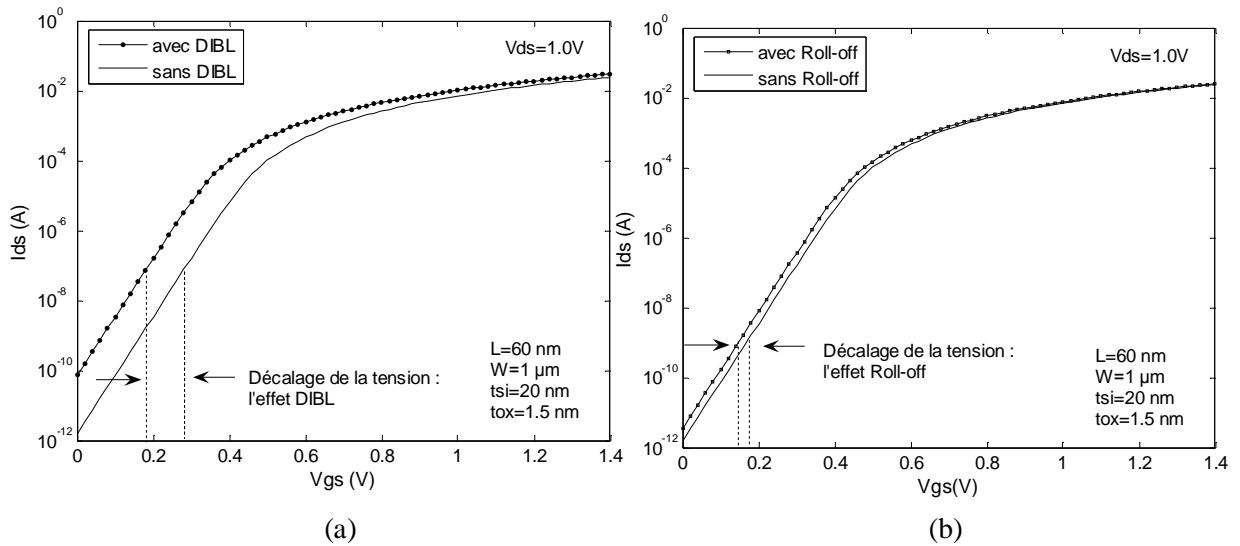
Un TMOS à canal court est caractérisé par sa longueur du canal  $L$  qui est comparable aux largeurs des régions de déplétions de côté Drain  $X_{dd}$  et de côté Source  $X_{sd}$ . Il en résulte que la charge dans le canal n'est plus entièrement contrôlée par la grille, et cela a cause de la largeur des régions de déplétions (Figure.1.7) [12].



**Figure.1.7** Description géométrique du partage de charge dans un TMOS à canal court.

De la même manière que l'effet DIBL, le partage de charge crée un décalage au niveau de la tension de seuil. La Figure.1.8(a), représente l'influence de l'effet DIBL sur la caractéristique de transfert d'un transistor à court, avec l'influence de l'effet du partage de

charge (Figure.1.8(b)). Cependant, le décalage de la tension de seuil lié à l'effet du partage de charge (*Roll-off*) est moins important que le  $\Delta V_{TH}$  dû au DIBL.

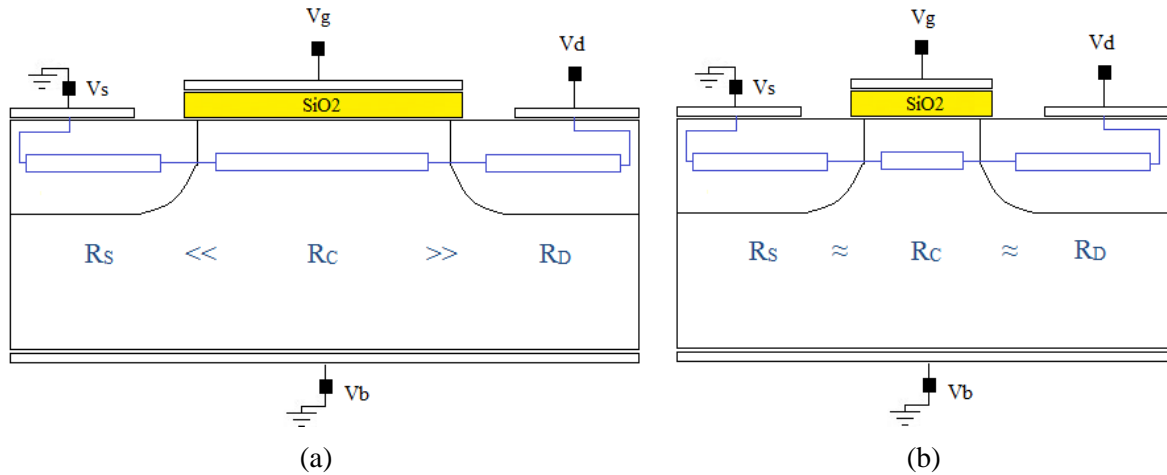


**Figure.1.8** Caractéristique de transfert d'un dispositif MOS à canal court : influence de l'effet DIBL (a) ; influence de l'effet du  $V_T$  *Roll-off* (b).

### ✚ L'effet des résistances série

Plus on réduit la longueur du canal, plus la résistance du canal ( $R_C$  proportionnelle à la longueur du canal) diminue et devient comparable aux résistances séries de la Source  $R_S$  et du Drain  $R_D$  [12]. Ceci a un effet négatif sur les caractéristiques du transistor ainsi que sur la puissance de sortie. Les résistances d'accès créent une réduction dans le courant  $I_{ds}$ , la conductance  $g_{ds}$  et la vitesse de commutation de dispositif.

Sur la Figure.1.9, l'influence des résistances séries est mise en évidence. Cette dernière est très importante dans les dispositifs à canal court.



**Figure.1.9** Description de l'effet des résistances séries sur les TMOS : TMOS à canal long (a) ; TMOS à canal court (b).

En considérant que les résistances de la Source et du Drain sont comparables ( $R_S \approx R_D$ ), les chutes de tension Drain-Source et Grille-Source peuvent être données par [23] :

$$V'_{gs} = V_{gs} - R_S \cdot I_{ds} \quad (1.2)$$

$$V'_{ds} = V_{ds} - 2 \cdot R_S \cdot I_{ds} \quad (1.3)$$

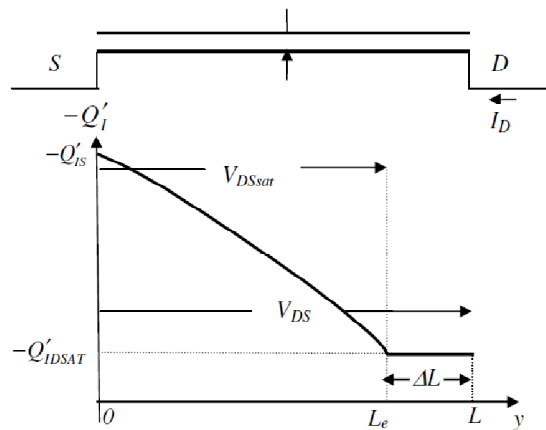
### ✚ La modulation de la longueur du canal

L'effet de la modulation de la longueur du canal (CLM : *Channel length Modulation*) rend la longueur de celui-ci plus courte que sa longueur physique :  $L_e = L - \Delta L$ . Le CLM peut être exprimé par [1]:

$$\Delta L = L \cdot \ln \left[ 1 + \frac{V_{ds} - V_{dSat}}{V_e} \right] \quad (1.4)$$

Où  $V_{dSat}$  est la tension de drain en saturation et  $V_e$  est un paramètre d'ajustement "*fitting parameters*". La Figure.1.10, montre la réduction de la longueur du canal  $\Delta L$  dans un TMOS à canal court, ainsi que l'évolution de la densité de charge d'inversion dans le canal.

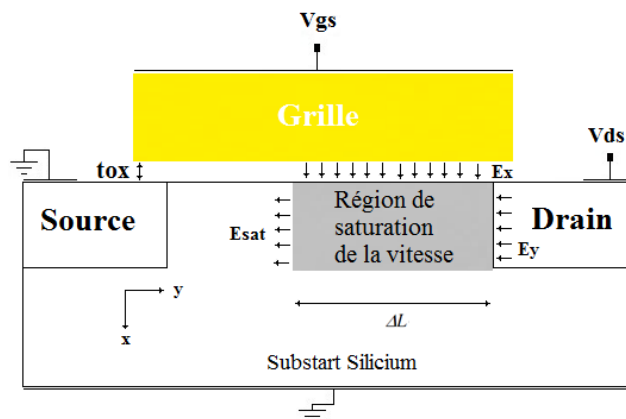




**Figure.1.10** Evolution de la densité de charge d'inversion le long du canal pour un transistor fonctionnant en saturation :  $Q'_{IS}$  est la densité de charge d'inversion côté Source et  $Q'_{IDSAT}$  désigne la densité de charge d'inversion côté Drain [1].

#### ✚ La saturation de la vitesse des porteurs

La saturation de la vitesse des porteurs est un autre effet de SCEs qui affecte les caractéristiques de TMOS à canal court. Lorsque la tension de grille  $V_{gs}$  est supérieure ou égale à la tension de drain de saturation  $V_{dSat} = V_{gs} - V_{TH}$ , le transistor est en régime de saturation (Figure.1.5). Dans la région de saturation, le canal est pincé du côté de Drain et le courant de conduction est saturé dans cette région (Figure.1.11) [24].



**Figure.1.11** Schéma descriptif de la région de saturation de la vitesse des porteurs dans un dispositif MOS à canal court.

En considérant que le champ électrique latéral est faible, la vitesse des porteurs est définie par :

$$v = \mu_{eff} \cdot E \quad (1.5)$$

Où  $E$  et  $\mu_{eff}$  sont, respectivement, le champ électrique et la mobilité effective des porteurs qui est indépendante du champ latéral.

Cependant, en considérant de fortes valeurs du champ électrique latéral, la vitesse des porteurs sature et s'exprime selon la relation [14]:

$$v = \frac{\mu_{eff} \cdot E}{\left[1 + \left(\frac{E}{E_{sat}}\right)^m\right]^{1/m}} \quad (1.6)$$

Avec  $m$  et  $v_{sat}$  sont considérés comme paramètres d'ajustements,  $E_{sat}$  est le champ électrique de saturation  $E_{sat} = v_{sat} / \mu_{eff}$ .

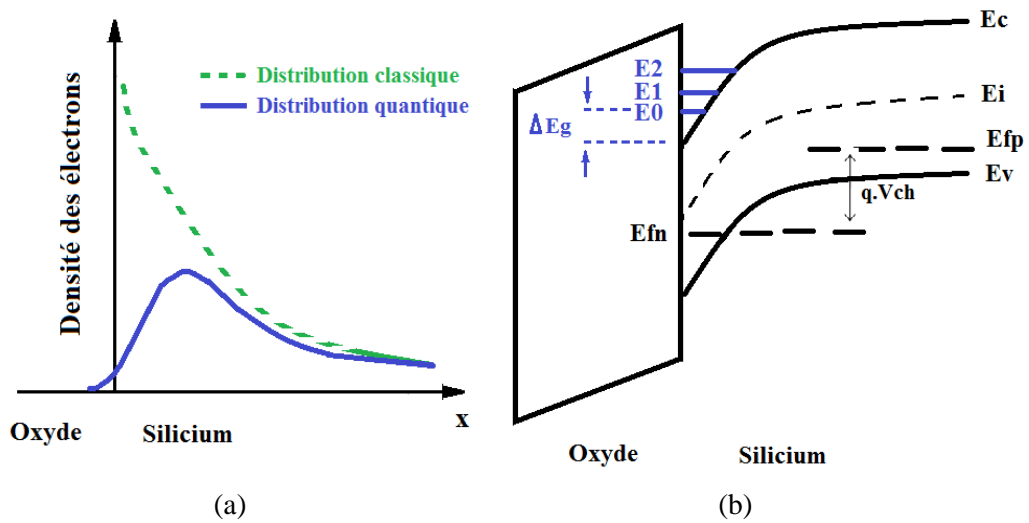
### 1.1.5.2 Le confinement quantique

Le confinement quantique des porteurs de charge de la couche d'inversion est un effet de la mécanique quantique (QM : *Quantum-mechanical effect*), il affecte de façon directe la tension de seuil des transistors MOS ainsi que la capacité de grille [25].

Afin d'aller plus loin dans le "Scaling" tout en contrôlant les SCEs, les concepteurs optent pour la solution de fabriquer des TMOS avec un canal fortement dopé  $N_A$  et une très fine couche d'oxyde  $t_{ox}$ . Cependant, cela engendre un fort champ électrique à l'interface Silicium/SiO<sub>2</sub>, ce dernier crée des puits de potentiel qui quantifient le mouvement des porteurs de charges dans la direction perpendiculaire au dispositif (suivant l'axe des "x" de la Figure.1.3 : Cf. § 1.1.2) [1, 26].

Pour une épaisseur de Silicium inférieure à 10nm, le confinement quantique modifie la distribution des porteurs de charges, la densité maximale des porteurs est décalée loin de l'interface Si/SiO<sub>2</sub> vers le Silicium, comme présenté sur la Figure.1.12(a).

La Figure.1.12(b), illustre le diagramme de bande d'énergie dans le cas quantique, le niveau d'énergie  $E_0$  est décalé avec un  $\Delta E_g$  par rapport au plus bas niveau de la bande de conductance  $E_C$ .

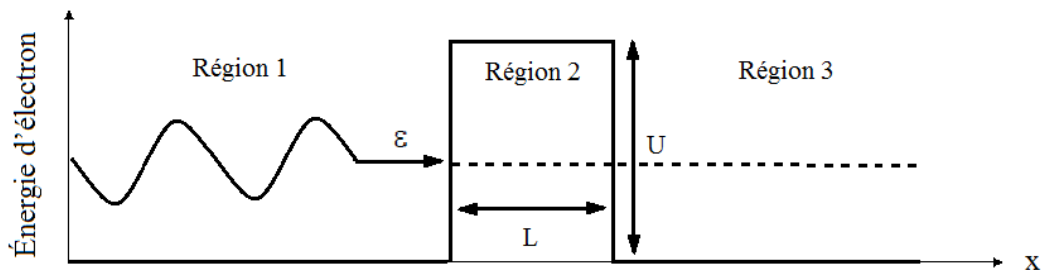


**Figure.1.12** Distribution des porteurs de charges dans le cas classique et quantique (a) ; influence du confinement quantique sur la structure de bandes d'énergies (b).

Il en résulte que la tension de seuil et la transconductance du dispositif sont très sensibles au confinement quantique. Le décalage de tension de seuil provoque la réduction du courant de drain ainsi que la transconductance. Cet effet mène également à la réduction et au déplacement du maximum de la densité de charge à partir de l'interface [27].

### 1.1.5.3 L'effet tunnel

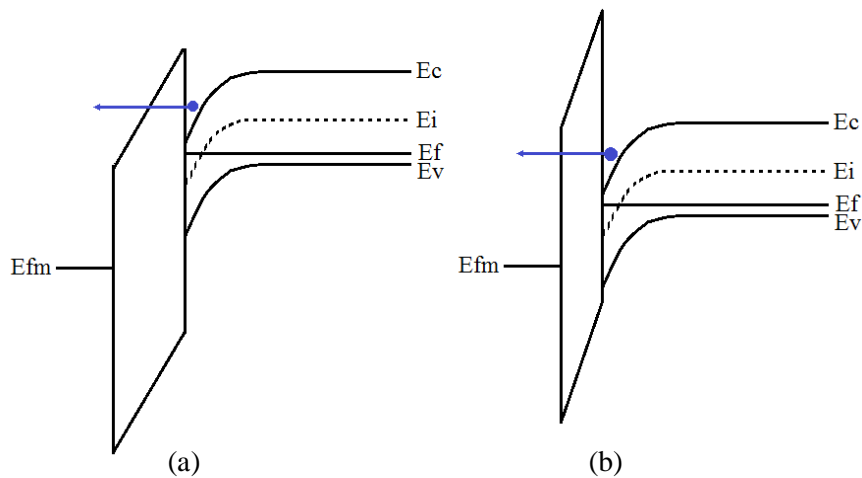
Quand un électron ayant une énergie  $\varepsilon$  heurte une barrière de potentiel  $U$ , comme présenté sur la Figure.1.13, selon la mécanique classique l'électron est reflété en arrière car il n'a pas suffisamment d'énergie pour passer au dessus de la barrière, l'électron reste dans sa région d'origine. Cependant, pour une longueur de barrière de l'ordre de la longueur d'onde de Broglie, la probabilité de trouver un électron dans les régions 2 et 3 n'est pas nulle selon la mécanique quantique, et il y aura une transmission des électrons de la région 1 à la région 3 [28].



**Figure.1.13** Schéma illustrant la transmission d'électron d'énergie  $\varepsilon$ , de la région 1 vers la région 3 (effet tunnel).

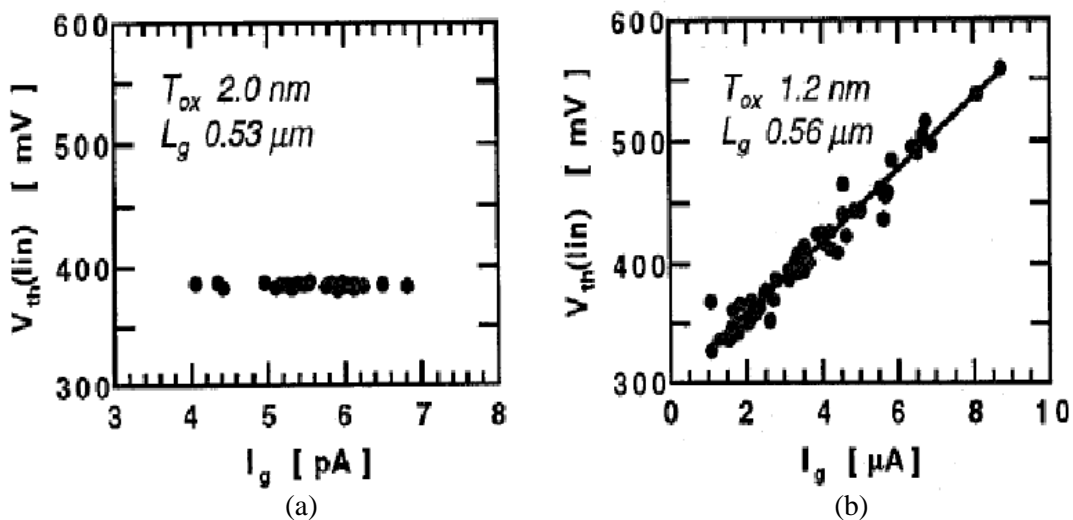
Pour un dispositif MOS avec une épaisseur d'oxyde comparable à la longueur d'onde de Broglie, l'effet tunnel n'est pas négligeable, et il y a une probabilité significative pour que les électrons percent l'oxyde, un courant de grille parasite qui traverse l'oxyde de grille, et qu'on appelle le courant de fuite tunnel est alors créé [29].

Selon le type de barrière et le passage des porteurs à travers la barrière du potentiel, le courant tunnel est classé en deux catégories : le courant tunnel direct (*Direct Tunneling*) et le courant tunnel de type "*Fowler-Nordheim (FN) tunneling*". Les deux types de courant tunnel sont représentés sur la Figure.1.14 [13].



**Figure.1.14** Principaux mécanismes de transmission de porteurs à travers la barrière de potentiel (effet tunnel) : "*Fowler-Nordheim*" (a) ; "*Direct Tunneling*" (b).

En considérant un TMOS de très faible épaisseur d'oxyde, de l'ordre du "*nm*", le courant tunnel cause des fluctuations significatives au niveau de la tension seuil et de la transconductance. La Figure.1.15, montre l'influence du courant tunnel sur la tension de seuil.

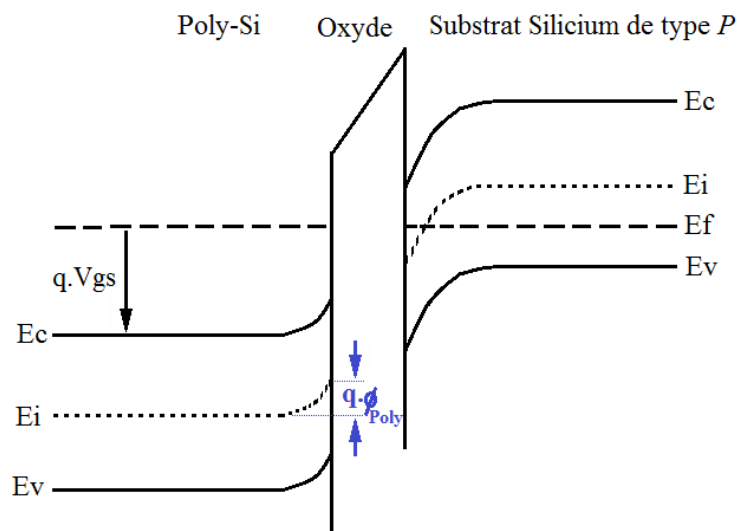


**Figure.1.15** Relation entre le courant tunnel et la tension de seuil dans un TMOS : épaisseur d'oxyde de 2.0nm (a) ; épaisseur d'oxyde de 1.2nm (b) [30].

#### 1.1.5.4 La déplétion du Poly-Silicium de grille

Le Poly-Silicium a été largement utilisé comme matériau de grille dans les transistors MOS, car il présente une grande compatibilité avec les processus de fabrication. Il permet d'avoir un auto-alignement des régions Source/Drain par rapport à la grille [1].

Considérons un TMOS dont le substrat est de type  $P$  avec un Poly-Silicium de grille de type  $(N^+)$ . La charge positive dans le Poly-Silicium de grille est stockée dans une couche de déplétion, cela avec l'application d'une tension positive et la considération que le canal est en inversion. Le phénomène de la déplétion de grille modifie la structure de la bande d'énergie du côté grille, comme présenté sur la Figure.1.16. En outre, le phénomène de la déplétion du Poly-Silicium de grille est lié à la réduction de l'épaisseur d'oxyde [31].



**Figure.1.16** Influence du phénomène de la déplétion de Poly-Si de grille sur la structure de bandes d'énergie, avec l'application d'une tension Grille-Source positive.

L'effet de la déplétion de la grille affecte de manière négative le contrôle du potentiel électrostatique dans le canal et réduit le courant de transistor à l'état "ON" [13].

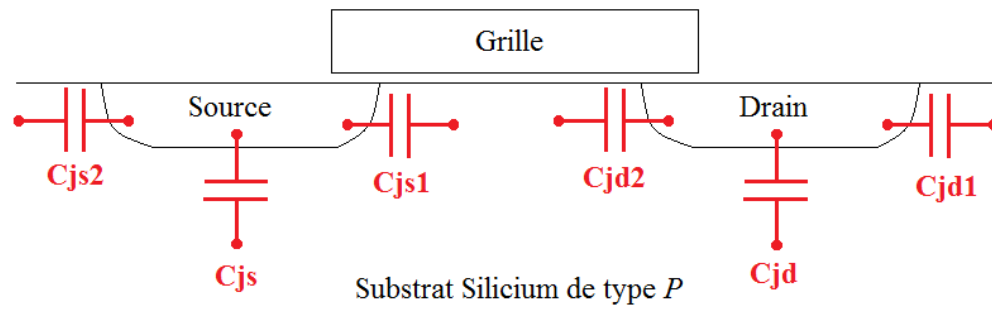
#### 1.1.5.5 Les capacités parasites

Les capacités parasites sont l'ensemble des capacités extrinsèques du transistor MOSFET. Les capacités extrinsèques se présentent comme étant des éléments parasites qui réduisent le courant ainsi que la vitesse de commutation de ce type de dispositifs. Leur effet est d'autant plus prononcé que la taille du TMOS est réduite.

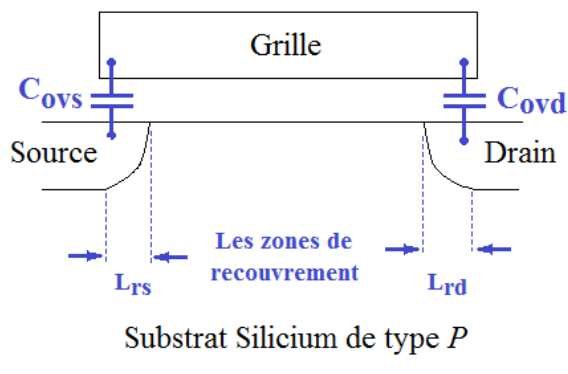
Dans un TMOS "bulk" de taille submicronique, les capacités extrinsèques sont regroupées en deux parties [12] :

1. Les capacités liées aux jonctions Source/Substrat et Drain/Substrat (généralement ce sont des jonctions  $N^+P$ ). Dans ce premier type, on distingue trois composantes pour chaque région de Source ou du Drain  $C_{jw}$ ,  $C_{jw1}$  et  $C_{jw2}$  (Figure.1.17(a)).

2. Les capacités de recouvrement (*Overlap*), elles sont liées à l'électrode de grille et aux régions Source et Drain  $C_{ov1}$  et  $C_{ov2}$  (Figure.1.17(b)). En effet, l'origine des capacités *Overlap* est un problème technologique lié au processus de fabrication des TMOS.



(a)



(b)

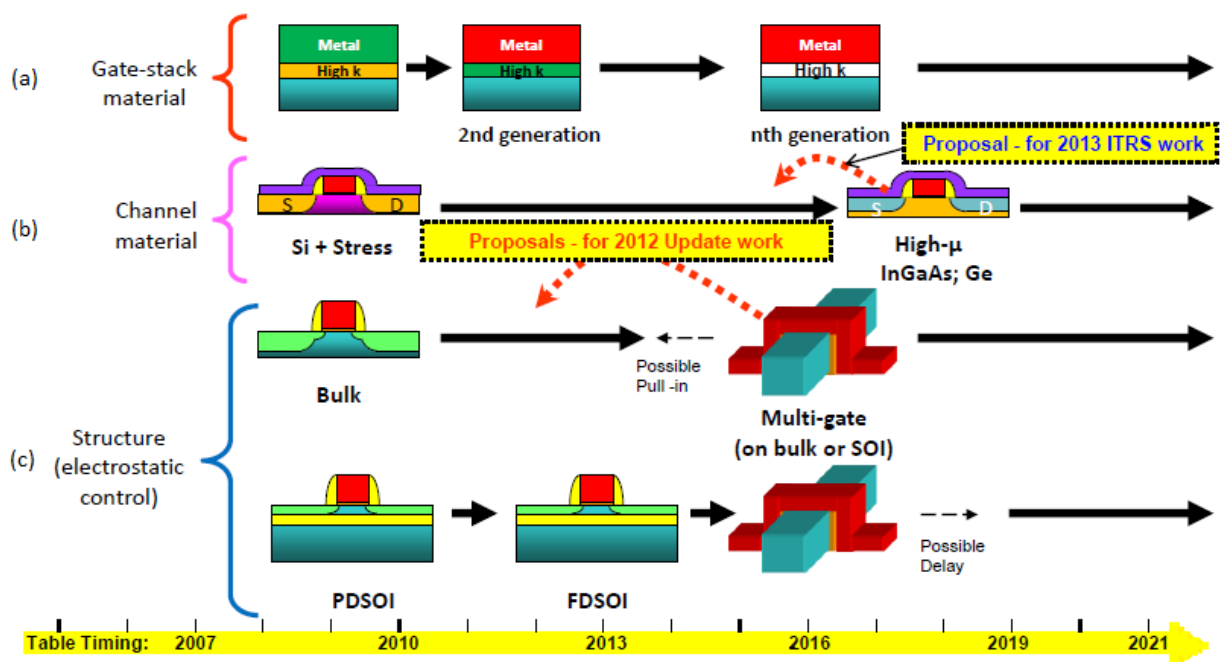
**Figure.1.17** Schéma illustrant les différentes capacités extrinsèques d'un TMOS : Les capacités des jonctions (Source et Drain) (a) ; Les capacités d'*Overlap* (b).

## 1.2 Les solutions technologiques : tendance vers les transistors MOS à Grilles Multiples

Les limites et les obstacles technologiques causés par la miniaturisation des TMOS (Cf. § 1.1.5) ont mené au développement et à la recherche de solutions technologiques, adoptées par l'industrie de la microélectronique.

L'ensemble des solutions technologiques adoptées par les feuilles de routes de la technologie des semi-conducteurs de l'ITRS se partagent en trois grandes voies [4, 5] :

- La première voie regroupe les nouveaux matériaux diélectriques de la grille, tels que les diélectriques de haute permittivité (*High K*).
- La deuxième voie, concerne l'utilisation de matériaux contraints et de forte mobilité pour le canal.
- La dernière voie est consacrée au développement de nouvelles architectures, telles que les TMOS Multi Grilles (Figure.1.18).



**Figure.1.18** Schéma décrivant les principales voies (solutions) technologiques : diélectriques de grille "*High K*" (a) ; matériaux innovants de Silicium contraint et de forte mobilité (b) ; architectures Multi-Grilles (c) [5].

Afin de résoudre le problème de courant tunnel (Cf. § 1.1.5.3), l'utilisation de diélectriques de haute permittivité (*High K*) de grille représente l'une des solutions fondamentales pour continuer le "*Scaling*" et donc l'évolution de la technologie CMOS.

L'utilisation de matériaux "*High K*" mène à la fabrication des dispositifs MOS à très faible épaisseur d'oxyde équivalente, mais avec des épaisseurs de diélectrique "*High K*" équivalentes plus importantes de même valeur de capacité que celle du SiO<sub>2</sub>. Les diélectriques de grille "*High K*" les plus considérés sont : HfO<sub>2</sub>, ZrO<sub>2</sub>, Al<sub>2</sub>O<sub>3</sub>, TiO<sub>2</sub>, HfAlO [32]. De plus, concernant le problème de la déplétion du Poly-Si de grille (Cf. § 1.1.5.4) celui-ci peut être corrigé par l'introduction d'autres matériaux, tels que TiN, TaN et W [33, 34].

L'expression simplifiée de l'épaisseur d'oxyde équivalent (EOT : *Equivalent Oxide Thickness*) pour deux matériaux ( $x_1$  et  $x_2$ ) peut être défini par [32]:

$$EOT = t_{x_1} \cdot \frac{\varepsilon_{SiO_2}}{\varepsilon_{x_1}} + t_{x_2} \cdot \frac{\varepsilon_{SiO_2}}{\varepsilon_{x_2}} \quad (1.7)$$

Avec  $\varepsilon_{SiO_2}$ ,  $\varepsilon_{x_1}$  et  $\varepsilon_{x_2}$  sont respectivement, la permittivité diélectrique d'oxyde, la permittivité diélectrique du premier et de deuxième matériau.  $t_{x_1}$  et  $t_{x_2}$  désignent les épaisseurs des deux matériaux considérés.

Pour de hautes performances technologiques en termes de circuit CMOS, les matériaux III-V sont considérés comme étant les meilleurs candidats pour le remplacement progressif du Silicium. En effet, les matériaux semi-conducteurs III-V permettent d'atteindre des nœuds technologiques inférieurs à 16nm. L'utilisation des matériaux III-V permet de réaliser des transistors avec des canaux de forte mobilité, un fort courant de drain et une vitesse de saturation élevée. Parmi les matériaux semi-conducteurs de forte mobilité, nous citons comme exemples : InGaAs, InAs, GaAs, InP et GaSb [34]. En parallèle avec l'introduction des matériaux III-V, l'application de contraintes mécaniques sur le matériau substrat augmente le courant à l'état "ON", cela à travers la modification de la structure de bande qui mène à l'amélioration du transport de porteurs dans le canal [10].

La technologie SOI (*Silicon-On-Insulator*) représente une bonne alternative pour la fabrication des TMOS sur du substrat Silicium ("*Bulk*"). Depuis les années 2000, la majorité des industries "semi-conducteurs" (tels que IBM, AMD et Freescale) utilisent la technologie SOI dans la fabrication des microprocesseurs [35, 36]. Le terme SOI (*Silicon-On-Insulator*) signifie que le dispositif MOS est fabriqué sur une fine couche de Silicium posé sur un isolant, qu'on appelle "BOX" (*Buried Oxyde*) [35]. Dans la technologie SOI, on distingue deux types suivants l'épaisseur et le dopage de Silicium: la "*Partially Depleted SOI*" et la "*Fully Depleted SOI*". La technologie du Silicium sur Isolant (SOI) a beaucoup d'avantages



par rapport à la technologie MOSFET "Bulk", nous pouvons citer : moins de puissance dissipée, réduction des effets canaux courts, minimisation des capacités parasites, etc. En revanche, elle souffre de problème de coût de fabrication élevée et de l'effet auto échauffement [36, 37].

Le développement de nouveaux dispositifs pour le remplacement du MOSFET "Bulk" fait l'Object d'énormes travaux et recherche guidés par l'ITRS et menés par les industries de la micro-électronique et les différentes institutions de recherche [34, 10, 38]. Les architectures Multi-grille représentent les meilleures candidats pour : le remplacement du MOSFET "bulk", ainsi que pour résoudre le problème des effets canaux courts, et continuer le "Scaling" (aller vers les 5nm de nœud technologique). Dans la suite (Cf. § 1.3), nous décrivons la technologie des Multi-grille et ses différentes structures.

### 1.3 Évolution des transistors MOS à Grilles Multiples

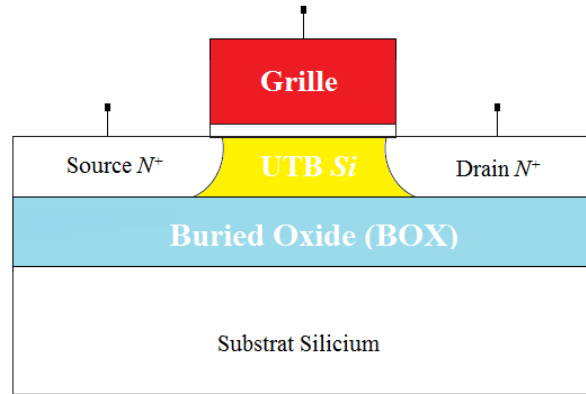
L'ensemble de problèmes liées à la miniaturisation des dimensions (soulignées dans § 1.1.5) a fait l'évolution du transistor MOS de la structure classique vers les transistors à Grilles Multiples (*MuGFETs* : *Multiple Gate MOSFETs*) en technologie SOI [39]. Ce type de transistors a bien remplacé le MOSFET "bulk" dans la fabrication des circuits CMOS à très grande échelle, cela jusqu'à de nœuds technologiques de 22nm (en cours de production) [5]. Il est alors un excellent candidat pour des nœuds technologiques inférieurs à 10nm [25].

Les transistors à Grille-Multiples ou les Multi-Grilles sont des dispositifs MOS en technologie SOI fabriqués avec l'idée d'avoir plusieurs configurations de grille (nombre et forme de grille). Nous citons comme exemples : le Double-grille, le Triple-grille et le FinFET. L'intérêt principal des Multi-Grilles est l'excellent contrôle électrostatique du potentiel dans le canal, cela augment donc le contrôle des porteurs de charge dans le canal par le nombre et le "Design" des grilles. En effet, le développement des Multi-Grille MOSFETs est bâti sur le bon contrôle des effets canaux courts [40, 39].

#### 1.3.1 Le UTB MOSFET

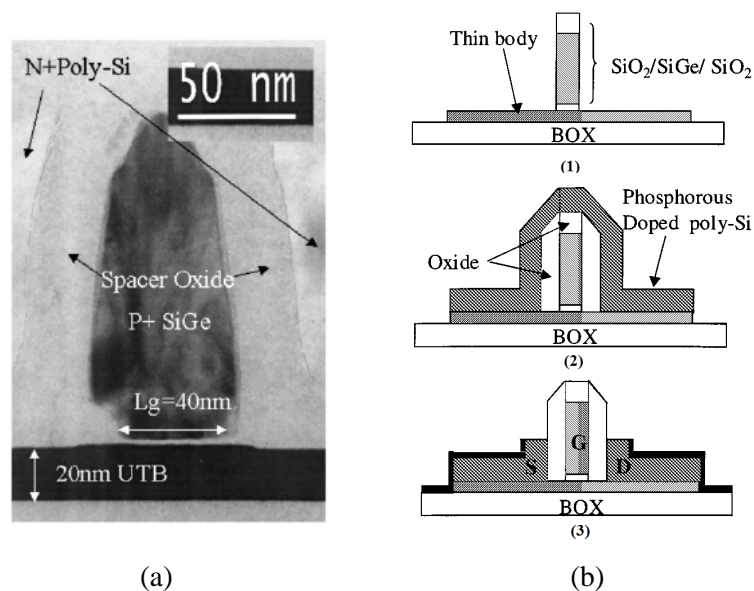
Le *Ultra-Thin Body (UTB)* MOSFET est développé en technologie SOI. C'est un dispositif MOS dans lequel un film mince de Silicium est développé au dessus d'une couche d'oxyde qui se trouve sur un substrat Silicium (Figure.1.19). L'idée de cette structure est bâtie sur le fait d'avoir une couche très fine de Silicium faiblement dopé pour permettre la

déplétion entière de Silicium [13, 41]. Le UTB SOI MOSFET entièrement déplété est un dispositif multi-grille qui est considéré comme étant le premier successeur du MOSFET "bulk" et cela pour les applications VLSI [42, 43].



**Figure.1.19** Coupe transversale de la structure du UTB MOSFET en technologie SOI.

Le transistor UTB SOI MOSFET peut être utilisé pour atteindre les 18nm de longueur de grille physique avec une épaisseur de Silicium inférieure à 5nm [44]. La Figure.1.20(a), montre l'image d'une coupe transversale du transistor UTB MOS en microscopie par transmission électronique (MET). La Figure.1.20(b), décrit de manière générale les principales étapes des processus de la fabrication d'un UTB SOI MOS.

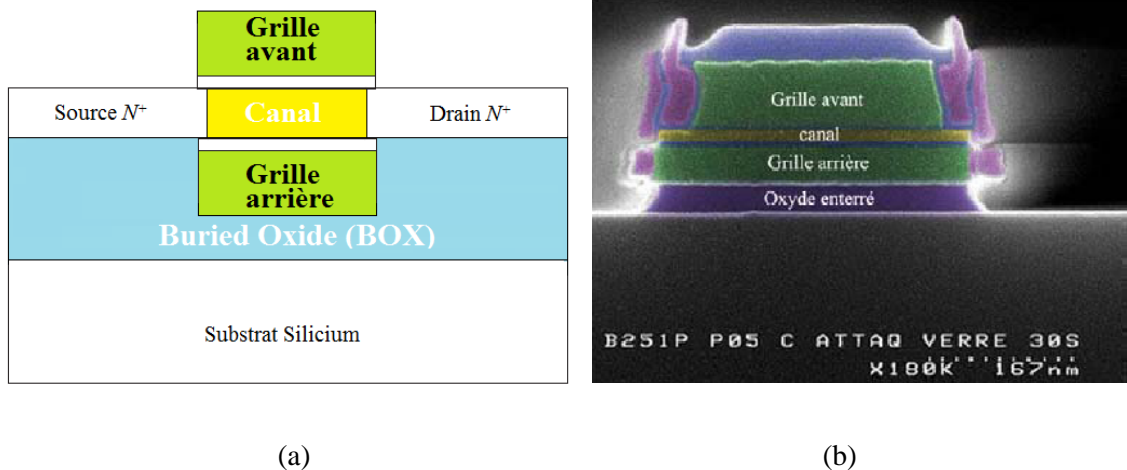


**Figure.1.20** Image d'une coupe transversale d'un UTB MOS en MET (a). Les principales étapes de processus de fabrication du UTB MOS (b) : après le développement de l'oxyde de grille (1) ; après la réalisation des espaces d'oxyde et du Poly-Silicium de grille (2) ; structure finale (3) [44].

### 1.3.2 Le Double Grille (DG)

Le transistor MOSFET à double grilles a été développé comme extension à la structure du UTB SOI MOSFET [45]. L'idée d'ajouter une deuxième grille en arrière des dispositifs, et de prendre ainsi le canal en *Sandwich* par deux grilles a été proposé en 1984 par T. Sekigawa et Y. Hayashi [39]. À travers cette configuration de grille, les effets canaux courts sont énormément réduits, le courant de drain et la transconductance sont augmentés. Ce type de transistor présente d'excellentes performances et avantages en comparaison avec la structure classique du TMOS, cela à travers l'utilisation du phénomène de l'inversion volumique qui mène à l'amélioration de la mobilité des porteurs de charge dans le canal [46].

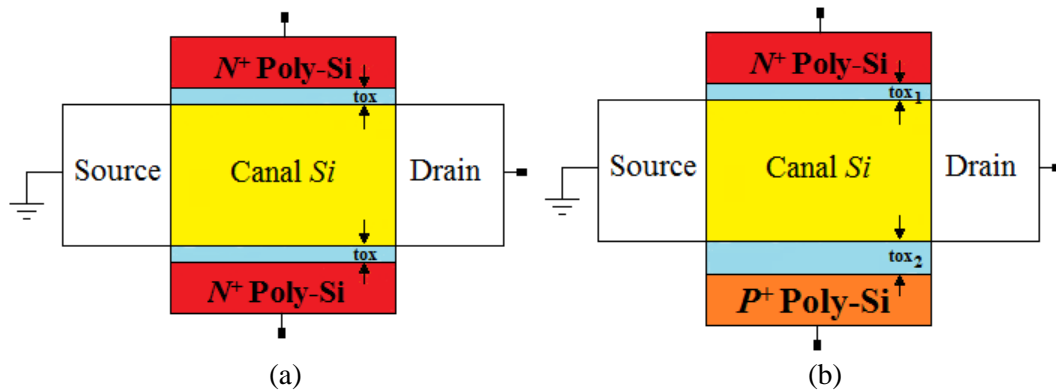
Dans la Figure.1.21(a), nous présentons la structure générale du MOSFET à double grilles planaire. La Figure.1.21(b), illustre une photographie en microscope électronique à balayage (MEB) de la structure planaire de DG MOSFET.



**Figure.1.21** Schéma du DG MOSFET planaire, où les deux grilles sont électriquement connectées (a) ; Photographie en MEB du DG MOSFET en technologie planaire (b) [23].

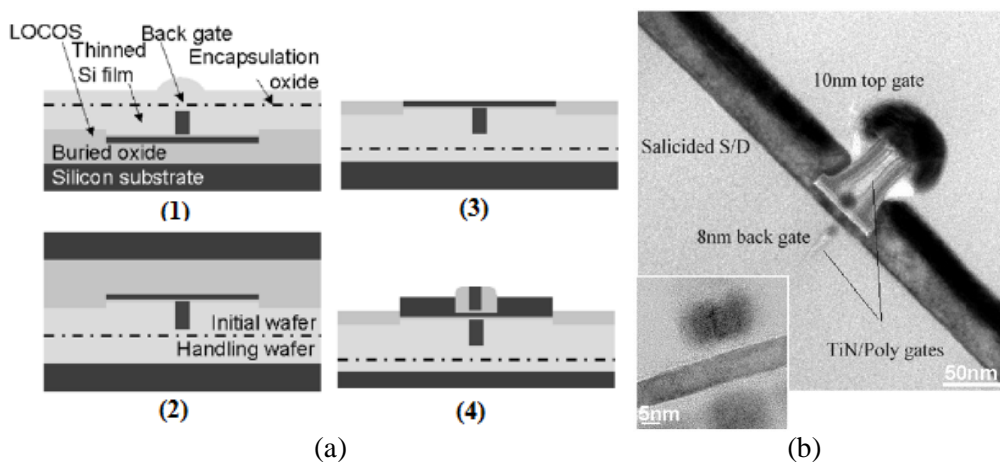
Dans la littérature spécialisée, le MOSFET à double grilles se trouve sous trois formes : la première forme correspond à la structure planaire (Figure.1.21) dont l'orientation des grilles, le canal et le courant sont suivants la direction latérale. Le deuxième forme correspond au transistor double grilles vertical où la direction du courant et l'orientations des grilles est suivant la verticale. Dans la troisième forme, le dispositif est orienté suivant la verticale et la direction du courant est suivant la latérale [47], c'est ce qu'on appelle un FinFET avec configuration Double Grilles, ce dernier va être détaillé dans la prochaine section au § 1.3.3. En outre, le DG MOSFET peut être symétrique ou asymétrique. Le terme

symétrique signifie l'utilisation du même matériau de grille avec des épaisseurs d'oxydes de grilles identiques (Figure.1.22(a)). Dans le cas asymétrique les matériaux de grille ont différents travaux de sortie ( $\Phi_{M1} \neq \Phi_{M2}$ ) et les épaisseurs d'oxyde de grilles ne sont plus identiques (Figure.1.22(b)) [45].



**Figure.1.22** Structures du DG MOSFET : symétrique (a) ; asymétrique (b).

Les principales voies technologiques suivies pour la fabrication des doubles grilles planaires sont basées sur le dépôt successif des couches constituant l'empilement de dispositif double grilles (grille avant, canal et grille arrière, etc), avec l'utilisation de processus de collage ("*Process based on bonding*") ou suivant la fabrication d'un canal suspendu [25]. La Figure.1.23(a), présente les principales étapes du processus de fabrication d'un DG SOI MOSFET planaire, en utilisant le processus de collage. La Figure.1.23(b), représente une image en MET d'une coupe transversale d'un DG MOSFET planaire.



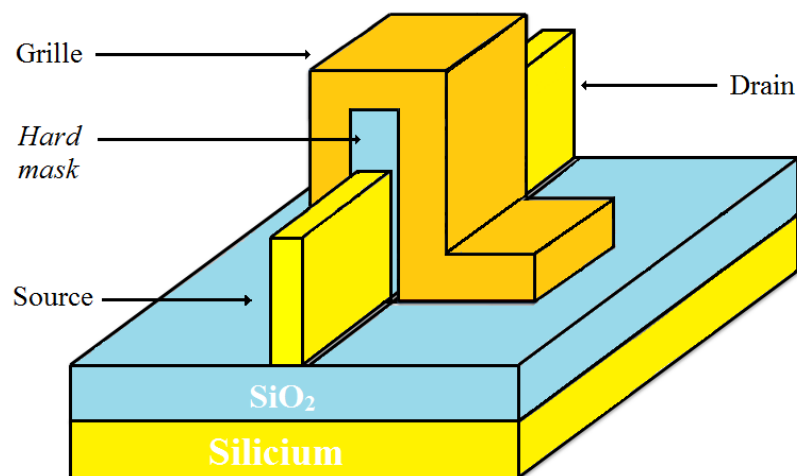
**Figure.1.23** Processus de fabrication du DG MOSFET planaire (a) : après la réalisation de la grille arrière et le dépôt d'oxyde d'encapsulation (1) ; collage moléculaire du *Wafer* et manipulation (2) ; élimination chimique du BOX et de substrat initial (3) ; dépôt de la grille avant et finalisation (4). Coupe en MET de DG MOSFET (b) [48, 49].

Malgré les performances technologiques du TMOS à double grilles, la fabrication de ce dernier a toujours été confrontée au problème d'alignement des grilles. En effet, l'alignement de celles-ci est très important pour les hautes performances de ce dispositif car le désalignement engendre des capacités d'*Overlap* reliant la grille aux Source/Drain (Cf. § 1.1.5.5) et influe négativement sur le bon contrôle de charges dans le canal par les grilles [50, 51]. Afin de résoudre ce problème, plusieurs approches technologiques ont été proposées pour l'auto-alignement de grilles, nous citons comme exemples : le processus de fabrication appelé "*PAGODA*" [52], et la SSDG ("*Super Self-aligned Double Gate architecture*") [53].

### 1.3.3 Le FinFET

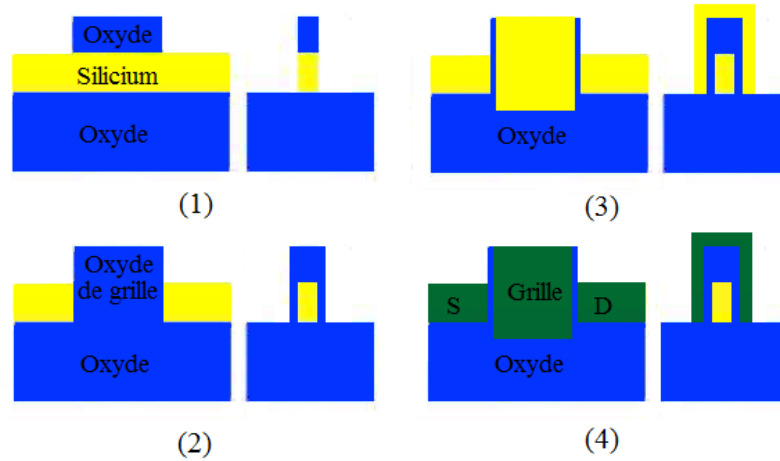
Depuis quelques années, la fabrication des circuits CMOS atteint les 22nm de nœuds technologique, les FinFET jouaient un rôle très important dans les applications analogiques/logiques et surtout dans les systèmes-sur-puce (SOC), tels que les SRAMs [54]. Le FinFET est un dispositif 3D qui utilise la configuration double-grille de transistor DG MOSEFT [55]. La structure du FinFET (Figure.1.24) se compose d'un film de Silicium vertical (très mince), en anglais appelé "*Fin*" (aillette ou aileron). La grille entoure les deux côtés du "*Fin*" permettant ainsi la création d'un canal de chaque côté.

L'avantage principal de cette structure par rapport au double-grille est que les grilles sont auto-alignées et peuvent être fabriquées en utilisant une seule lithographie avec une seule étape de gravure. Il combine donc les hautes performances de l'architecture double grilles et les processus de la fabrication classique des transistors à effet de champ [56].



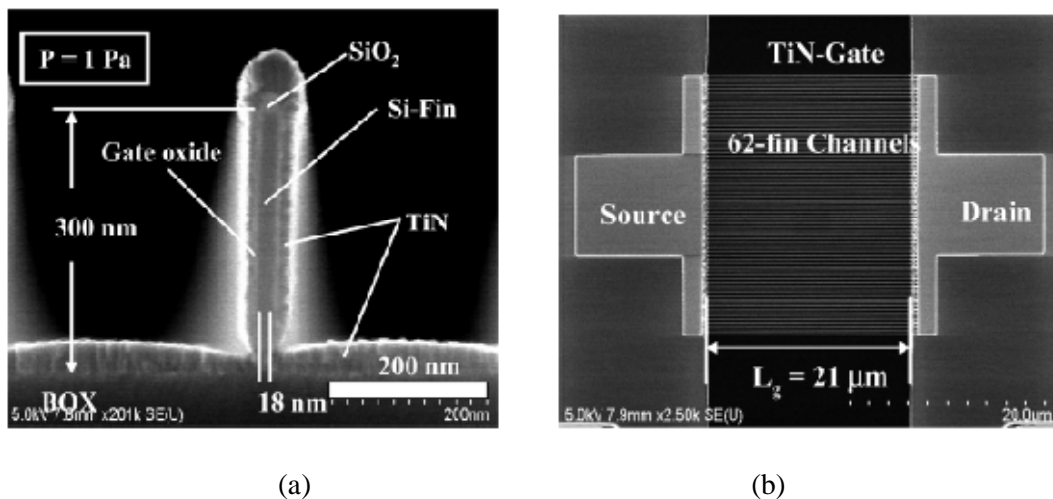
**Figure.1.24** Schéma de la structure général du FinFET.

Sur la Figure.1.25, nous résumons les principales étapes (technologiques) qui mènent à la fabrication d'un FinFET sur du SOI. Le processus de fabrication considère un *Wafer* SOI.



**Figure.1.25** Processus de fabrication du FinFET : après la gravure du Silicium et de l'oxyde (1) ; dépôt de l'oxyde de grille (2) ; dépôt de Silicium (3) ; implantation ionique pour la formation de la Grille, Source et Drain (4) [57].

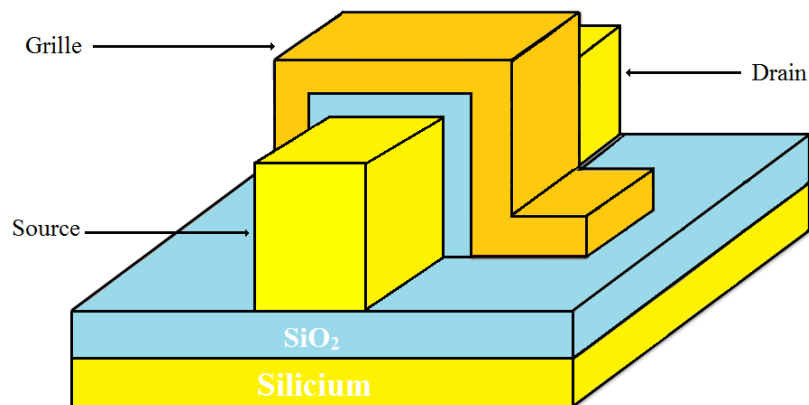
Comme présenté sur la Figure.1.26, le transistor FinFET peut être fabriqué avec un seul *Fin* (Figure.1.26(a)) de Silicium comme il peut être un multi-*Fin* (ou multi-canal) (Figure.1.26(b)). La structure multi-*Fin* FET augmente la transconductance et offre de hautes performances pour le dispositif ainsi que pour les circuits correspondants [58].



**Figure.1.26** Images photographiques représentent : image en SEM (*Scanning Electron Microscope*) d'un seul *Fin* (a) ; image en SEM d'un multi-*Fin* (64) FET (b) [59].

### 1.3.4 Le Triple Grille (TG)

De façon générale, le triple-grille (*Triple Gate*) MOSFET est considéré comme un cas particulier de FinFET. Le terme triple-grille signifie l'utilisation de trois surfaces de grilles pour contrôler le canal à travers ses trois cotés. Du point de vue technologique, le triple-grille n'a pas de "*Hard Mask*", ce qui permet la création de trois canaux au lieu de deux. De plus, il permet d'améliorer le contrôle du potentiel électrostatique dans le canal [60, 61]. La Figure.1.27, présente la structure de triple-grille en trois dimensions (3D).

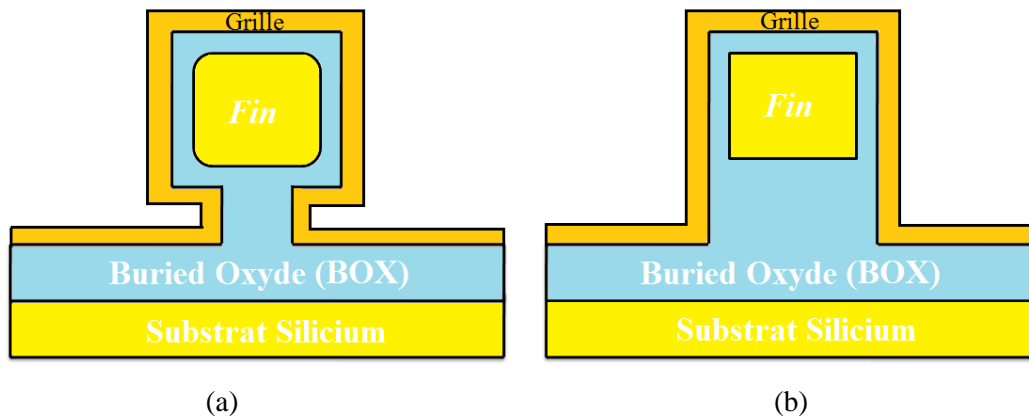


**Figure.1.27** Schéma de la structure du Triple-Grilles (TG) SOI MOSFET.

Le transistor MOS à triple-grilles (TG) FET représente une innovation importante requise pour continuer la loi de *Moore*. En effet, les hautes performances des TG ont mené à l'utilisation de ce dernier dans la fabrication des microprocesseurs et des mémoires. La technologie TG FET à 22nm de longueur de grille a été introduite par *INTEL* en 2011, pour la fabrication et la production en volume des microprocesseurs codés sous le nom de "*Ivy Bridge*" [62].

Cependant, la densité mobile de porteurs dans les dispositifs TG est plus grande dans les coins que dans les autres parties du canal. En effet, le champ électrique est très fort dans ces régions induisant un accroissement de la mobilité. L'effet de coins est plus important dans le cas des canaux à forts dopage, et il dégrade la pente sous le seuil du dispositif [63].

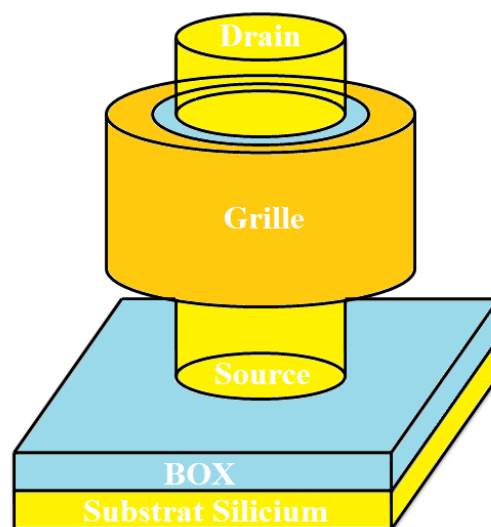
D'autre part, le contrôle du potentiel électrostatique dans le canal de dispositif TG peut être amélioré par les deux structures  $\Pi$ -Gate et  $\Omega$ -Gate [64, 65], représentés sur la Figure.1.28.



**Figure.1.28** Schémas de coupes transversales : structure d'un  $\Omega$  - Gate (a) ; structure d'un  $\Pi$  - Gate (b).

### 1.3.5 Le TMOS à Grille Cylindrique

Le transistor MOS à grille cylindrique, soit en Anglais "*Cylindrical Surrounding-Gate MOSFET (SRG MOSFET)*" est un dispositif MOS fabriqué avec une grille de forme cylindrique qui entoure un canal et un oxyde de même forme que la grille (Figure.1.29). Le premier transistor à grille cylindrique a été fabriqué en enroulant une électrode de grille autour d'un pilier vertical de Silicium [66, 67]. En outre, dans la littérature, la structure dite GAA ("*Gate All Around*") MOSFET est très similaire à la structure de SRG MOSFET surtout du point de vue fonctionnement [68]. La structure GAA MOSFET a été originalement proposée par J.P. Colinge [69].



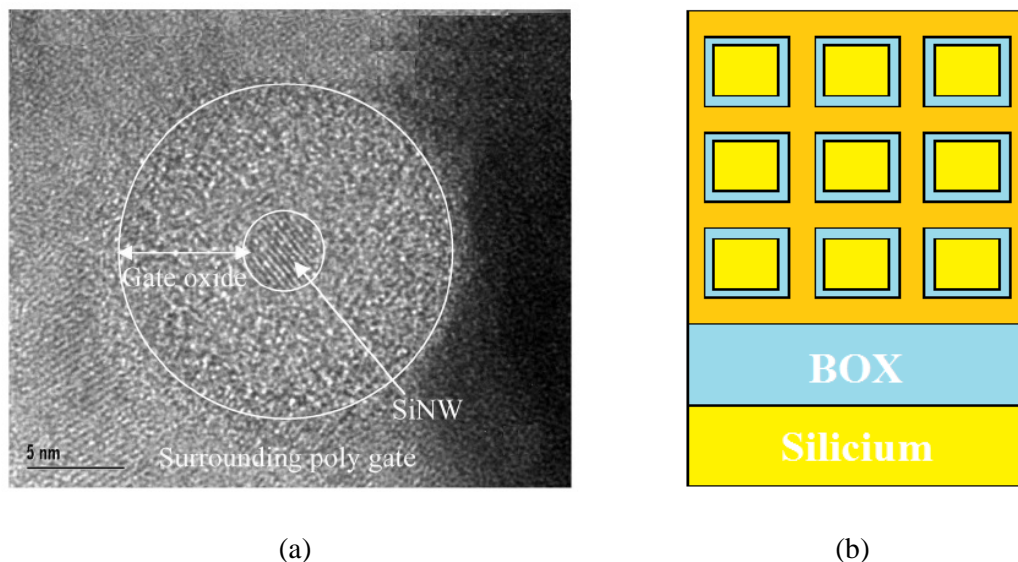
**Figure.1.29** Schéma de la structure générale du TMOS à grille cylindrique sur SOI.



Le SRG SOI MOSFET est un excellent candidat pour continuer la miniaturisation des dispositifs MOS ainsi que d'augmenter la densité d'intégration dans les circuits CMOS. En effet, cette architecture présente de hautes performances pour de faibles dimensions et de faibles rayons de Silicium (inférieur ou égal à 5nm), tels que l'excellent contrôle électrostatique, une pente sous le seuil près de l'idéal, un faible DIBL, etc [70].

Le SRG MOSFET se présente comme étant l'ultime structure des transistors multi-grilles, cette structure a été développée avec l'idée d'avoir le meilleur contrôle électrostatique possible, ainsi que de corriger le problème des effets de coins. D'autre part, afin de poursuivre la course à la miniaturisation, la section de Silicium est de plus en plus réduite. Dans ce cas là, lorsque l'épaisseur de Silicium est inférieure à 10nm, le dispositif est appelé "*NanoWire (NW)*" (en français Nanofil) (Figure.1.30(a)). En outre, pour optimiser les propriétés électriques des SRG MOSFET et surtout d'augmenter la densité de courant par unité de surface, ce dispositif peut être fabriqué avec plusieurs canaux qui partagent la même grille et les mêmes Source/Drain, ce type de dispositif est souvent appelé le canal multi-Pont (MBCFET : "*Multi-Bridge Channel FET*") (Figure.1.30(b)) [39].

Les TMOS à grille multiple, tels que les FinFETs et les SRG MOSFETs ont émergé comme les candidats prometteurs pour atteindre de longueur de grille inférieure à 22nm [62, 71].



**Figure.1.30** Image perpendiculaire en MET d'un GAA à nanofil (a) [70] ; Coupe transversale de la structure d'un MBCFET (b).

## 1.4 État de l'art des modèles compacts des transistors MOS à Grilles Multiples

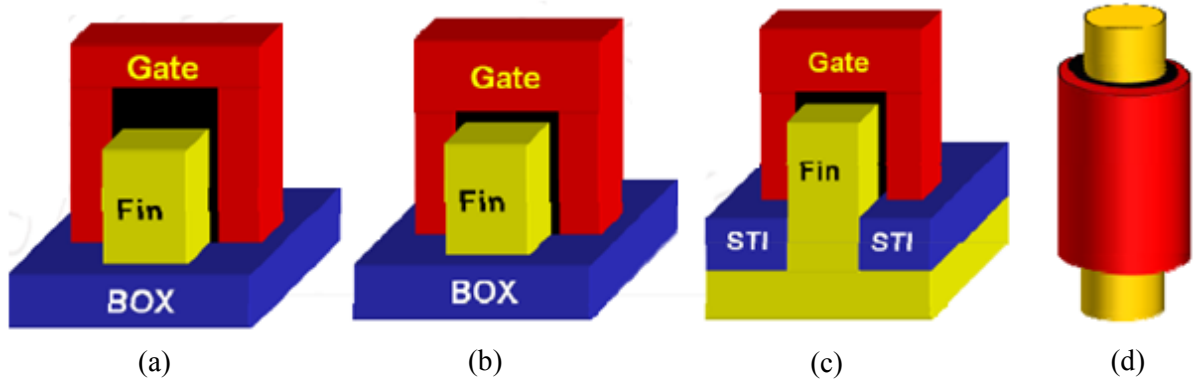
Un modèle compact sert de lien entre les processus technologiques de dispositifs et la conception de circuit. Il s'agit d'une description mathématique des phénomènes physiques dans le transistor. Un modèle compact doit maintenir l'équilibre entre la précision et la simplicité et permettre ainsi l'optimisation et l'exécution du couple composants/circuits. En effet, de nombreux efforts sont en cours pour permettre une fabrication en volume des multi-grilles FETs. En même temps, les concepteurs de circuits travaillent sur l'élaboration et l'évaluation des circuits à base des multi-grilles FETs [39, 72].

Dans cette section, nous citons les principaux modèles existant aussi bien en industrie microélectronique qu'en recherche.

### 1.4.1 Le BSIM-CMG : modèle compact pour dispositif multi-grille (à grille commune)

Le BSIM-CMG (CMG : "*Common-Multi-Gate*") est un modèle en potentiel de surface développé à *Berkeley* pour la simulation de dispositifs multi-grilles, tels que le double grilles, triple grille, SRG, etc [73]. Le terme "*Common-Multi-Gate*" signifie que les grilles de dispositif sont électriquement interconnectées et elles utilisent les mêmes matériaux avec une épaisseur de diélectrique identique (Cf. § 1.3.2). Le courant de drain, la charge et les capacités sont calculés à partir du potentiel de surface. Ce dernier est évalué côté Source et côté Drain. En outre, d'après la CMC ("*Compact Model Coalition*"), le BSIM-CMG est le premier et le seul modèle standard-industriel pour les dispositifs multi-grilles [74].

La Figure.1.31, représente l'ensemble des architectures multi-grilles qui peuvent être simulés par le modèle compact de BSIM-CMG.



**Figure.1.31** Dispositifs Multi-Grilles simulés par BSIM-CMG : FinFET de configuration double-grilles (a) ; Triple-Grilles (TG) sur SOI (b) ; triple-grilles sur "bulk" (c) ; SRG MOS à nanofil (d) [75].

Le modèle de BSIM-CMG utilise la structure DG MOSFET symétrique comme référence (Figure.1.22(a) : Cf. § 1.3.2). Avec l'approximation du canal graduel (GCA : "Gradual Channel Approximation"), l'équation de *Poisson* incluant la densité de charge d'inversion et la charge liée au dopage se présente à 1 dimension (1-D), comme suit [76]:

$$\frac{\partial^2 \psi(x, y)}{\partial x^2} = \frac{q \cdot n_i}{\epsilon_{si}} \left[ \exp\left(\frac{\psi(x, y) - \Phi_F - V_{ch}(y)}{\Phi_t}\right) + N_b \right] \quad (1.8)$$

Avec  $\psi(x, y)$  est le potentiel électrostatique,  $\epsilon_{si}$  est la permittivité diélectrique du Silicium,  $\Phi_F$  est Potentiel de Fermi,  $\Phi_t$  la tension thermodynamique,  $V_{ch}(y)$  potentiel du quasi-niveau de Fermi et  $N_b$  est le dopage.

Le potentiel électrostatique  $\psi(x, y)$  peut être considéré comme la somme de deux composantes ( $\psi(x, y) \cong \psi_1(x, y) + \psi_2(x, y)$ ). Où  $\psi_1(x, y)$  est le potentiel lié à la contribution de la densité de charge d'inversion, et  $\psi_2(x, y)$  est le potentiel lié à la présence des atomes ionisés des dopants ( $N_b$ ).

Afin de déterminer  $\psi_1(x, y)$ , l'équation de *Poisson* est considérée avec seulement la densité de charge d'inversion ( $\partial^2 \psi_2(x, y) / \partial x^2 = (q \cdot n_i \cdot N_b / \epsilon_{si}) \cdot (\exp(\psi(x, y) - \Phi_F - V_{ch}(y) / \Phi_t))$ ), après une double intégration de cette dernière, la solution de  $\psi_1(x, y)$  se présente comme suit :

$$\psi_1(x, y) = \psi_0(y) - 2 \cdot \Phi_t \cdot \ln \left[ \cos \left( \sqrt{\frac{q \cdot n_i^2}{2 \cdot \epsilon_{si} \cdot \Phi_t \cdot N_b}} \cdot \exp\left(\frac{\psi_0(y) - V_{ch}(y)}{\Phi_t}\right) \cdot \frac{x}{2} \right) \right] \quad (1.9)$$

Avec  $\psi_0(y)$  est le potentiel au centre du film de Silicium.

Pour calculer le potentiel  $\psi_2(x, y)$ , l'équation de *Poisson* est considérée, cette fois-ci avec seulement la densité de charge liée au dopage  $\partial^2\psi_2(x, y)/\partial x^2 = q.n_i.N_b/\varepsilon_{si}$ , la double intégrale de cette dernière donne :

$$\psi_2(x, y) = q.n_i.N_b.x^2 / 2.\varepsilon_{si} \quad (1.10)$$

Le potentiel de surface  $\psi_s(y)$  en tout point de canal s'exprime en fonction  $\psi_1(x, y)$  et  $\psi_2(x, y)$  comme suite :

$$\psi_s(y) \cong \psi_1(-t_{si}/2, y) + \psi_2(-t_{si}/2, y) \quad (1.11)$$

En utilisant la loi de *Gauss* et les Eqs. (1.9), (1.10) et (1.11), l'équation fondamentale de BSIM-CMG, soit en Anglais "*Unified Surface Potential Equation*" s'écrit comme (après réarrangement et changement de variable) [76, 77]:

$$f(\beta) = \ln(\beta) - \ln(\cos(\beta)) - \frac{V_{gs} - V_{fb} - V_{ch}}{2.\Phi_t} + \ln\left(\frac{2}{t_{si}} \cdot \sqrt{\frac{2.\varepsilon_{si}.\Phi_t.N_b}{q.n_i^2}}\right) + \frac{2.\varepsilon_{si}}{t_{si}.C_{ox}} \cdot \sqrt{\beta^2 \left( \frac{\exp\left(\frac{\Psi_{pert}}{\Phi_t}\right)}{\cos^2(\beta)} - 1 \right) + \frac{\Psi_{pert}}{\Phi_t^2} (\Psi_{pert} - 2.\Phi_t \cdot \ln(\cos(\beta)))} = 0 \quad (1.12)$$

Où  $\Psi_{pert}$  correspond à  $\psi_2(-t_{si}/2, y)$ ,  $\beta$  correspond à  $\cos\left(\frac{t_{si}}{2} \sqrt{\frac{q.n_i^2}{2.\varepsilon_{si}.\Phi_t.N_b} \cdot \exp\left(\frac{\psi_0(y) - V_{ch}(y)}{\Phi_t}\right)}\right)$

de  $\psi_1(-t_{si}/2, y)$  et  $C_{ox}$  c'est la capacité d'oxyde.

Le courant de drain  $I_{ds}$  est ensuite calculé par la considération du modèle *drift-diffusion* [76]:

$$I_{ds} = \mu(T) \cdot \frac{W}{L} \cdot \left[ \frac{Q_{invS}^2 - Q_{invD}^2}{2.C_{ox}} + 2.\Phi_t.(Q_{invS} - Q_{invD}) - \Phi_t.Q_0 \cdot \ln\left(\frac{Q_0 + Q_{invS}}{Q_0 + Q_{invD}}\right) \right] \quad (1.13)$$

Avec  $\mu(T)$  la mobilité qui dépend de la température a faible champ électrique,  $Q_0$  est égal à  $q.N_b.t_{si} + 5.\Phi_t.\varepsilon_{si}/t_{si}$ ,  $Q_{invS}$  la densité de charge d'inversion côté Source ( $V_{ch} = 0$ ) et  $Q_{invD}$  la densité de charge d'inversion côté Drain ( $V_{ch} = V_{ds}$ ).

Le modèle de BSIM-CMG prend en compte la majorité des effets de la miniaturisation requises pour les applications industrielles, tels que : les effets de la mécanique quantique, les effets canaux courts, la déplétion du Poly-Silicium de grille, l'effet des résistances séries, la dégradation de la mobilité, la saturation de la vitesse des porteurs, le courant tunnel, les capacités parasites, etc.

### 1.4.2 Le BSIM-IMG: modèle compact pour dispositif multi-grille (à grille indépendante)

Contrairement au BSIM-CMG, le BSIM-IMG (*Independent-Multi-Gate*) est un modèle compact pour les structures *MuGFETs* à grilles indépendantes, tels que le transistor *UTB* MOSFET. Le potentiel de surface du modèle est calculé à travers la résolution de l'équation de *Poisson* pour un DG MOSFET asymétrique fonctionnant en grilles indépendantes [78].

Dans le BSIM-IMG, la modélisation débute par la résolution de l'équation de *Poisson* qui considère seulement la densité de charge d'inversion. Pour un canal faiblement dopé et avec la considération de GCA, l'équation de *Poisson* se présente comme suit [76]:

$$\frac{\partial^2 \psi(x, y)}{\partial x^2} = \frac{q \cdot n_i}{\epsilon_{si}} \cdot \exp\left(\frac{\psi(x, y) - V_{ch}(y)}{\Phi_t}\right) \quad (1.14)$$

L'intégration de l'équation de *Poisson* (suivant la verticale) mène à la solution suivante :

$$E_{S1}^2 - E_{S2}^2 = \frac{2 \cdot q \cdot n_i \cdot \Phi_t}{\epsilon_{si}} \left[ \exp\left(\frac{\psi_{S1} - V_{ch}}{\Phi_t}\right) - \exp\left(\frac{\psi_{S2} - V_{ch}}{\Phi_t}\right) \right] \quad (1.15)$$

Avec  $E_{S1}$ ,  $E_{S2}$ ,  $\psi_{S1}$  et  $\psi_{S2}$  sont, respectivement, les champs électriques de surface liés à la grille avant et arrière, les potentiels de surfaces liés à la grille avant et arrière.

Avec la considération de la loi *Gauss* et le fait que les flux de champ électriques sont continus à l'interface Oxydes/Grilles, les expressions de  $E_{S1}$ ,  $E_{S2}$  en fonction de  $\psi_{S1}$  et  $\psi_{S2}$  sont :

$$E_{S1} = C_{ox1}(V_{fg} - V_{fb1} - \psi_{S1}) / \epsilon_{si} \quad (1.16)$$

$$E_{S2} = C_{ox2}(V_{bg} - V_{fb2} - \psi_{S2}) / \epsilon_{si} \quad (1.17)$$

Où  $V_{fg}$ ,  $V_{bg}$ ,  $V_{fb1}$ ,  $V_{fb2}$ ,  $C_{ox1}$ ,  $C_{ox2}$  sont, respectivement, les tensions de grille avant et arrière, les tensions de bandes plates liées à la grille avant et arrière, les capacités d'oxyde de grille avant et arrière.

L'équation (1.15) contient deux inconnues ( $\psi_{S1}$  et  $\psi_{S2}$ ). Afin de simplifier celle-ci, le potentiel  $\psi_{S2}(\psi_{S1})$  peut être défini par:

$$\psi_{S2} = \alpha_{ch} \cdot \psi_{S1} + \alpha_{ox} \cdot (V_{bg} + V_{fb2}) \quad (1.18)$$

Avec  $\alpha_{ch} = C_{si} / (C_{si} + C_{ox2})$ ,  $\alpha_{ox} = C_{ox2} / (C_{si} + C_{ox2})$  et  $C_{si} = \epsilon_{si} / t_{si}$ .

L'équation implicite de potentiel de surface de BSIM-IMG est obtenue alors en remplaçant les Eqs. (1.16), (1.17) et (1.18) dans Eq. (1.15) :

$$f = \left[ \frac{C_{ox1}(V_{fg} - V_{fb1} - \psi_{S1})}{\epsilon_{si}} \right]^2 - \left[ \frac{V_{bg} - V_{fb2} - \psi_{S1}}{t_{si} + t_{ox2} \cdot \frac{\epsilon_{si}}{\epsilon_{oc}}} \right]^2 \quad (1.19)$$

$$- \frac{2 \cdot q \cdot n_i \cdot \Phi_t}{\epsilon_{si}} \cdot \exp\left(\frac{\psi_{S1} - V_{ck}}{\Phi_t}\right) + \frac{2 \cdot q \cdot n_i \cdot \Phi_t}{\epsilon_{si}} \cdot \exp\left(\frac{\alpha_{ch} \cdot \psi_{S1} + \alpha_{ox} \cdot (V_{bg} - V_{fb2}) - V_{ck}}{\Phi_t}\right) = 0$$

La densité de charge d'inversion est ensuite obtenue en utilisant la loi de *Gauss*, et le courant de drain du modèle et obtenu à travers le modèle *drift-diffusion* [76]:

$$I_{ds} = \mu(T) \cdot \frac{W}{L} \cdot \left[ \frac{Q_{invS} + Q_{invD}}{2} \cdot (\Psi_{S1,D} - \Psi_{S1,S}) + \eta \cdot \Phi_t \cdot (Q_{invS} - Q_{invD}) \right] \quad (1.20)$$

$$\text{Où } \eta = 2 - \frac{2 \cdot \epsilon_{si} \cdot E_{S2}(y)}{Q_{inv}(y) + 2 \cdot \epsilon_{si} \cdot E_{S2}(y)}$$

### 1.4.3 Les modèles de TMOS à Double Grilles

Les modèles compacts de DG MOS diffèrent selon l'approche utilisée, la simplicité (ou complexité) et le degré de précision. Dans cette partie, nous présentons les principaux modèles compacts de DG MOS qui sont des modèles pionniers proposés par des auteurs tels que *Y. Taur, A. O-Conde, J. M. Sallese et B. Iñiguez*. Dans ces modèles, les auteurs proposent des solutions analytiques (originales) pour la charge, le potentiel de surface et le courant drain.

#### 1.4.3.1 Les modèles de *Yuan Taur*

Historiquement, les modèles de *Yuan Taur* peuvent être considérés comme les premiers modèles développés pour le MOSFET à double-grille. En effet, les deux premiers modèles de cet auteur ont été proposés en 2000 puis en 2001 [79, 80]. En 2004, *Yuan Taur* et son équipe proposent un modèle compact pour le DG SOI MOS symétrique avec un canal faiblement dopé (ou non dopé). Le courant de drain est alors calculé à travers l'introduction d'une nouvelle variable ( $\beta_T$ ) dans la double intégrale de *Pao-Sah*, l'expression du courant de drain du modèle se présente comme [81]:

$$I_{ds} = 16 \cdot \mu \cdot \frac{W}{L} \cdot \frac{\epsilon_{si}}{t_{si}} \left( \frac{K.T}{q} \right)^2 \times \left[ \frac{1}{2} \cdot (\beta_{TL}^2 - \beta_{T0}^2) + \beta_{T0} \cdot \tan(\beta_{T0}) - \beta_{TL} \cdot \tan(\beta_{TL}) + \frac{\epsilon_{si}}{t_{si} \cdot C_{ox}} \cdot (\beta_{T0}^2 \cdot \tan^2(\beta_{T0}) - \beta_{TL}^2 \cdot \tan^2(\beta_{TL})) \right] \quad (1.21)$$

Où  $\beta_{T0}$  et  $\beta_{TL}$  sont, respectivement,  $\beta_T$  côté Source et côté Drain. Ces variables peuvent être calculées numériquement de manière itérative via l'équation :

$$\frac{q}{2.K.T} \cdot (V_g - \Delta\Phi_{MS} - V_{ch}) - \ln \left( \frac{2}{t_{si}} \cdot \sqrt{\frac{2 \cdot \epsilon_{si} \cdot K.T}{q^2 \cdot n_i}} \right) = \ln(\beta) - \ln[\cos(\beta)] + \frac{2 \cdot \epsilon_{si} \cdot t_{ox}}{\epsilon_{si} \cdot t_{si}} \beta \cdot \tan(\beta) \quad (1.22)$$

### 1.4.3.2 Le modèle de *Jean-Michel Sallese et al*

*Jean-Michel Sallese et al* proposent un modèle en charge pour un DG MOS symétrique avec un canal faiblement dopé. À travers le formalisme EKV du MOSFET *bulk*, l'auteur introduit l'idée de normalisation de quantités du modèle permettant ainsi de dériver des expressions de formulation simple et complète. Ces dernières apparaissent très utiles pour la conception de circuits analogiques. En outre, le modèle ignore les effets quantiques et la déplétion du Poly-Silicium [82].

### 1.4.3.3 Les modèles de *Benjamín Iñiguez et son équipe*

Dans la littérature, nous trouvons que l'équipe de *Benjamín Iñiguez* a proposé une variété de modèles compacts pour le TMOS à double-grille [83, 84, 85].

Dans la référence [84], l'équipe de *Benjamín Iñiguez* propose un nouveau modèle pour le DG MOS symétrique faiblement dopé, le point de départ du modèle est l'expression explicite du courant de drain [86] :

$$I_{ds} = \mu \cdot \frac{W}{L} \left[ 2 \cdot \frac{K.T}{q} \cdot (Q_s - Q_d) + \frac{(Q_s^2 - Q_d^2)}{4.C_{ox}} + 8 \cdot \left( \frac{K.T}{q} \right)^2 \cdot C_{si} \cdot \log \left( \frac{Q_d + 2Q_0}{Q_s + 2Q_0} \right) \right] \quad (1.23)$$

Avec  $Q_s$  et  $Q_d$  sont, respectivement, la densité de charge côté Source et côté Drain, et

$$Q_0 = 4 \cdot (K.T / q) \cdot C_{si} \cdot$$

Ensuite, à travers la solution approximative de l'équation de *Poisson* en 2-D, les effets canaux court sont inclus, tels que le DIBL, la modulation de la longueur du canal, la saturation de la vitesse des porteurs et l'effet des résistances séries.

#### 1.4.3.4 Les modèles de Marina Reyboz et al

La plupart des modèles compacts développés par cette équipe correspondent aux DG MOS symétriques fonctionnant en grille indépendante (IDG MOSFET : *Independent Double Gate MOSFET*). Marina Reyboz, Olivier Rozeau, Thierry Poiroux et al proposent un modèle en tension de seuil pour la structure IDG MOS, l'idée de ce type de modèle est de définir une tension de seuil qui lie le régime de forte inversion et le régime de faible inversion. Le courant de drain est calculé comme étant une somme de deux courants [25] :

$$I_{ds} = I_{ds1} + I_{ds2} \quad (1.24)$$

Avec  $I_{ds1}$  et  $I_{ds2}$  sont, respectivement, Le courant de drain de la grille avant et arrière.

Ensuite, chaque courant ( $I_{ds1}$  ou  $I_{ds2}$ ) est définit par :

$$I_{dsj} = \mu \cdot \frac{W}{L} \cdot C_{oxj} V_{gtj} \cdot \left[ 1 - \frac{n_{jeff} \cdot V_{dsjeff}}{2 \cdot (V_{gtj} + 2 \cdot \Phi_t)} \right] \cdot V_{dsjeff} \quad (1.25)$$

Où l'indice  $j$  est égal à 1 ou 2 (1 correspond à la grille avant et 2 correspond à la grille arrière).  $n_{jeff}$  est un facteur de couplage et  $V_{dsjeff}$ ,  $V_{gtj}$  sont, respectivement, la tension de drain et la tension grille effective, ces derniers sont détaillés dans la référence [25].

Le modèle proposé est un modèle compact explicite pour le IDG MOS à canal court qui prend en compte les effets canaux courts et ignore les effets quantiques et le transport balistique.

Cette équipe a développé un autre modèle pour le IDG MOS, ce dernier est un modèle en charge pour un IDG MOS à canal long faiblement dopé. Le modèle fournit des expressions analytiques explicites de la charge d'inversion et du courant de drain [87].

#### 1.4.3.5 Les modèles de Adelmo Ortiz-Conde et al

Adelmo Ortiz-Conde et al proposent de modèles analytiques pour le DG SOI MOSFET symétrique et asymétrique. Dans le cas asymétrique, l'expression du courant de drain du modèle en potentiel de surface se présente sous la forme suivante [88]:

$$I_{ds} = \mu \cdot \frac{W}{L} \left\{ C_{oxf} \left[ (V_{gsf} + 2 \cdot \Phi_t) (\Psi_{sfL} - \Psi_{sf0}) - \frac{1}{2} (\Psi_{sfL}^2 - \Psi_{sf0}^2) \right] + \frac{\epsilon_{si} \cdot I_{si}}{2} (\alpha_0 - \alpha_L) \right. \\ \left. + C_{oxb} \left[ (V_{gsb} + 2 \cdot \Phi_t) (\Psi_{sbL} - \Psi_{sb0}) - \frac{1}{2} (\Psi_{sbL}^2 - \Psi_{sb0}^2) \right] - n_i \cdot K \cdot T \cdot I_{si} (V_{ds} / \Phi_t + \exp(-V_{ds} / \Phi_t) - 1) \right\} \quad (1.26)$$



Où la lettre  $f$  correspond à la grille avant et  $b$  correspond à la grille arrière. Les potentiels de surfaces  $\Psi_{sfL}, \Psi_{sf0}, \Psi_{sbL}, \Psi_{sb0}$  et  $\alpha_0, \alpha_L$  sont obtenus à travers des solutions numériques détaillées dans la référence [89].

Dans le cas symétrique, l'expression explicite du courant de drain s'écrit comme :

$$I_{ds} = \mu \cdot \frac{W}{L} \left\{ 2.C_{ox} \left[ (V_{gs}) (\Psi_{sL} - \Psi_{s0}) - \frac{1}{2} (\Psi_{sL}^2 - \Psi_{s0}^2) \right] + 4 \cdot \frac{K.T}{q} \cdot C_{ox} (\Psi_{sL} - \Psi_{s0}) + n_i \cdot K.T.i_{si} \left[ \exp((1/\Phi_t) (\Psi_{0L} - V_{ds})) - \exp(\Psi_{00}/\Phi_t) \right] \right\} \quad (1.27)$$

Où les potentiels  $\Psi_{s0}, \Psi_{00}, \Psi_{sL}$  et  $\Psi_{0L}$  sont obtenus de manière numérique, comme dans la référence [89].

#### 1.4.4 Les modèles de TMOS à Grille Cylindrique

Depuis que la structure de TMOS à grille cylindrique est proposée, de nombreux modèles analytiques compacts ont été développés. Dans cette section, nous exposons les principaux modèles compacts des SRG MOSFET proposés par des équipes et des auteurs, tels que *Jin He, David Jiménez, Benjamin Iñiguez*, etc. Les travaux cités ici correspondent à des modèles qui jouent un rôle primordial dans la modélisation compacte des SRG MOSFET.

##### 1.4.4.1 Le modèle de *David Jiménez et al*

*David Jiménez et al* proposent un modèle analytique en courant-tension pour le transistor SRG MOSFET à canal faiblement dopé. Il est basé sur la solution exacte de l'équation de *Poisson* en coordonnées cylindriques, l'équation du courant de drain est dérivée à travers le modèle *drift-diffusion* et l'introduction de la variable  $\beta$  [90].

L'expression générale du courant de drain en fonction de la variable intermédiaire  $\beta$  s'écrit comme :

$$I_{ds} = \mu \cdot \frac{4\pi \cdot \varepsilon_{si}}{L} \left( 2 \cdot \frac{K.T}{q} \right)^2 \left[ \frac{\eta}{4\beta^2} + \frac{1-\eta/2}{\eta} + \frac{1}{2} \ln(\beta) \right]_{\beta_d}^{\beta_s} \quad (1.28)$$

Avec  $\eta = 4 \cdot \varepsilon_{si} / C_{ox} / R$ ,  $C_{ox}$  c'est la capacité d'oxyde du SRG défini par  $C_{ox} = \varepsilon_{ox} / (R \cdot \ln(1 + t_{ox} / R))$ ,  $R$  correspond au rayon du SRG MOSFET.

Afin de calculer le courant de drain dans chaque région de fonctionnement du transistor, les auteurs définissent ces deux fonctions auxiliaires :

$$f(\beta) = \ln(1 - \beta) - \ln(\beta^2) + \eta \left( \frac{1 - \beta}{\beta} \right) \quad (1.29)$$

$$g(\beta) = \frac{\eta}{4\beta^2} + \frac{1 - \eta/2}{\beta} + \frac{1}{2} \cdot \ln(\beta) \quad (1.30)$$

Puis, à travers les Eqs. (1.28), (1.29) et (1.30), *D. Jiménez* et ses co-auteurs dérivent des expressions du courant de drain  $I_{ds}$  pour chaque région de fonctionnement de transistor SRG (régime linéaire, non linéaire et saturation).

Le modèle proposé par *David Jiménez et al* est très utile pour la modélisation compacte des SRG MOSFETs. Cependant, ce modèle n'inclut pas les SCEs et les effets quantiques, et il nécessite un calcul itératif (numérique) pour définir la variable intermédiaire  $\beta$  et les fonctions auxiliaires  $f(\beta)$  et  $g(\beta)$ .

#### 1.4.4.2 Le modèle de *Jin He et al*

Dans ce travail, *Jin He et al* développent une solution analytique du potentiel électrostatique dans le canal faiblement dopé du SRG MOSFET [91].

De l'équation de *Poisson* à 1-D et en considérant les conditions adapté à l'interface et au centre du canal cylindrique, la solution du potentiel électrostatique  $\Phi(r)$  s'écrit selon :

$$\Phi(r) = \Phi_0 - \frac{2.K.T}{q} \ln \left[ 1 - \frac{r^2}{8.L_i^2} \cdot \exp \left( \frac{q \cdot (\Phi_0 - V_{ch})}{K.T} \right) \right] \quad (1.31)$$

Avec  $\Phi_0$  le potentiel au centre du canal et  $L_i^2 = q^2 \cdot n_i / K.T \epsilon_{si}$ .

À partir de l'équation de *Poisson* à 1-D et en utilisant la loi de *Gauss*, *Jin He et al* obtiennent une relation qui lie de manière implicite les tensions au potentiel de surface. À travers cette dernière, la solution du potentiel de surface se définit comme :

$$\Phi_s = V_{gs} - \Delta\Phi_{MS} - \frac{2.K.T}{q} \cdot LW \left[ \frac{R \cdot \epsilon_{si}}{4.L_i^2 \cdot C_{ox}} \cdot \exp \left( \frac{q \cdot (V_{gs} + \Phi_0 - 2.V_{ch} - \Delta\Phi_{MS})}{2.K.T} \right) \right] \quad (1.32)$$

Avec  $LW$  la fonction de *Lambert* (souvent appelé la fonction  $W$ ), cette dernière est utilisée pour obtenir une solution explicite du potentiel de surface  $\Phi_s$ .

En outre, *Jin He et al* développent d'autres modèles pour le SRG MOSFET, ces modèles décrivant de manière analytique la charge d'inversion, le courant de drain et même les capacités du dispositif SRG MOSFETs [92, 93].

### 1.4.4.3 Le modèle de *Benjamín Iñiguez et al*

Ce modèle est basé sur la reformulation de l'équation fondamentale de modèle en charge (*UCCM: Unified Charge Control Model*) développé précédemment par *David Jiménez et al.* Cette dernière dérive de la solution de l'équation de *Poisson* et la loi de *Gauss* pour un SRG MOSFET faiblement dopé [94].

Le courant de drain du modèle explicite et continue s'exprime comme :

$$I_{ds} = \mu \cdot \frac{2\pi R}{L} \left[ 2 \cdot \frac{K.T}{q} \cdot (Q_s - Q_d) + \frac{Q_s^2 - Q_d^2}{2.C_{ox}} + \frac{K.T}{q} \cdot Q_0 \log \left( \frac{Q_d + Q_0}{Q_s + Q_0} \right) \right] \quad (1.33)$$

Avec  $Q_s$  et  $Q_d$  sont, respectivement, la densité de charge côté Source et côté Drain, et  $Q_0 = (4.\epsilon_{si} / R) \cdot (K.T / q)$ .

### 1.4.4.4 Le modèle de *Hamdy Abd El Hamid et al*

C'est un modèle analytique de base physique développé pour le transistor GAA MOSFET. À partir de la résolution analytique de l'équation de *Poisson* (en 2-D), le profil du potentiel électrostatique est obtenu ainsi pour de faibles aux fortes valeurs de la tension Drain-Source. Le modèle proposé décrit avec une bonne précision les effets canaux courts dans un transistor GAA de longueur du canal inférieure à 30nm, cela à travers des expressions analytiques pour la tension de seuil (inclus le DIBL et le  $V_T$  *Roll-off*) et la pente sous le seuil [96].

Cependant, le calcul du potentiel nécessite un calcul itératif (numérique), ce qui limite l'utilisation du modèle dans la simulation de circuits. D'autre part, plusieurs effets SCEs ne sont pas inclus, tels que la modulation de la longueur du canal et les effets des résistances séries.

### 1.4.4.5 Le modèle de *Yuan Taur et al*

D'une manière similaire au modèle développé pour le DG MOSFET, *Yuan Taur et al* proposent une modélisation compacte du SRG MOSFET faiblement dopé. Le courant de drain du modèle se présente sous la forme suivante [95] :

$$I_{ds} = \mu \cdot \frac{9\pi \cdot \varepsilon_{si}}{L} \left( \frac{2 \cdot K \cdot T}{q} \right)^2 \cdot [f(\alpha_d) - f(\alpha_s)] \quad (1.34)$$

Où la fonction auxiliaire  $f(\alpha) = (-2/\alpha - \ln(\alpha) + s(-1/\alpha^2 + 2/\alpha))$ ,  $s = 2 \cdot \varepsilon_{si} \cdot \ln(1 + t_{ox}/R) / \varepsilon_{si}$  est un paramètre structurel,  $\alpha_d$  et  $\alpha_s$  sont, respectivement, les variables intermédiaires évaluées côté Drain et côté Source. Ces variables sont calculées de manière explicite et non d'une manière numérique.

## Cahier de charge de la thèse et objectifs

Les modèles compacts cités dans la section précédente jouent un rôle très important dans la modélisation analytique compacte de dispositifs MOS à grilles-multiples, la majorité de ceux-ci sont basés sur la physique du composant, ils permettent alors d'en comprendre avec précision les mécanismes de transport et les phénomènes qui s'y produisent. Ils sont variés selon l'approche utilisée, la nature de solutions proposées, le degré de précision, etc. Cependant, les modèles proposés dans la littérature reposent souvent soit sur des formulations analytiques complexes soit sur des calculs itératifs (qui peuvent être longs et fastidieux) dans le cas d'une approche numérique. De plus, une majorité d'entre eux traite le cas de canaux "longs".

Notre objectif dans cette thèse est l'établissement de modèles analytiques compacts simples pour des dispositifs modernes à grilles-multiples "nanométriques" utilisables en conception de circuits. Ces modèles doivent être adaptés à la simulation de circuits, cela en termes de : formulation analytique simple, explicite et répondre ainsi aux exigences des concepteurs de circuits actuels. Des solutions continues allant du régime de faible à la forte inversion présentent une bonne précision, et une bonne lisibilité du point de vue caractéristiques électriques et dépendance technologique sont attendues. La prise en compte des effets canaux courts (SCEs) est indispensable dans le cas de ces transistors multi-grilles à canal court.

En vue de l'utilisation du modèle proposé par les simulateurs de circuits, la fiabilité de celui-ci se fait à travers son implémentation dans un langage de description matérielle. Cela permet, également la simulation de différents circuits à base de TMOS à grilles-multiples nanométriques.

## Conclusion

Dans ce chapitre, nous avons présenté l'ensemble des effets et de problèmes technologiques qui limitent l'évolution de la technologie CMOS. Ainsi, nous avons souligné les principales voies et les solutions technologiques envisagées, et qui sont globalement orientées par les feuilles de routes de l'ITRS. Nous mettons en évidence le développement de la technologie *MuGFETs* et l'état de l'art de cette dernière. En effet, les multi-grilles FETs ont émergé comme étant les candidats prometteurs pour atteindre des nœuds technologiques "très" submicroniques. Cependant, malgré les solutions proposées pour maintenir cette évolution, la miniaturisation des dispositifs semi-conducteurs devient de plus en plus difficile.

En outre, les modèles compacts des *MuGFETs* jouent un rôle clé dans l'élaboration et l'évaluation de circuits intégrés à base de ce type de dispositifs. Il est donc nécessaire de développer des modèles compacts pour les transistors multi-grilles FETs, tels que le MOSFET à double-grille et le TMOS à grille cylindrique. Ces modèles compacts doivent être de formulations analytiques adéquates aux simulateurs de circuits, ainsi que pour les exigences des concepteurs de circuits actuels.

## Références bibliographiques

- [1] C. G Montoro, M. C. Schneider, "*MOSFET modeling for circuit analysis and design*", World Scientific, ISBN-13 978-981-256-810-6, 2007.
- [2] B. P. Wong, A. Mittal, Y. Cao et al, "*Nano-CMOS circuit and physical design*", John Wiley & Sons, Inc, ISBN 0-471-46610-7, 2005.
- [3] B. Diagne, "*Etude et modélisation compacte d'un transistor MOS SOI double grille dédié à La conception*", thèse de doctorat, université Louis Pasteur, 2007.
- [4] *The International Technology Roadmap for Semiconductors (ITRS)*, web site <<http://www.itrs.net/>>, 2011.
- [5] *The International Technology Roadmap for Semiconductors (ITRS)*, web site <<http://www.itrs.net/>>, 2012.
- [6] S. M. Sze, K K. Ng, "*Physics of Semiconductor Device third Edition*", John Wiley & Sons, Inc, ISBN-I 3: 978-0-47 1-1 4323-9, 2007.

- [7] F. Prégaldiny, “*Étude et modélisation du comportement électrique des transistors MOS fortement submicroniques*”, thèse de doctorat, université Louis Pasteur, 2003.
- [8] S. Oktyabrsky, P. D. Ye et al, “*Fundamentals of III-V Semiconductor MOSFETs*”, Springer, ISBN 978-1-4419-1546-7, 2010.
- [9] M. Bescond, “*Modélisation et simulation du transistor quantique dans les transistors MOS nanométriques*”, thèse de doctorat, université de Provence, 2004.
- [10] M. Moreau, “*Modélisation et simulation numérique des nano-transistor multi-grilles à matériaux innovants*”, thèse de doctorat, université de Provence, 2010.
- [11] D. Stefanović, M. Kayal, “*Structured analog CMOS design*”, Springer, ISBN 978-1-4020-8572-7, 2008.
- [12] N. Arora, “*MOSFET Modeling for VLSI Circuit Simulation: Theory and Practice*”, World Scientific, ISBN-13 978-981-256-862-5, 2007.
- [13] A. B. Bhattacharyya, “*Compact MOSFET models for VLSI design*”, John Wiley & Sons (Asia) Pte Ltd, ISBN: 978-0-470-82342-2, 2009.
- [14] Y. Cheng, C. Hu, “*MOSFET modeling & BSIM3 user’s guide*”, Kluwer Academic Publishers, ISBN: 0-792-38575-6, 2002.
- [15] C. Enz, F. Krummenacher, A. Vittoz, “*An analytical MOS Transistor Model Valid in All Regions of Operation Dedicated to low voltage and low current applications*”, Analog and integrated Circuits and Signal Processing, vol. 8, pp. 83-114, 1995.
- [16] M. Bucher, C. Enz, F. Krummenacher, et al, “*The EKV 3.0 Compact MOS Transistor Model: Accounting for Deep-Submicron Aspects*”, Proceeding of the 2002 International Conference on Modeling and Simulation of Microsystems, vol. 1, pp. 670-673, 2002.
- [17] X. Xi, J. He, M. Dunga, et al, “*BSIM5 MOSFET Models*”, Proceeding of 7th International Conference on Solid-State and Integrated Circuits Technology, vol. 2, pp. 920–923, 2004.
- [18] M. M. Mattausch, H. J. Mattausch, T. Ezaki, “*The Physics and Modeling of MOSFETS: Surface-Potential Model HiSIM*”, World Scientific, ISBN-13 978-981-256-864-9, 2008.
- [19] G. D. J. Smit, A. J. Scholten, D. B. M. Klaassen, Unclassified Report: PSP 102.1, NXP Semiconductors, October 2006.

- [20] At NXP Semiconductors Research, *web site* < <http://www.nxp.com/models/mos-models/model-bsp.html> >.
- [21] H. A. El Hamid, “*Compact modeling of multiple gate MOS device*”, thèse de doctorat, université Rovira I Virgili, 2007.
- [22] Z H. Liu, C. Hu, J H. Huang, et al, “*Threshold Voltage Model for Deep-Submicrometer MOSFET’s*”, IEEE Transactions on Electron Devices, vol. 40, pp. 86-95, 1993.
- [23] J. Saint-Martin, “*Etude par simulation monte Carlo d’architectures de MOSFET ultracourt à grille multiple sur SOP*”, thèse de doctorat, université de Paris xi Orsay, 2005.
- [24] B-K. Choi, M-K. Jeong, H-I. Kwoni, et al, “*Compact Current Modeling of Fully Depleted Symmetric Double-Gate Metal–Oxide–Semiconductor Field Effect Transistors with Doped Short-Channel*”, Jpn. J. Appl. Phys, vol. 47, pp. 8253–8260, 2008.
- [25] A. Amara, O. Rozeau, “*Planar Double-Gate Transistor: From Technology to Circuit*”, Springer and Business Media, ISBN 978-1-4020-9327-2, 2009.
- [26] D. K. Ferry, S. M. Goodnick, J. Bird, “*Transport in Nanostructures*”, Cambridge University Press, ISBN-13 978-0-521-87748-0, 2009.
- [27] I. Knezevic, D. Z. Vasileska, D. K. Ferry, “*Impact of Strong Quantum Confinement on the Performance of a Highly Asymmetric Device Structure: Monte Carlo Particle-Based Simulation of a Focused-Ion-Beam MOSFETs*”, IEEE Transactions on Electron Devices, vol. 49, pp. 19-26, 2002.
- [28] M. Schwarz, “*Two-dimensional analytical predictive modeling of Schottky barrier SOI and multi-gate MOSFET*”, thèse de doctorat, université Rovira I Virgili, 2012.
- [29] H. Abebe, “*Modeling The Current-Voltage (I-V) Characteristics of The MOSFET Device With Quantum Mechanical Effects Due to Thin Oxide near Si / SiO<sub>2</sub> Interface Using Asymptotic Methods*”, thèse de doctorat, université Claremont Graduate, 2002.
- [30] M. Koh, K. Iwamoto, W. Mizubayashi, et al, “*Threshold voltage fluctuation induced by direct tunnel leakage current through 1.2-2.8 nm thick gate oxides for scaled MOSFETs*,” Proceeding of IEEE Electron Devices Meeting, pp. 919-922, 1998.

- [31] Y. Tsvividis, “*Operation and Modeling of the MOS Transistor, Second Edition*”, Oxford University Press, 2003.
- [32] S. Kar, “*High Permittivity Gate Dielectric Materials*”, Springer-Verlag Berlin Heidelberg, ISBN 978-3-642-36534-8, 2013.
- [33] G. Darbandy, F. Lime, A. Cerdeira, et al, “*Study of potential high-k dielectric for UTB SOI MOSFETs using analytical modeling of the gate tunneling leakage*”, *Semicond. Sci. Technol*, vol. 26, pp. 1-8, 2011.
- [34] *The International Technology Roadmap for Semiconductors (ITRS)*, web site <<http://www.itrs.net/>>, 2009.
- [35] R. H. Yan, A. Ourmazd, and K. F. Lee, “*Scaling the Si MOSFET: From Bulk to SOI to Bulk*”, *IEEE Transactions on Electron Devices*, vol. 39, pp. 04-10, 1992.
- [36] Y H. Koh, J H. Choi, M H. Nam et al, “*Body-Contacted SOI MOSFET Structure with FullyBulk CMOS Compatible Layout and Process*”, *IEEE Electron Device Letters*, vol. 18, pp. 02-04, 1997.
- [37] S. Matsumoto, Y. Hiraoka, T. Ishiyama, “*Study on the Device Characteristics of a Quasi-SOI Power MOSFET Fabricated by Reversed Silicon Wafer Direct Bonding*”, *IEEE Transactions on Electron Devices*, vol. 45, pp. 40-45, 1998.
- [38] J. Goguet, “*Contribution à la modélisation physique et électrique compacte du transistor à nanotube*”, thèse de doctorat, université Bordeaux 1, 2009.
- [39] J P. Colinge, “*FinFETs and Other Multi-Gate Transistors: Technology to Circuit*”, Springer and Business Media, ISBN 978-0-387-71751-7, 2008.
- [40] X. Sun, V. Moroz, N. Damrongplasit et al, “*Variation Study of the Planar Ground-Plane Bulk MOSFET, SOI FinFET, and Trigate Bulk MOSFET Designs*”, *IEEE Transactions on Electron Devices*, vol. 58, pp. 94-99, 2011.
- [41] G. Tsutsui, M. Saitoh, T. Hiramoto, “*Experimenta Study on Superior Mobility in (110)-Oriented UTB SOI pMOSFETs*”, *IEEE Electron Device Letters*, vol. 26, pp. 36-38, 2005.
- [42] G. Tsutsui, M. Saitoh, T. Nagumo et al, “*Impact of SOI Thickness Fluctuation on Threshold Voltage Variation in Ultra-Thin Body SOI MOSFETs*”, *IEEE Transactions on Nanotechnology*, vol. 4, pp. 69-73, 2005.
- [43] F. Lime, R. Ritzenthaler, M. Ricoma et al, “*A physical compact DC drain current model for long-channel undoped ultra-thin body (UTB) SOI and asymmetric*



- double-gate (DG) MOSFETs with independent gate operation*", Solid-State Electronics, vol. 57, pp. 61-66, 2011.
- [44] Y K. Choi, K. Asano, N. Lindert et al, "*Ultrathin-Body SOI MOSFET for Deep-Sub-Tenth Micron Era*", IEEE Electron Device Letters, vol. 21, pp. 54-55, 2000.
- [45] V. M. Srivastava, G. Singh, "*MOSFET Technologies for Double-Pole Four-Throw Radio-Frequency Switch*", Springer, ISBN 978-3-319-01164-6, 2014.
- [46] F. Balestra, S. Cristoloveanu, M. Benachir et al, "*Double-gate silicon-on-insulator transistor with volume inversion: A new device with greatly enhanced performance*", IEEE Electron Device Letters, vol. EDL-8, pp. 10-12, 1987.
- [47] R. S. Shenoy, "*Technology and Scaling of Ultrathin body double-gate FETs*", thèse de doctorat, université Stanford, 2004.
- [48] M. Vinet, T. Poiroux, J. Widiez et al, "*Bonded planar double-metal-gate NMOS transistors down to 10 nm*", IEEE Electron Device Letters, vol. 26, pp. 17-19, 2005.
- [49] X. Lin, C. Feng, S. Zhang et al, "*Double-Gate SOX MOSFET Fabrication from Bulk Silicon Wafer*", IEEE International SOI Conference, pp. 93-94, 2001.
- [50] A. Kranti and G. A. Armstrong, "*High Tolerance to Gate Misalignment in Low Voltage Gate-Underlap Double Gate MOSFETs*", IEEE Electron Device Letters, vol. 29, pp. 03-05, 2008.
- [51] J. Widiez, F. Daud, M. Vinet et al, "*Experimental Gate Misalignment Analysis on Double Gate SOI MOSFETs*", IEEE International SOI Conference, pp. 85-86, 2004.
- [52] K. W. Guarini, P. M. Solomon, Y. Zhang et al, "*Triple-self-aligned, planar double-gate MOSFETs: devices and circuits*", IEEE International Electron Devices Meeting (IEDM), pp. 19.2.1-19.2.4, 2001.
- [53] J H. Lee, G. Taraschi, A. Wei et al, "*Super Self-Aligned Double-Gate (SSDG) MOSFETs Utilizing Oxidation Rate Difference and Selective Epitaxy*", IEEE International Electron Devices Meeting (IEDM) , pp. 3.5.1-3.5.4, 1999.
- [54] A. Nazarov, J. P. Colinge, F. Balestra et al, "*Semiconductor-On-Insulator Materials for Nanoelectronics applications*", Springer and Verlag Berlin Heidelberg, ISBN 978-3-642-15867-4, 2011.

- [55] J D. Hisamoto, W C. Lee, J. Kedzierski et al, “*FinFET A Self-Aligned Double-Gate MOSFET Scalable to 20 nm*”, IEEE Transactions on Electron Devices, vol. 47, pp. 20-25, 2000.
- [56] J. Kedzierski, M. Jeong, E. Nowak et al, “*Extension and Source/Drain Design for High-Performance FinFET Devices*”, IEEE Transactions on Electron Devices, vol. 50, pp. 52-58, 2003.
- [57] M. Tang, “*Études et Modélisation Compacte du Transistor FinFET*”, thèse de doctorat, université Louis Pasteur, 2009.
- [58] H W. Cheng and Y. Li, “*16-nm multigate and multifin MOSFET device and SRAM circuits*”, IEEE International Symposium on Next-Generation Electronics (ISNE), pp. 32-35, 2010.
- [59] Y. Liu, S. Kijima, E. Sugimata et al, “*Investigation of the TiN Gate Electrode With Tunable Work Function and Its Application for FinFET Fabrication*”, IEEE Transactions on Nanotechnology, vol. 5, pp. 23-30, 2006.
- [60] J W. Yang and J. G. Fossum, “*On the Feasibility of Nanoscale Triple-Gate CMOS Transistors*”, IEEE Transactions on Electron Devices, vol. 52, pp. 59-64, 2005.
- [61] F. Crupi, B. Kaczer, R. Degraeve et al, “*Reliability Comparison of Triple-Gate Versus Planar SOI FETs*”, IEEE Transactions on Electron Devices, vol. 53, pp. 51-57, 2006.
- [62] INTEL web site <<http://www.intel.com/content/www/us/en/silicon-innovations/intel-22nm-technology.html?wapkw=tri-gate+22nm>>.
- [63] M H. Chiang, J N. Lin, K. Kim et al, “*Optimal Design of Triple-Gate Devices for High-Performance and Low-Power Applications*”, IEEE Transactions on Electron Devices, vol. 55, pp. 23-28, 2008.
- [64] J T. Park and J. P. Colinge, “*Multiple-Gate SOI MOSFETs: Device Design Guidelines*”, IEEE Transactions on Electron Devices, vol. 49, pp. 22-29, 2002.
- [65] R. Ritzenthalerl, C. Dupre, X. Mescot et al, “*Mobility behavior in narrow  $\Omega$ -gate FETs devices*”, IEEE International SOI Conference, pp. 77-78, 2006.
- [66] A. Nitayama, H. Takato, N. Okabe et al, “*Multi-Pillar Surrounding Gate Transistor (M-SGT) for Compact and High-speed Circuits*”, IEEE Transactions on Electron Devices, vol. 38, pp. 79-83, 1991.

- [67] S. Miyano, M. Hirose, Fujio Masuoka, “*Numerical Analysis of a Cylindrical Thin-Pillar Transistor (CYNTHIA)*”, IEEE Transactions on Electron Devices, vol. 39, pp. 76-81, 1992.
- [68] S. H. Oh, “*Physics and Technologies of vertical transistors*”, thèse de doctorat, université de Stanford, 2001.
- [69] J. P. Coling, M. H. Gao, A. Romano et al, “*Silicon-on-Insulator "Gate-All-Around" MOS Device*”, IEEE International Electron Devices Meeting (IEDM), pp. 95-98, 1990.
- [70] N. Singh, A. Agarwal, L. K. Bera et al, “*High-Performance Fully Depleted Silicon Nanowire (Diameter  $\leq 5$  nm) Gate-All-Around CMOS Devices*”, IEEE Electron Device Letters, vol. 27, pp. 83-86, 2006.
- [71] W. Bian, J. He, L. Zhang et al, “*Sub-threshold behavior of long channel undoped cylindrical surrounding-gate MOSFETs*”, Microelectronics Reliability, vol. 49, pp. 97-03, 2009.
- [72] J. Song, B. Yu, Y. Yuan et al, “*A Review on Compact Modeling of Multiple-Gate MOSFETs*”, IEEE Transactions on Circuits and Systems, vol. 56, pp. 58-69, 2009.
- [73] Y. S. Chauhan, S. Venugopalan, M. A. Karim et al, “*BSIM – Industry Standard Compact MOSFET Models*”, European Solid-State Device Research Conference (ESSDERC), pp. 30-33, 2012.
- [74] *The Compact Model Coalition (CMC)*, web site <[https://www.si2.org/cmc\\_index.php](https://www.si2.org/cmc_index.php)>.
- [75] Y. S. Chauhan, S. Venugopalan, N. Paydavosi et al, “*BSIM Compact MOSFET Models for SPICE Simulation*”, International Conference on Mixed Design of Integrated Circuits and Systems (MIXDES), pp. 23-28, 2013.
- [76] N. Paydavosi, S. Venugopalan, Y. S. Chauhan et al, “*BSIM - SPICE Models Enable FinFET and UTB IC Designs*”, IEEE Access, vol. 1, pp. 01-15, 2013.
- [77] V. Sriramkumar, N. Paydavosi, J. Duarte et al, “*BSIM-CMG 107.0.0 Multi-Gate MOSFET Compact Model*”, Technical Manual, University of California, Berkeley, CA 94720, 2013.
- [78] M. V. Dunga, C. H. Lin, D. D. Lu et al, “*BSIM-MG: A Versatile Multi-Gate FET Model for Mixed-Signal Design*”, Symposium on VLSI Technology, pp. 60-61, 2007.

- [79] Y. Taur, “*An Analytical Solution to a Double-Gate MOSFET with Undoped Body*”, IEEE Electron Device Letters, vol. 21, pp. 45-47, 2000.
- [80] Y. Taur, “*Analytic Solutions of Charge and Capacitance in Symmetric and Asymmetric Double-Gate MOSFETs*”, IEEE Transactions on Electron Devices, vol. 48, pp. 61-60, 2001.
- [81] Y. Taur, X. Liang, W. Wang et al, “*A Continuous, Analytic Drain-Current Model for DG MOSFETs*”, IEEE Electron Device Letters, vol. 25, pp. 07-09, 2004.
- [82] J. M. Sallese, F. Krummenacher, F. Prégaldiny et al, “*A design oriented charge-based current model for symmetric DG MOSFET and its correlation with the EKV formalism*”, Solid-State Electronics, vol. 49, pp. 85-89, 2005.
- [83] O. Moldovan, A. Cerdeira, D. Jiménez et al, “*Compact model for highly-doped double-gate SOI MOSFETs targeting baseband analog applications*”, Solid-State Electronics, vol. 51, pp. 55-61, 2007.
- [84] F. Lime, B. Iñiguez and O. Moldovan, “*A Quasi-two-Dimensional Compact Drain Current Model for Undoped Symmetric Double-Gate MOSFETs Including Short Channel Effects*”, IEEE Transactions on Electron Devices, vol. 55, pp. 41-48, 2008.
- [85] G. Darbandy, J. Aghassi, J. Sedlmeir et al, “*Temperature dependent compact modeling of gate tunneling leakage current in double gate MOSFETs*”, Solid-State Electronics, vol. 81, pp. 24-29, 2013.
- [86] O. Moldovan, D. Jiménez, J. R. Guitart et al, “*Explicit Analytical Charge and Capacitance Models of Undoped Double-Gate MOSFETs*”, IEEE Transactions on Electron Devices, vol. 54, pp. 18-24, 2007.
- [87] M. Reyboz, O. Rozeau, T. Poiroux et al, “*An explicit analytical charge-based model of undoped independent double gate MOSFET*”, Solid-State Electronics, vol. 50, pp. 76-82, 2006.
- [88] A. O-Conde and J. G-Sánchez, “*Unification of asymmetric DG, symmetric DG and bulk undoped-body MOSFET drain current*”, Solid-State Electronics, vol. 50, pp. 96-00, 2006.
- [89] A. O-Conde, J. G-Sánchez, J. Muci et al, “*A Review of Core Compact Models for Undoped Double-Gate SOI MOSFETs*”, IEEE Transactions on Electron Devices, vol. 54, pp. 31-40, 2007.

- [90] D. Jiménez, B. Iñíguez, J. Suñé et al, “*Continuous Analytic I–V Model for Surrounding-Gate MOSFETs*”, IEEE Electron Device Letters, vol. 25, pp. 71-73, 2004.
- [91] J. He, Y. Tao, F. Liu et al, “*Analytic channel potential solution to the undoped surrounding-gate MOSFETs*”, Solid-State Electronics, vol. 51, pp. 02-05, 2007.
- [92] J. He, X. Zhang, G. Zhang et al, “*A carrier-based analytic DCIV model for long channel undoped cylindrical surrounding-gate MOSFETs*”, Solid-State Electronics, vol. 50, pp. 16-21, 2006.
- [93] J. He, W. Bian, Y. Tao et al, “*Analytic Carrier-Based Charge and Capacitance Model for Long-Channel Undoped Surrounding-Gate MOSFETs*”, IEEE Transactions on Electron Devices, vol. 54, pp. 78-85, 2007.
- [94] B. Iñíguez, D. Jiménez, J. Roig et al, “*Explicit Continuous Model for Long-Channel Undoped Surrounding Gate*”, IEEE Transactions on Electron Devices, vol. 52, pp. 68-73, 2005.
- [95] Y. Taur, J. Song, B. Yu, “*Compact Modeling of Multiple-Gate MOSFETs*”, IEEE Custom Intergrated Circuits Conference (CICC), pp. 57-64, 2008.
- [96] H. A. El Hamid, B. Iñíguez and J. R. Guitart, “*Analytical Model of the Threshold Voltage and Subthreshold Swing of Undoped Cylindrical Gate-All Around Based MOSFETs*”, IEEE Transactions on Electron Devices, vol. 54, pp. 72-79, 2007.

## **Chapitre 2**

# **Modélisation compacte du TMOS à Doubles Grilles (DG) : du composant vers la simulation (HDL) de circuits**

## 2.1 Introduction

Depuis l'invention du premier transistor, l'industrie Semi-conducteurs à toujours eu pour but l'amélioration des performances électriques des *CI*s (Circuits Intégrés) réalisés (Cf. Chapitre 1). Cela n'est obtenu que par la réduction de la taille des transistors, ainsi que l'augmentation du nombre de transistors intégrés dans les puces en technologie CMOS [1].

Selon les prédictions de l'ITRS (*International Technology Roadmap of Semiconductor*) la longueur de grille physique des MOSFETs peut être réduite jusqu'à 5-6 nm (Cf. Chapitre 1 § 1.1.1) [2]. Cependant, les effets indésirables et surtout les effets canaux courts (SCEs) sont l'obstacle majeur à cette réduction et à cette tendance à la miniaturisation (Cf. Chapitre 1 § 1.1.5). Le transistor MOS à double-grille (DG MOSFET) a été choisi comme l'un des meilleurs candidats pour le remplacement du MOSFET classique dans la fabrication des circuits CMOS à très grande échelle (VLSI). En effet, le DG MOSFET à plusieurs avantages, nous notons comme exemple, le faible courant de grille, un fort courant  $I_{on}$ , l'excellent contrôle des effets canaux courts et une pente sous le seuil  $SS$  quasi-idéale [3].

D'autre part, les modèles compacts des transistors DG MOSFET sont très utiles pour la simulation et l'analyse de circuits. En effet, un modèle compact est une description mathématique du comportement électrique du dispositif. Un modèle compact constitue donc un pont entre le niveau-transistor et le niveau-circuit, fournissant une manière d'analyser des transistors et d'établir des circuits plus complexes dans des simulateurs de circuits, tels que SPICE [4].

Dans la littérature, la modélisation compacte de TMOS à double-grille se fait de deux manières : implicite ou explicite. Dans le premier cas, le modèle utilise une procédure de calcul itératif [5, 6]. Dans le deuxième cas et de façon générale, ce type de modèle n'utilise pas de calcul itératif [7]. Cependant, les modèles explicites de formulation analytique simple sont les plus adaptés à la simulation de circuits.

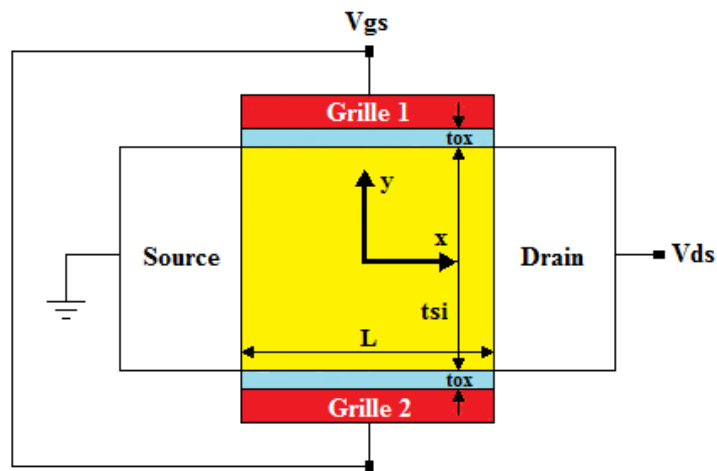
Dans cette partie, nous présentons une modélisation compacte de DG MOSFET à canal faiblement dopé. Pour cela, nous adoptons une approche de base physique qui permet de décrire le comportement statique et dynamique du dispositif via des expressions analytiques de formulation simple et adéquate à la simulation de circuits. Le modèle est validé pour le TMOS double-grille à canal long, ainsi que pour le canal court. Les effets tels que le DIBL, le  $V_T$  Roll-off et la dégradation de la mobilité sont pris en compte.

Afin de valider les résultats obtenus par la modélisation compacte réalisée, nous comparons ceux-ci à ceux obtenus par une simulation numérique réalisée grâce au logiciel commercial SILVACO-TCAD.

Enfin la dernière partie de ce chapitre sera consacrée à l'implémentation du modèle compact relatif au DG MOSFET dans le langage de description matériel Verilog-AMS. Nous effectuerons une analyse et simulation temporelle de circuits à base de DG MOSFET, tels que l'oscillateur *Colpitts* et l'inverseur avec charge passive, cela en utilisant le simulateur de circuit SMASH.

## 2.2 Présentation du dispositif considéré

La Figure.2.1, présente l'architecture du dispositif considéré. Ce dernier est un transistor MOS à double-grille faiblement dopé et symétrique (Cf. Chapitre 1 § 1.3.2). Les paramètres technologiques de ce transistor sont la longueur du canal  $L$ , l'épaisseur de l'oxyde  $t_{ox}$  et l'épaisseur de Silicium  $t_{si}$ .  $V_{gs}$  est la tension appliquée aux deux grilles et  $V_{ds}$  est la tension appliquée au drain.



**Figure.2.1** Structure considérée du TMOS à double-grilles (symétrique).

Nous considérons ainsi un transistor MOS à double-grilles à canal de Silicium type  $N$  faiblement dopé  $N_A = 1.10^{14} \text{ cm}^{-3}$ . Les régions Source et Drain sont fortement dopées  $N_D = 5.10^{21} \text{ cm}^{-3}$  et un métal de grille de type *mid-gap*.

Nous considérons deux cas de longueur du canal : un canal long  $L = 1 \mu\text{m}$  et un canal court  $L = 60 \text{ nm}$ . L'épaisseur de Silicium varie entre 20 et 25 nm, et une épaisseur d'oxyde  $t_{ox}$  de



$2nm$  [7]. Le courant de drain est ensuite calculé via la considération du modèle de transport *Drift-Diffusion*.

### 2.3 Description du modèle compact

Le progrès rapide des performances des circuits en technologie CMOS est lié, d'une part, au développement de nouvelles structures, telles que les multi-grilles SOI MOSFET, d'autre part, il est relatif à la réalisation et à la conception de circuit de plus en plus performants (Cf. Chapitre 1). Cependant, les concepteurs de circuit ont besoin de modèles compacts relatifs aux dispositifs MOS multi-grilles pour la conception et la simulation des circuits ainsi que pour la réalisation des systèmes-sur-puce [1]. Ces modèles doivent renseigner le concepteur de circuits sur l'aspect physique-électrique et technologique du composant. Tout cela de manière analytique compacte, simple et appropriée à la simulation précise de circuits.

En considérant un DG MOSFET de type  $N$ , on peut ignorer dans le processus de transport de charges la contribution des trous, l'équation de *Poisson* s'écrit alors en considérant uniquement la densité des électrons [8]:

$$\frac{d^2\Phi}{dy^2} = \frac{q.n}{\varepsilon_{si}} \quad (2.1)$$

Où  $\Phi$  est le potentiel électrostatique,  $n$  est la densité des électrons,  $\varepsilon_{si}$  est la permittivité du Silicium et  $q$  la charge élémentaire d'électrons.

Suivant la statistique de *Boltzmann*, la densité des électrons  $n$  peut être définie comme [9]:

$$n = n_i \cdot \exp\left(\frac{\Phi - V_{ch}}{\Phi_t}\right) \quad (2.2)$$

Où  $\Phi_t (= K.T/q)$  est l'unité de la tension thermodynamique,  $n_i$  correspond à la densité intrinsèque des porteurs dans le Silicium et  $V_{ch}$  le potentiel du quasi-niveau de Fermi.

En remplaçant la solution de l'Eq. (2.2) dans l'Eq. (1.1), l'équation de *Poisson* se réécrit comme suit:

$$\frac{d^2\Phi}{dy^2} = \frac{q.n_i}{\varepsilon_{si}} \cdot \exp\left(\frac{\Phi - V_{ch}}{\Phi_t}\right) \quad (2.3)$$

L'intégrale non bornée de l'Eq. (2.3), mène à la solution du champ électrique suivant [10]:

$$E = \sqrt{\frac{2 \cdot q \cdot n_i \cdot \Phi_t}{\epsilon_{si}}} \cdot \sqrt{\exp((\Phi - V_{ch}) / \Phi_t) + C_1} \quad (2.4)$$

Où  $C_1$  est la constante d'intégration.

À travers l'Eq. (2.4), le potentiel de surface  $\Phi_s = \Phi(y = t_{si} / 2)$  peut être exprimé comme suit :

$$\Phi_s = V_{ch} + \Phi_t \cdot \ln\left(\frac{Q_g^2}{2 \cdot \epsilon_{si} \cdot q \cdot \Phi_t \cdot n_i} - C_1\right) \quad (2.5)$$

Où  $Q_g$  correspond à la densité de charge de grille.

L'application de la loi de *Gauss* à l'interface de l'oxyde de grille mène à l'expression suivante [11]:

$$V_{gs} = \Delta\Phi_{MS} + \Phi_s + \frac{Q_g}{C_{ox}} \quad (2.6)$$

Où  $C_{ox}$  est la capacité de l'oxyde de grille et  $\Delta\Phi_{MS}$  est la différence des travaux de sortie entre le métal de grille et le silicium.

En remplaçant la solution de l'Eq. (2.5) dans l'Eq. (2.6) nous obtenons :

$$V_{gs} - \Delta\Phi_{MS} - V_{ch} = \frac{Q_g}{C_{ox}} + \Phi_t \cdot \ln\left(\frac{Q_g^2}{2 \cdot \epsilon_{si} \cdot q \cdot \Phi_t \cdot n_i} - C_1\right) \quad (2.7)$$

Où  $C_1 \approx -Q_g / q \cdot n_i \cdot (t_{si} / 2)$ .

La densité de charge de grille  $Q_g$  peut être calculée en utilisant la loi de *Gauss* [12]:

$$Q_g = \epsilon_{si} \cdot \left. \frac{d\Phi}{dy} \right|_{y=t_{si}/2} \quad (2.8)$$

Puisque ce dispositif est un transistor MOS à double-grille, nous avons donc deux densités de charges de grilles. La densité de charge mobile  $Q_m$  peut être alors calculée selon [13]:

$$Q_m = -2 \cdot Q_g \quad (2.9)$$

Ensuite, à travers la normalisation de la tension par rapport à  $\Phi_t$  et de la charge par rapport à  $4.C_{ox}.\Phi_t$  [10, 14], l'Eq. (2.7) se réécrit comme :

$$v_g - v_{ch} - v_{to} = 4.q_g + \ln(q_g) + \ln\left(1 + q_g \cdot \frac{C_{ox}}{C_{si}}\right) \quad (2.10)$$

Où  $v_{to} (= \Delta\Phi_{MS} - \ln(q_{ni} . t_{si} / 8.C_{ox} . \Phi_t))$  correspond à la tension de seuil dans le cas de DG MOSFET à canal long et  $C_{si}$  est la capacité de Silicium.

L'Eq. (2.10) que nous venons d'obtenir est une équation primordiale qui relie les tensions, la densité de charge et les différentes capacités. Cette équation implicite permettra, en la résolvant, de calculer la densité de charge mobile. Nous détaillerons ceci dans les paragraphes qui vont suivre.

### 2.3.1 Le courant de drain

Suivant le modèle de transport *Drift-Diffusion*, le courant de drain s'obtient via l'intégration de la densité de charge mobile de la source vers le drain [11]:

$$I_{ds} = -\mu \cdot \frac{W}{L} \int_0^{V_{ds}} Q_m dV_{ch} \quad (2.11)$$

Où  $\mu$  est la mobilité des électrons et  $w$  la largeur du dispositif.

En utilisant les Eqs. (2.8), (2.9) et (2.11), l'expression du courant de drain normalisée se présente comme suit [14]:

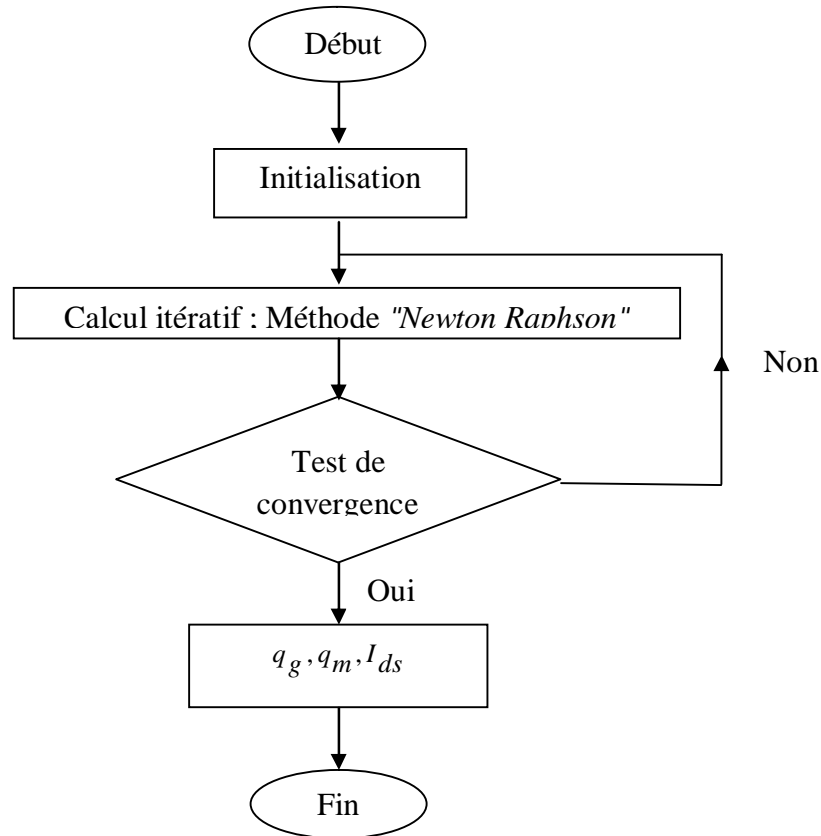
$$i = \left\{ -(q_{md} - q_{ms})^2 + 2.(q_{md} - q_{ms}) + 2.(C_{si} / C_{ox}).\ln\left[1 - (q_{md} - q_{ms}).\left(C_{ox} / 2.C_{si}\right)\right] \right\} \quad (2.12)$$

Le courant de drain final peut être ensuite calculé après denormalization de la solution de l'Eq. (2.12) par le facteur  $4.\mu.C_{ox}.\Phi_t^2.(W/L)$ .

### 2.3.2 Calcul de la densité de charge mobile

### 2.3.2.1 Calcul itératif

De manière simple, la densité de charge mobile est calculée à travers le calcul itératif de la densité de charge de grille appliquée à l'Eq. (2.10), cela en utilisant la méthode de *Newton Raphson* [15], comme présenté sur l'organigramme de la Figure.2.2.

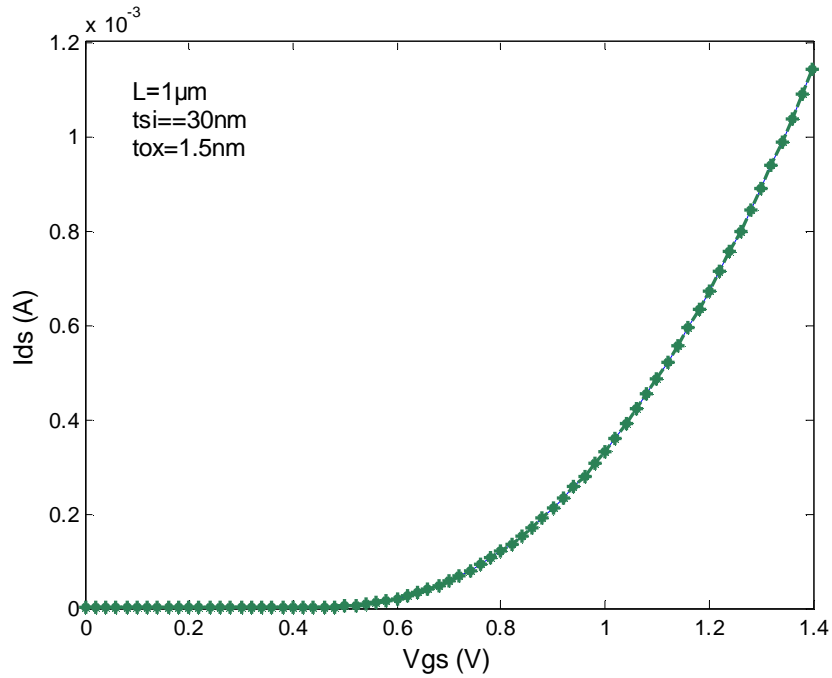


**Figure.2.2** Organigramme décrivant les étapes principales du calcul itératif de la charge en utilisant la méthode "Newton Raphson".

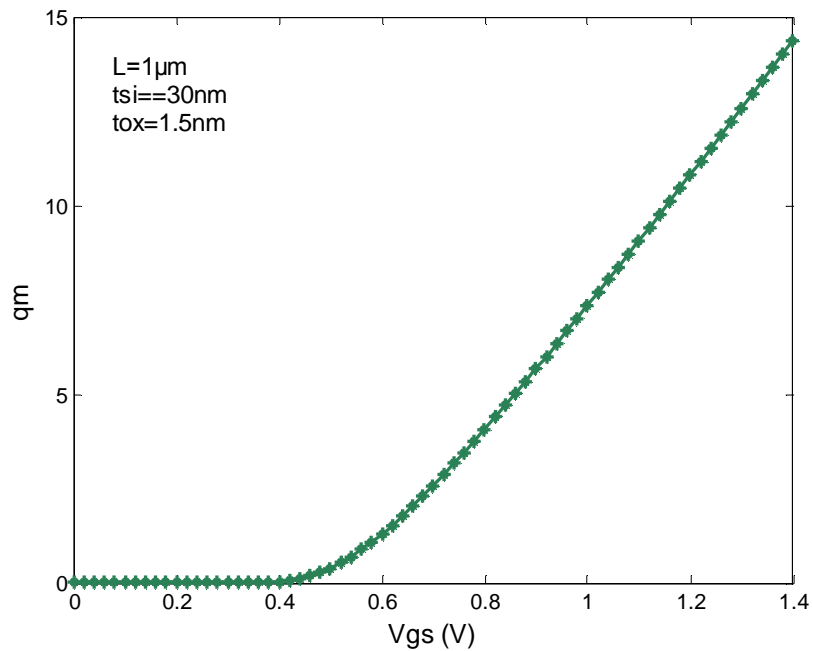
La Figure.2.2, représente l'organigramme des étapes principales du calcul itératif de la densité de charge. Nous commençons donc par la définition de la charge initiale ainsi que les paramètres technologiques et physiques du composant. Ensuite, pour chaque itération (de 1 à  $n$ ), on calcule la charge ainsi que l'erreur absolue. De manière simple, le calcul de la charge est basé sur l'équation non linéaire (Eq. (2.10)) et sa dérivée, ainsi que l'utilisation de la formule principale de "Newton Raphson". Lorsque l'erreur est très petite (test d'erreur pour chaque itération), donc ça converge, cela permet par la suite de calculer la densité de charge mobile totale et le courant de drain.

La Figure.2.3(b), montre le tracé de la densité de charge mobile (normalisée) en fonction de la tension de grille  $V_{gs}$ . Cette densité de charge est calculée de manière itérative,

pour  $V_{ds}$  égale à 1V et  $V_{gs}$  variant de 0 à 1.4V. On peut voir, l'évolution logique de la densité de charge mobile ainsi que le courant de drain. Cette dernière permet d'avoir un courant de drain de comportement prévisible à partir de faible à la forte inversion (Figure.2.3 (a)).



(a)



(b)

**Figure.2.3** Variation du courant de drain en fonction de la tension de grille pour un DG MOS à canal long (a) ; variation de la densité de charge mobile normalisée en fonction de la tension de grille du DG MOS à canal long (b), pour  $V_{ds}=1\text{V}$ .

Cependant, au niveau de la simulation de circuits un modèle itératif n'est pas adéquat. En effet, un circuit électrique peut contenir un grand nombre de transistors, et le calcul itératif de la charge, du potentiel et d'autres paramètres consomme un temps de calcul prohibitif.

### 2.3.2.2 Calcul direct

Pour résoudre le problème de calcul itératif, la densité de charge mobile doit être calculée de manière explicite. Cela dans le régime linéaire et dans le régime de saturation.

Pour  $v(=v_g - v_{ch} - v_{to})$ ,  $\alpha(C_{ox} / C_{si})$  et  $q(=q_g)$ , l'Eq. (2.10) se réécrit comme suit [16]:

$$v = 4.q + \ln[q(1 + \alpha.q)] \quad (2.13)$$

#### ✚ La densité de charges en régime de saturation

Dans ce régime de fonctionnement, la densité de charge d'inversion est importante ( $q \gg 1$ ). Le développement en série de *Taylor* (au 1<sup>er</sup> ordre) du terme  $\ln[q(1 + \alpha.q)]$  autour de  $q = q_t$ , donne [17]:

$$\ln[q(1 + \alpha.q)] = \ln[q_t(1 + \alpha.q_t)] + 2 \left[ \frac{q - q_t}{q + q_t} + \frac{\alpha(q - q_t)}{2 + \alpha(q + q_t)} \right] \quad (2.14)$$

Après injection de l'Eq. (2.14) dans l'Eq. (2.13) et réarrangement, une équation de second ordre est obtenue selon la forme suivante :

$$4.q^2 + (4.q_t + a + b - v).q + [q_t(b - a - v)] = 0 \quad (2.15)$$

Où  $a = \frac{2.(1 + 2.\alpha.q_t)}{1 + \alpha.q_t}$  et  $b = \ln[q_t(1 + \alpha.q_t)]$ .

La solution de l'Eq. (2.15), s'obtient alors :

$$q_0 = 1/2 \left[ \left( \frac{v - a - b}{4} - q_t \right) + \sqrt{\left( \frac{v - a - b}{4} - q_t \right)^2 + 2\alpha.q_t} \right] \quad (2.16)$$

En remplaçant la solution de l'Eq. (2.16) dans le terme  $\ln[q(1 + \alpha.q)]$  de l'Eq. (2.13), la densité de charge de grille en régime de saturation  $q_{gS}$  est ensuite calculée de manière directe via la solution suivante :

$$q_{gS} = 1/4 \cdot \{v - \ln[q_0 \cdot (1 + \alpha.q_0)]\} \quad (2.17)$$

### ✚ La densité de charges en régime linéaire

Dans le régime de fonctionnement linéaire, la densité de charge d'inversion  $q$  est faible. À cet effet, le premier terme du côté droit de l'Eq. (2.13) peut être négligé devant le terme  $\ln[q(1 + \alpha.q)]$ , et l'Eq. (2.13) peut être réécrite comme suit [16]:

$$v = \ln q + 1 / F_W(\ln q) \quad (2.18)$$

Où  $F_W(\ln q) = \frac{1}{4.q_t \exp(\Delta \ln q) + \ln(1 + \alpha.q \cdot \exp(\Delta \ln q))}$  et  $\Delta \ln q = \ln q - \ln q_t$ .

Le développement en série de *Taylor* de  $F_W(\ln q)$  autour de  $\Delta \ln q = 0$  mène à l'expression suivante [17]:

$$F_W(\ln q) = \frac{1}{4.q_t + \ln(1 + \alpha.q_t)} \left[ 1 - \frac{q_t [4 + \alpha(1 + 4.q_t)]}{(1 + \alpha.q_t) \cdot (4.q_t + \ln(1 + \alpha.q_t))} \Delta \ln q \right] \quad (2.19)$$

En remplaçant la solution de l'Eq. (2.19) dans l'Eq. (2.18), nous aboutissons à l'équation suivante (après arrangement):

$$\frac{1}{b} \cdot \ln^2 q + \left( 1 + \frac{\ln q_t - v}{b} \right) \ln q + \left( a - v + \frac{v \cdot \ln q_t}{b} \right) = 0 \quad (2.20)$$

Où  $a = 4.q_t + \ln(1 + \alpha.q_t)$  et  $b = \frac{a(1 + \alpha.q_t)}{q_t [4 \cdot (1 + \alpha) + \alpha]}$ .

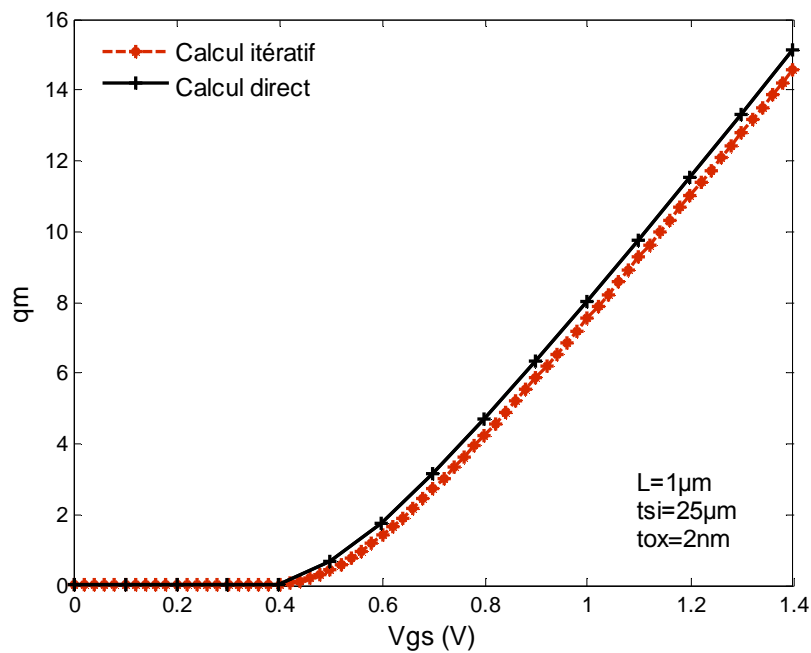
La solution de l'Eq. (2.20) est donnée par [16]:

$$q_0 = \exp \left\{ 1/2 \cdot \left[ v + (b + \ln q_t) - \sqrt{[v - (b + \ln q_t)]^2 + 4ab} \right] \right\} \quad (2.21)$$

Ainsi et en remplaçant la solution de l'Eq. (2.21) dans l'expression  $v = 4.q_0 + \ln[q.(1 + \alpha.q)]$  de l'Eq. (2.13), nous parvenons à avoir l'expression de la densité de charge de grille en régime linéaire  $q_{gL}$  :

$$q_{gL} = \frac{\exp(v - 4q_0)}{1/2 + \sqrt{1/4 + \alpha.\exp(v - 4q_0)}} \quad (2.22)$$

Sur la Figure.2.4, nous comparons la densité de charge mobile calculée de manière directe avec celle obtenue via le calcul itératif de la charge avec la méthode *Newton Raphson* (Cf. § 1.3.2.1), pour une tension de drain constante  $V_{ds} = 1V$  et une tension de grille  $V_{gs}$  varie de 0 à 1.4V. On peut nettement voir que la densité de charge obtenue avec le calcul itératif est en bon accord avec celle obtenue via le calcul direct.



**Figure.2.4** Variation de la densité de charge mobile normalisée en fonction de la tension de grille, comparaison entre le calcul itératif (en rouge) et le calcul direct (en noir), pour  $V_{ds}=1V$ .



### 2.3.3 Les effets canaux courts

À partir de l'équation de *Poisson* en 2D, puis, en considérant l'approximation parabolique du potentiel électrostatique dans la direction verticale (avec  $d\Phi/dy|_{y=t_{si}/2} = 0$ ), le potentiel électrostatique peut être exprimé par [18, 19]:

$$\Phi(x, y) = \Phi_s(x) + \frac{\varepsilon_{ox}}{\varepsilon_{si}} \cdot \frac{\Phi_s(x) - (V_{gs} - V_{fb})}{t_{ox}} \cdot y - \frac{\varepsilon_{ox}}{\varepsilon_{si}} \cdot \frac{\Phi_s(x) - (V_{gs} - V_{fb})}{t_{ox} \cdot t_{si}} \cdot y^2 \quad (2.23)$$

Où  $V_{fb}$  est la tension de bande plate.

Le potentiel de surface  $\Phi_s(x)$  est défini par [19]:

$$\Phi_s(x) = \frac{1}{1 + \frac{\varepsilon_{ox}}{4 \cdot \varepsilon_{si}} \cdot \frac{t_{si}}{t_{ox}}} \left[ \Phi_c(x) + \frac{\varepsilon_{ox}}{4 \cdot \varepsilon_{si}} \cdot \frac{t_{si}}{t_{ox}} \cdot (V_{gs} - V_{fb}) \right] \quad (2.24)$$

Avec  $\Phi_c(x)$  est le potentiel électrostatique au centre du canal de Silicium. Ce dernier s'écrit comme [13]:

$$\begin{aligned} \Phi_c(x) = & V_{gs} - \Delta\Phi_{MS} \\ & + (V_{bi} - \Phi_F + V_{ds} - V_{gs} - \Delta\Phi_{MS}) \frac{\sinh\left(\frac{x}{l}\right)}{\sinh\left(\frac{L}{l}\right)} + (V_{bi} - \Phi_F - V_{gs} - \Delta\Phi_{MS}) \frac{\sinh\left(\frac{L-x}{l}\right)}{\sinh\left(\frac{L}{l}\right)} \end{aligned} \quad (2.25)$$

Où :

$V_{bi}$  est la tension de jonction drain-canal et source-canal.

$l = \sqrt{\frac{\varepsilon_{si} \cdot t_{si} \cdot t_{ox}}{2 \cdot \varepsilon_{ox}} \left( 1 + \frac{\varepsilon_{ox} \cdot t_{si}}{4 \cdot \varepsilon_{si} \cdot t_{ox}} \right)}$  est la longueur naturelle de DG MOSFET [19].

$\Phi_{c\min}$  étant le potentiel électrostatique minimal. Ce dernier peut être évalué via  $d\Phi_c(x)/dx|_{x=L/2}$ .

En tenant compte de cette dernière expression et de l'Eq. (2.25),  $\Phi_{c\min}$  s'écrit comme :

$$\Phi_{c\min} = V_{gs} - \Delta\Phi_{MS} + \left[ 2 \cdot (V_{bi} - \Phi_F - V_{gs} - \Delta\Phi_{MS}) + V_{ds} \right] \frac{\sinh\left(\frac{L}{2l}\right)}{\sinh\left(\frac{L}{l}\right)} \quad (2.26)$$

La tension de seuil du dispositif à canal court peut être définie comme étant la tension de grille  $V_{gs}$  pour laquelle  $\Phi_{c_{min}}$  de l'Eq. (2.26) est égal à  $\Phi_{to} = v_{to} \cdot \Phi_t$  [20].

Ainsi, nous pouvons déterminer la tension de seuil du DG MOSFET à canal court selon [13]:

$$v_{th} = \frac{v_{to} - [2 \cdot (v_{bi} - \Phi_F) + v_{ds}] \frac{\sinh\left(\frac{L}{2l}\right)}{\sinh\left(\frac{L}{l}\right)}}{1 - 2 \cdot \frac{\sinh\left(\frac{L}{2l}\right)}{\sinh\left(\frac{L}{l}\right)}} \quad (2.27)$$

Où  $v_{to}$  est la tension de seuil normalisée du dispositif à canal long.

#### ✚ Décalage de la tension de seuil liée à l'effet DIBL et au $V_T$ Roll-off

De manière analytique simple, l'effet DIBL et le  $V_T$  Roll-off représentent le décalage  $\Delta v_{th}$  entre la tension de seuil du dispositif à canal court  $v_{th}$  et celle  $v_{to}$  du dispositif à canal long (Cf. Chapitre 1 § 1.1.5.1) [12] :

$$\Delta v_{th} = v_{to} - v_{th} \quad (2.28)$$

En remplaçant l'Eq. (2.27) dans l'Eq. (2.28), nous obtenons le décalage de la tension  $\Delta v_{th}$  (après arrangement et approximation) [13]:

$$\Delta v_{th} = \gamma \cdot [2 \cdot (v_{bi} - \Phi_F - v_{to}) + v_{ds}] \quad (2.29)$$

Où  $\gamma = \exp(-L/2l)$ .

#### ✚ Dégradation de la mobilité

La dégradation la mobilité liée au champ électrique transversal et longitudinal est donnée par l'expression suivante [11] :

$$\mu_{eff} = \frac{\mu_T}{1 + \frac{\mu_T}{\mu_L}} \quad (2.30)$$

Où :

$\mu_T$  est la mobilité liée au champ transversal.

$\mu_L$  la mobilité liée au champ longitudinal.

En appliquant la définition de la saturation de la vitesse des porteurs en fonction et de la mobilité et du champ latéral,  $\mu_L$  peut être écrit de manière simplifiée, comme :

$$\mu_L = \frac{v_{sat}}{\frac{v_{ds}}{L}} \frac{1}{\Phi_t} \quad (2.31)$$

Où  $v_{sat}$  correspond à la vitesse de saturation des porteurs.

La mobilité liée au champ transversal est donné par [13]:

$$\mu_T = \frac{\mu_0}{1 + \frac{E_{eff}}{E_0}} \quad (2.32)$$

Où :

$\mu_0$  correspond la mobilité des porteurs à faible champ électrique, cette dernière est considérée comme paramètre d'ajustement.

$E_{eff} (= q_g \cdot A \cdot C_{ox} \cdot U_T / \epsilon_{si})$  est le champ électrique effectif.

En remplaçant la solution de l'Eq. (2.31) et (2.32) dans l'Eq. (2.30), l'expression finale de la mobilité s'écrit comme :

$$\mu_{eff} = \frac{\mu_T}{1 + \mu_T \cdot \frac{v_{ds}}{L} \cdot \frac{\Phi_t}{v_{sat}}} \quad (2.33)$$

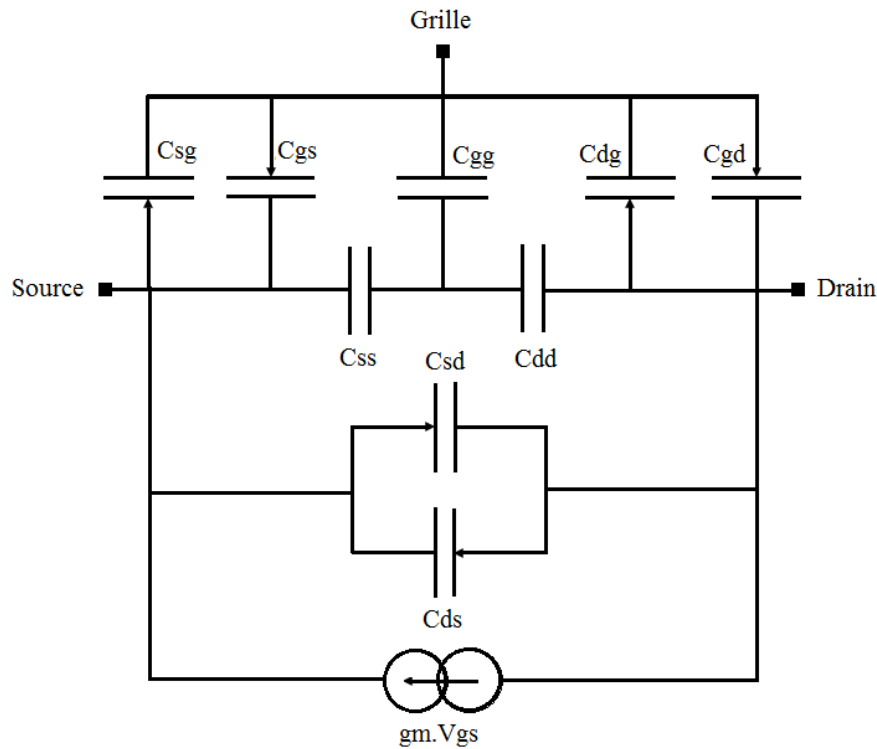
### 2.3.4 Les capacités intrinsèques

Les capacités intrinsèques du transistor peuvent être définies comme la dérivation de la charge par rapport à la tension appliquée aux différents terminaux [21]:

$$C_{xy} = -\frac{\partial Q_x}{\partial V_y} \Big|_{x \neq y} = \frac{\partial Q_x}{\partial V_y} \Big|_{x=y} \quad (2.34)$$

Où  $x, y = G, S, D$  (Grille, Source et Drain).

Puisque nous considérons le mode d'opération symétrique (Figure.2.1), le TMOS à double-grille peut être considéré comme un dispositif à trois terminaux. Le schéma équivalent du dispositif en incluant les capacités intrinsèques se présente comme suit [22]:



**Figure.2.5** Circuit équivalent du TMOS à double-grilles en mode d'opération symétrique en prenant en compte les capacités intrinsèques.

La Figure.2.5, représente le circuit équivalent du DG MOSFET symétrique. Où  $C_{sg}$ ,  $C_{gs}$ ,  $C_{gg}$ ,  $C_{dg}$ ,  $C_{gd}$ ,  $C_{ss}$ ,  $C_{sd}$ ,  $C_{dd}$ ,  $C_{ds}$ ,  $g_m$ , sont, respectivement, les capacités : source-grille, grille-source, grille-grille, drain-grille, grille-drain, source-source, source-drain, drain-drain, drain-source et la transconductance de grille.

En se basant sur la densité de charge mobile calculée précédemment, et à partir du modèle EKV [14], des travaux de *F. Prégaldiny*, *F. Krummenacher*, *J - M. Sallese et al* [23, 24], les capacités intrinsèques sont calculées de manière directe suivants les expressions représentées dans le Tableau.2.1.

Capacité	Expression analytiques
Drain-grille	$C_{dg} = -1/15.C_{ox\_T} \left[ \frac{4\chi_f^3 + 6\chi_r^3 + 28\chi_f^2\chi_r - 10\chi_f^2 - 15\chi_f\chi_r + 22\chi_f\chi_r^2 - 10\chi_r^2}{(\chi_f + \chi_r)^3} \right]$
Source-grille	$C_{sg} = 1/15.C_{ox\_T} \left[ \frac{4\chi_r^3 + 6\chi_f^3 + 28\chi_r^2\chi_f - 10\chi_r^2 - 15\chi_f\chi_r + 22\chi_r\chi_f^2 - 10\chi_f^2}{(\chi_f + \chi_r)^3} \right]$
Drain-source	$C_{ds} = 2/15.C_{ox\_T} \left[ \frac{(2\chi_f - 1) + (\chi_f^2 + \chi_r^2 + 3\chi_f\chi_r)}{(\chi_f + \chi_r)^3} \right]$
Source-drain	$C_{sd} = -2/15.C_{ox\_T} \left[ \frac{(2\chi_r - 1) + (\chi_f^2 + \chi_r^2 + 3\chi_f\chi_r)}{(\chi_f + \chi_r)^3} \right]$
Grille-grille	$C_{gg} = C_{sg} - C_{dg}$
Grille-source	$C_{gs} = -C_{sd} + C_{ds} - C_{sg}$
Grille-drain	$C_{gd} = C_{sd} + C_{ds} + C_{dg}$
Drain-drain	$C_{dd} = -C_{dg} - C_{ds}$
Source-source	$C_{ss} = -C_{sg} - C_{sd}$

**Tableau.2.1** Expressions analytiques des capacités intrinsèques du TMOS à double-grille en mode d'opération symétrique.

Où :

$C_{ox\_T} (= 2.W.L.C_{ox})$  est la capacité de l'oxyde total.

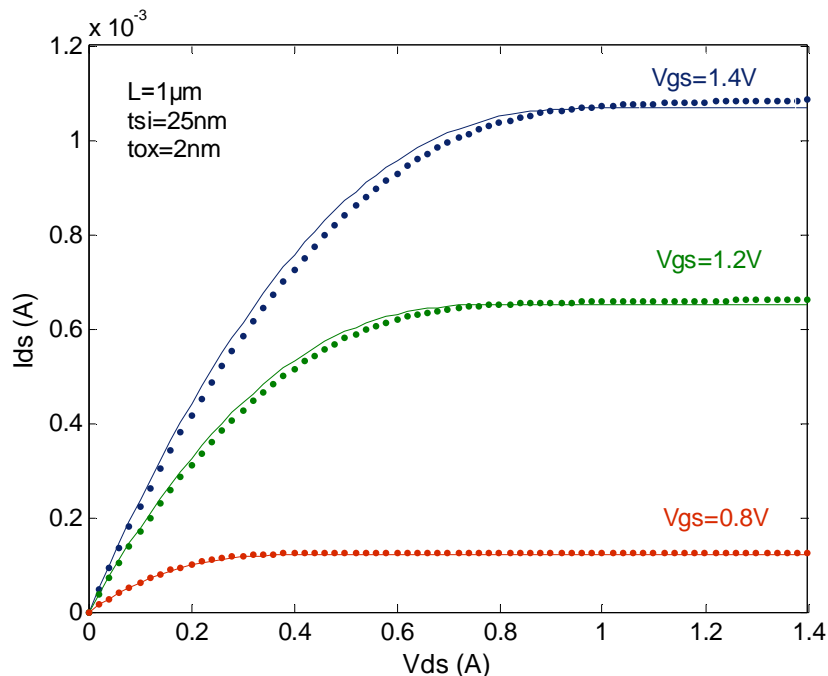
$\chi_f (= \sqrt{1/4 + i_{f0}})$  et  $\chi_r (= \sqrt{1/4 + i_{r0}})$  sont de variables qui dérivent du modèle EKV développé pour le MOSFET "bulk" [14].

## 2.4 Résultats et discussions

### 2.4.1 Validation : Modèle vs Simulation numérique

Afin de vérifier l'exactitude et la précision des résultats obtenus par la modélisation analytique compacte du TMOS à Double-grilles, nous confrontons ceux-ci avec ceux obtenus via la simulation numérique du transistor. Dans notre cas, nous utilisons l'outil ATLAS du logiciel commercialisé SILVACO-TCAD pour la simulation numérique (2D) du DG MOSFET [25]. La validation des résultats de la modélisation compacte du TMOS à Double-grilles permet, d'une part de vérifier la précision du modèle. D'autre part, d'aller vers l'utilisation du modèle dans la simulation et la conception de circuits.

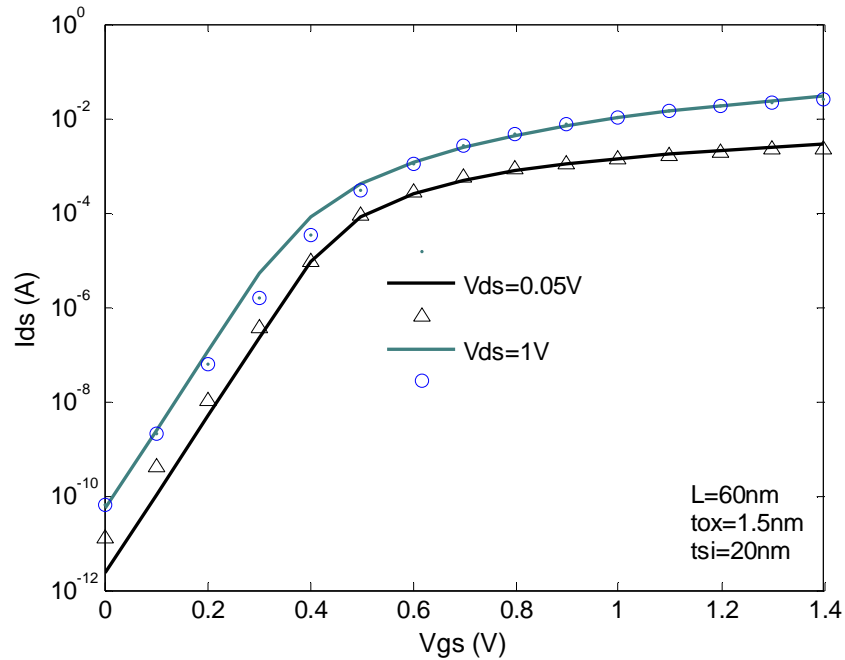
Sur la figure.2.6, nous comparons le courant de drain modélisé avec le courant de drain calculé via la simulation numérique du dispositif à canal long. Pour  $V_{ds}$  variant de 0.0, à 1.4V et  $V_{gs} = 0.8$  à 1.2 et 1.4V. Les résultats que nous avons obtenus par modélisation compacte présentent une bonne pression en comparaison avec les résultats de la simulation numérique réalisés par SILVACO-TCAD.



**Figure.2.6** Variation du courant de drain en fonction de la tension de drain du DG MOSFET à canal long pour différentes tensions de grille. Ligne : modèle ; Points : Simulation numérique.

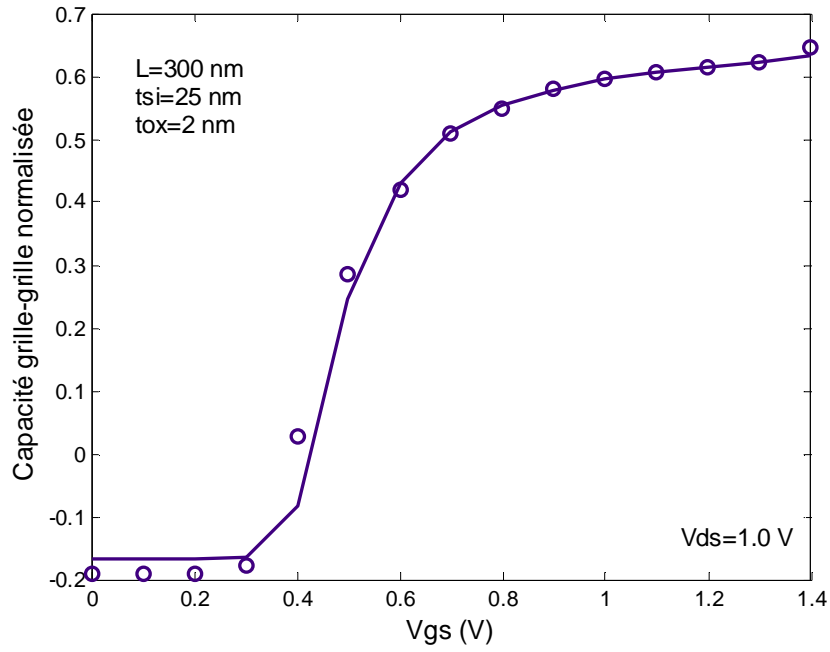
Sur la Figure.2.7, le courant de drain modélisé est comparé avec celui obtenu par la simulation numérique du dispositif à canal court  $L = 60\text{nm}$ . Nous voyons que le décalage dû

l'effet DIBL et au  $V_T$  Roll-off est bien inclus. Le courant du modèle coïncide avec les résultats de la simulation numérique aussi bien dans le cas du dispositif à canal long que court.



**Figure.2.7** Variation du courant de drain en fonction de la tension de drain du DG MOSFET à canal court (échelle Semi-Log). Ligne : modèle ; Symboles : Simulation numérique.

Afin de valider les résultats de la modélisation qui décrivent l'aspect dynamique du composant, nous comparons la capacité grille-grille (capacité principale  $C_{gg} = C_{sg} - C_{dg}$ ) avec la simulation numérique du composant. D'après la Figure.2.8, un bon accord est également obtenu dans le cas de la capacité grille du DG MOSFET de longueur égal à 300nm.

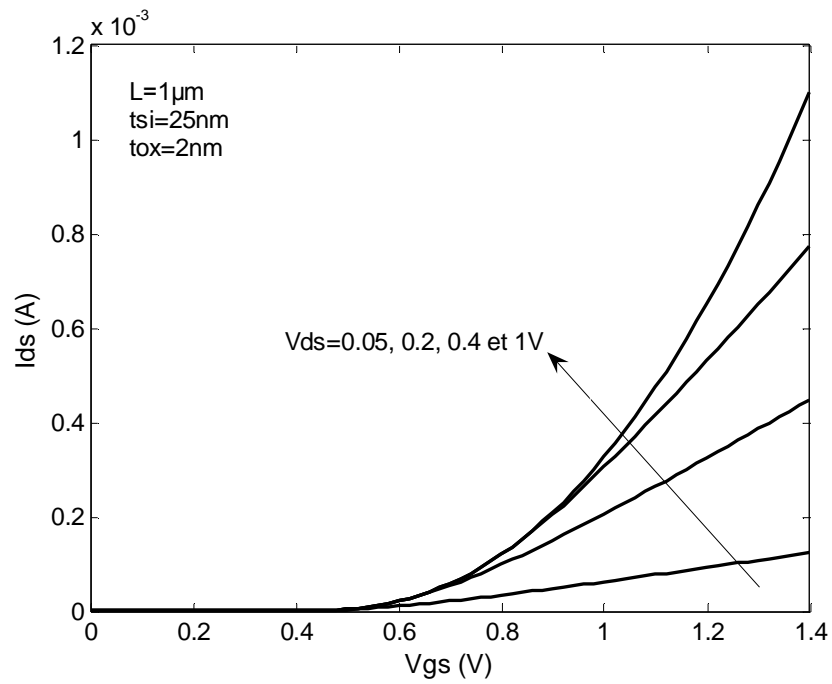


**Figure.2.8** Variation de la capacité grille-grille en fonction le tension de grille.  
Ligne : modèle ; Symboles : Simulation numérique.

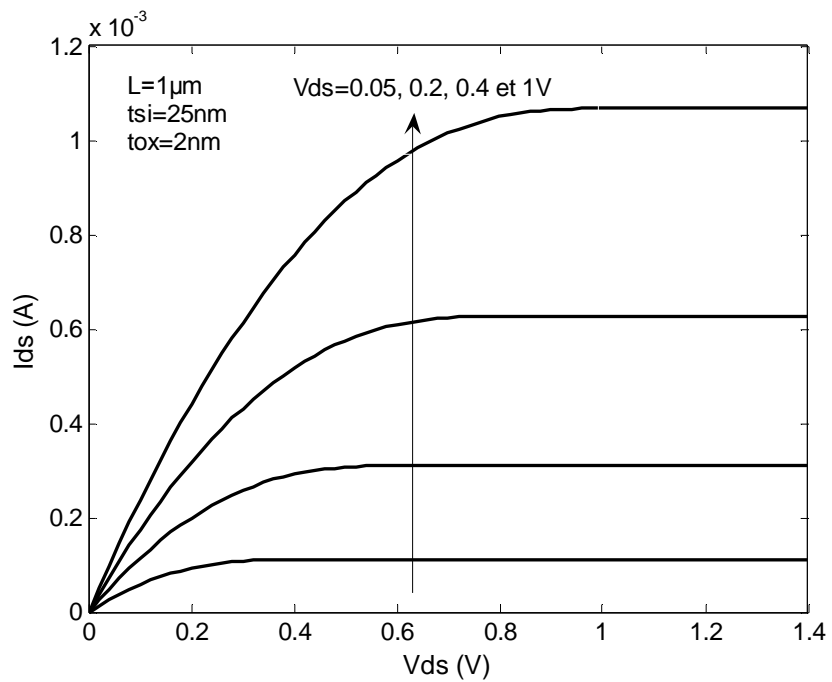
### 2.4.2 Analyse du courant de drain et influence des paramètres technologiques

La Figure.2.9, montre la variation du courant modélisé en fonction des tensions appliquées sur la grille  $V_{gs}$  et sur le drain  $V_{ds}$ , pour un dispositif de longueur du canal  $1\mu m$ , de largeur fixée à  $W = 1\mu m$  et une mobilité constante  $\mu = 1000 cm^2 / V.s$ .





(a)

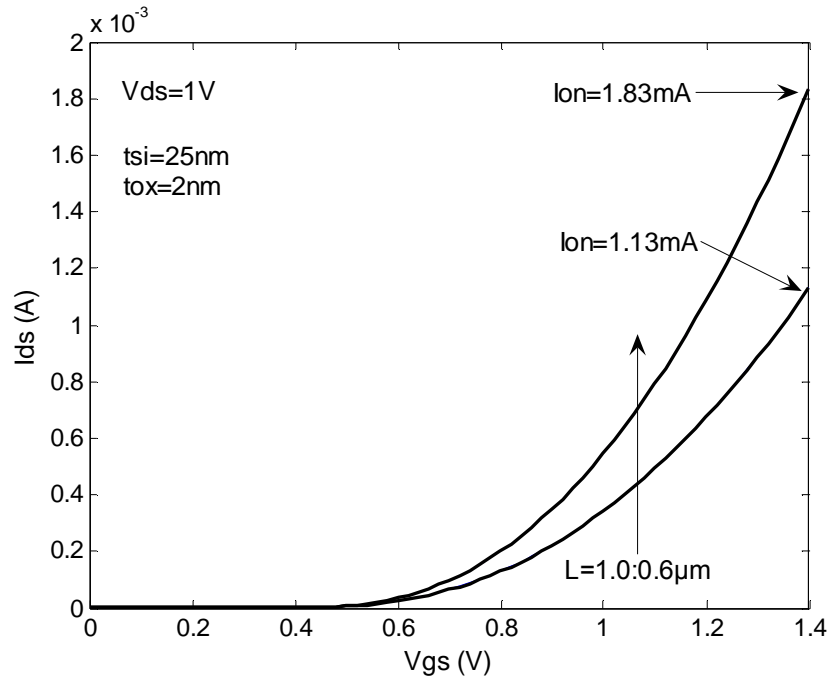


(b)

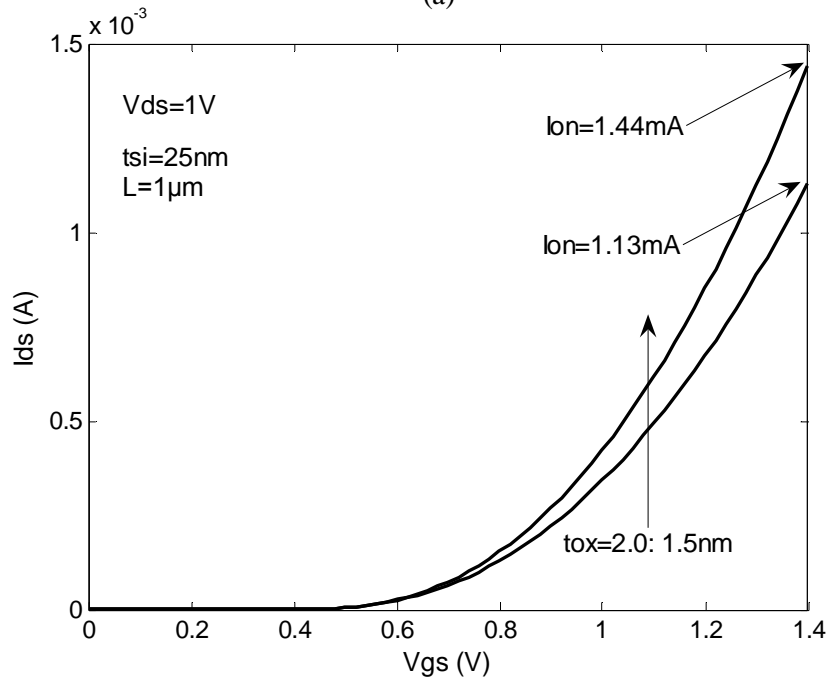
**Figure.2.9** Caractéristiques de transfert (a); caractéristiques de sortie (b), pour un DG MOSFET à canal long.

Sur la Figure.2.10, nous présentons l'influence de paramètres technologiques du TMOS à double-grilles, tels que la longueur de canal de Silicium et l'épaisseur de l'oxyde. On

peut voir que la réduction de la longueur ( $L=1.0:0.6\mu\text{m}$ ) (Figure.2.10(a)) et l'épaisseur de l'oxyde ( $t_{ox}=2.0:1.5\mu\text{m}$ ) (Figure.2.10(b)) sont accompagnés par un accroissement du courant de drain et du courant  $I_{on}$ .



(a)

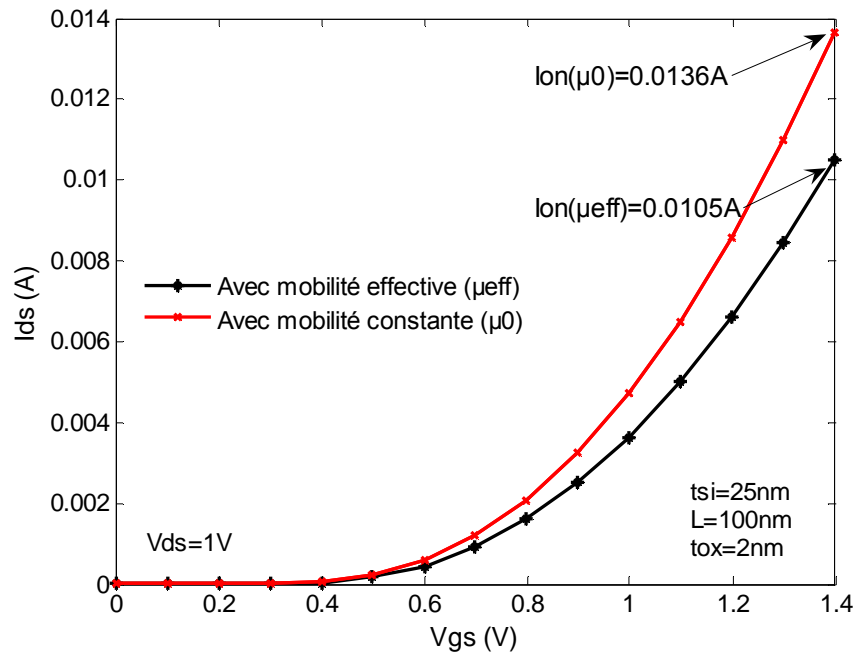


(b)

**Figure.2.10** Caractéristiques de transfert pour un DG MOSFET : influence de la longueur du canal  $L=1.0:0.6\mu\text{m}$  (a) ; influence de l'épaisseur de l'oxyde  $t_{ox}=2.0:1.5\mu\text{m}$  (b).

### 2.4.3 Effet de la dégradation de la mobilité

La Figure.2.11, montre la variation du courant de drain en fonction de la tension de grille pour un TMOS à double-grille de 100nm de longueur du canal, une épaisseur de Silicium de 25nm et un épaisseur d'oxyde de 2nm. À partir de cette figure, on peut voir l'effet de la dégradation de la mobilité sous l'effet du champ électrique transversal et latéral. Cette dégradation se traduit essentiellement par la réduction du courant de drain et surtout du courant  $I_{on}$ . Dans le cas de la mobilité constante  $I_{on}(\mu_0) = 0.0136A$  alors que dans le cas de la mobilité effective  $I_{on}(\mu_{eff}) = 0.0105A$ .



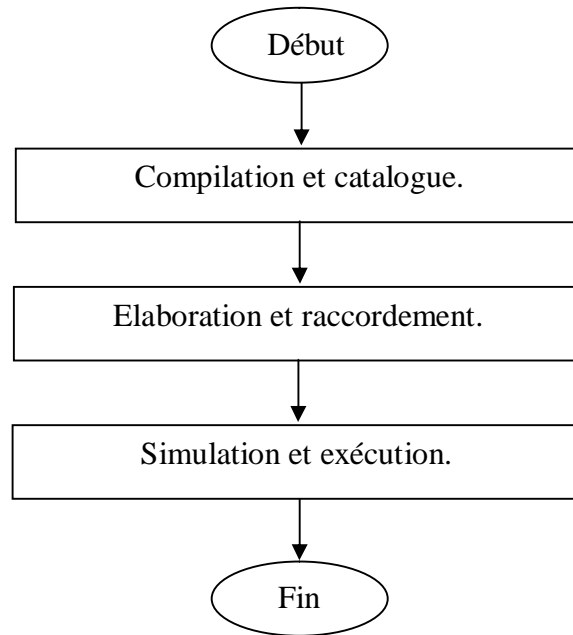
**Figure.2.11** Influence de l'effet de la dégradation de la mobilité sur la caractéristique de transfert du TMOS à double-grilles.

## 2.5 Application : simulation de circuits

Dans cette partie, nous allons effectuer des simulations et surtout une analyse temporelle de circuits à base de TMOS à double-grilles. Ces derniers sont décrits à travers le modèle présenté précédemment dans § 1.3 et 1.4. Pour cela, nous implémentons le modèle dans un langage de description matériel (HDL), dans notre cas c'est le Verilog-AMS. Le code Verilog-AMS est ensuite inséré dans le flot de simulation HDL du simulateur de circuits SMASH.

### 2.5.1 Description du flot de simulation HDL

De manière générale, les étapes principales d'une simulation HDL de simulateur de circuits SMASH sont partagées en trois parties [26]. Cela comme présente l'organigramme de la Figure.2.12 :



**Figure.2.12** Organigramme décrivant les étapes principales d'une simulation HDL dans l'environnement SMASH.

La Figure.2.12 montre l'organigramme des étapes principales de la simulation HDL suivi par SMASH. Dans une première partie, les modèles en langage de description matérielle (HDL) sont compilés dans des bibliothèques partagées de manière binaire ; ensuite ils sont ajoutés au catalogue principal. La deuxième partie est consacrée à l'élaboration et le raccordement de chaque exemple du modèle à la hiérarchie de conception. L'élaboration est réalisée à travers le chargement des modules dans la hiérarchie de conception, liant chaque exemple à ses ports, cela en résolvant des références hiérarchiques. La dernière partie est réservée pour la simulation et l'exécution de la conception élaborée.

### 2.5.2 Implémentation du modèle dans le langage Verilog-AMS

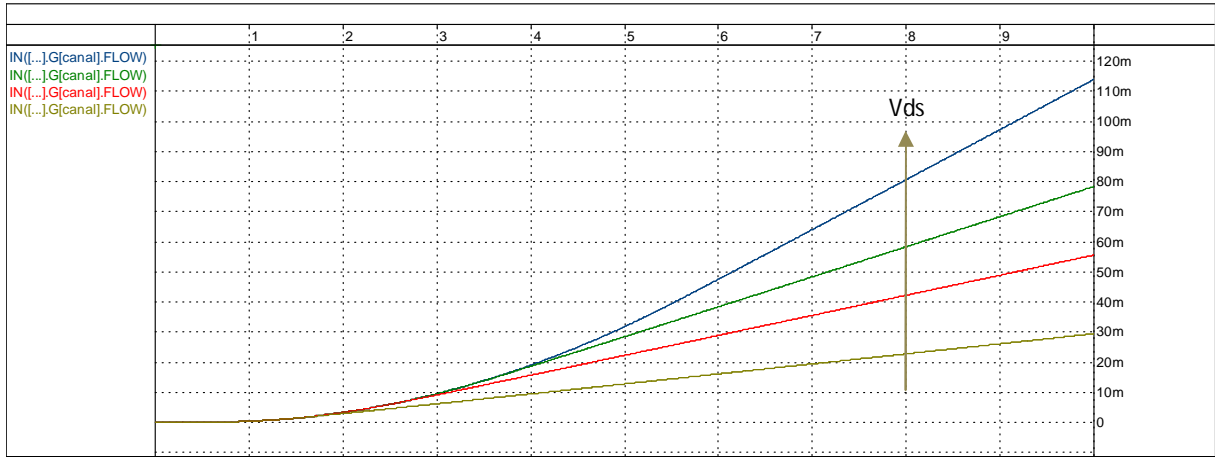
Afin d'utiliser le modèle compact du DG MOSFET dans le flot de simulation HDL (Cf. § 1.5.1), le modèle doit être implémenté dans un langage de description matérielle

(HDL), tels que Verilog-AMS ou VHDL-AMS [27]. En effet, l'implémentation des modèles en langage HDL permet l'utilisation directe de ces derniers par les différents simulateurs de circuits, tels que SMASH, SPECTRE, ELDO, etc.

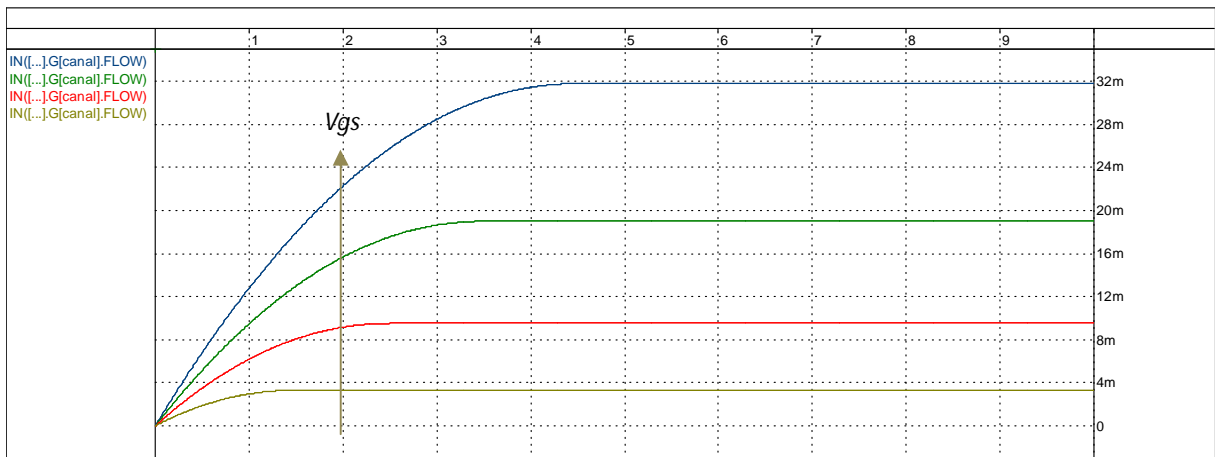
Le Verilog-AMS est l'un des langages de description matériel les plus utilisés. En outre, ce langage est très adapté à la modélisation compacte, il joue un rôle d'interface entre le simulateur de circuit et le modèle compact de dispositif. De plus, le Verilog-AMS combine le Verilog-HDL et le Verilog-A dans un seul langage *Mixed Signal-HDL*. L'une des caractéristiques unique du Verilog-AMS est qu'il fournit l'insertion automatique d'éléments d'interfaces de sorte que des modèles analogiques et numériques puissent être directement interconnectés même si leurs types de terminaux ne sont pas compatibles [28].

Ainsi, nous avons implémenté le modèle du DG MOSFET dans le langage Verilog-AMS. Au niveau du simulateur de circuit SMASH, le code du modèle (module) se trouve sous forme de fichier (fichier d'entrée) d'extension ".VAMS". Ce dernier est ensuite exécuté à travers un fichier d'extension ".CIR" qui décrit le circuit, les interconnexions, les éléments de circuits ainsi que les directives de commande exigées pour la simulation de circuits.

La Figure.2.13 montre les résultats d'excursions du code Verilog-AMS du modèle DG MOSFET dans le simulateur de circuit SMASH. Les résultats obtenus sont sous forme de caractéristiques de transferts (Figure.2.13(a)) et de sorties (Figure.2.13(b)). Les résultats sont valables du régime de faible à la forte inversion donc pour différents tensions de grille  $V_{gs}$  et de drain  $V_{ds}$ .



(a)



(b)

**Figure.2.13** Caractéristiques de transferts pour différentes tensions de drain  $V_{ds}$  (a) ; caractéristiques de sorties pour différentes tensions de grille  $V_{gs}$  (b), pour un DG MOSFET à canal long ( $L=1\mu m$ ,  $t_{ox}=2nm$  et  $t_{si}=25nm$ ).

## 2.5.3 L'oscillateur *Colpitts* à base du TMOS nanométrique à double grilles

### 2.5.3.1 Fonctionnement et conditions d'oscillations

Les oscillateurs sont de circuits électroniques générant des signaux périodiques à fréquence constante ou variable. Cela à partir d'une source d'énergie continue. Ce type de circuit à beaucoup d'applications dans les systèmes de communications, tels que la modulation des signaux et la génération d'une fréquence de référence [29].

L'oscillateur de type *Colpitts* est l'un des oscillateurs sinusoïdaux les plus utilisés. En effet, il présente plusieurs avantages tels que la stabilité en fréquence, la faible consommation énergétique et de bonnes performances en termes de bruits. De plus, ce type d'oscillateur est très utilisé (en pratique) en hautes fréquences.

L'oscillateur *Colpitts* peut être considéré comme étant un système bouclé qui est partagé en deux parties : circuit actif qui est un amplificateur à base de composant actif, tels que le TMOS à double-grilles, et un circuit passif qui utilise des composants passifs, tels que des inductances et capacités (LC) [30]. En boucle fermée, le circuit actif se charge de réaliser la stabilité des signaux par saturation et l'amplification ainsi que de compenser les pertes de la partie résonnante. Cependant, le circuit passif se charge de la sélection et de la stabilisation des fréquences d'oscillations. Le circuit actif est contre réactionné par le circuit passif qui est un circuit LC réalisé en un pont à la masse (souvent appelé circuit résonateur).

De manière générale, en boucle fermé ce système génère des oscillations que lorsque le critère de *Barkhause* est vérifié [29]:

$$|G(j\omega).H(j\omega)|=1 \quad (2.35)$$

$$\arg\{G(j\omega).H(j\omega)\}=0 \pm 2k\pi \quad k \in N \quad (2.36)$$

Où :

$G(j\omega)$  est la fonction de transfert de l'élément actif de l'oscillateur.

$H(j\omega)$  est la fonction de transfert de la cellule de réaction passive.

Les oscillations sont obtenues initialement si le gain de boucle est bien supérieur à l'unité  $|G(j\omega).H(j\omega)| > 1$ . On ramène ensuite ce gain à l'unité lorsque les oscillations sont établies.

Dans le cas général, la fréquence du signal générée par l'oscillateur *Colpitts* dépend des composants passifs du circuit résonateur (deux capacités et une inductance) (Cf. § 2.5.3.2).

### 2.5.3.2 Présentation du circuit considéré

La Figure.2.14, montre le schéma de l'oscillateur considéré, ce dernier est un oscillateur de type *Colpitts* à circuit résonateur LC.

$L_A$  représente une inductance de choc.  $C_A$  est une capacité de liaison ;  $C_B$  et  $C_D$  sont des capacités de découplages. Le circuit résonateur est composé de deux capacités  $C_{RA}$ ,  $C_{RB}$  et l'inductance  $L_{RA}$ .  $V_{dd}$  est la tension de polarisation continue. Les valeurs des composants passifs sont données sur le Tableau.2.2. Les éléments de polarisation ont été choisis pour assumer un point de fonctionnement en régime linéaire.

Résistances ( $\Omega$ )				Capacités (F)					Inductances (H)	
$R_A$	$R_B$	$R_C$	$R_D$	$C_A$	$C_B$	$C_D$	$C_{RA}$	$C_{RB}$	$L_A$	$L_{RA}$
75K	120K	50	50	5n	10n	10n	3p	2p	30n	1 $\mu$

Tableau.2.2 Valeurs des composants du circuit considéré.

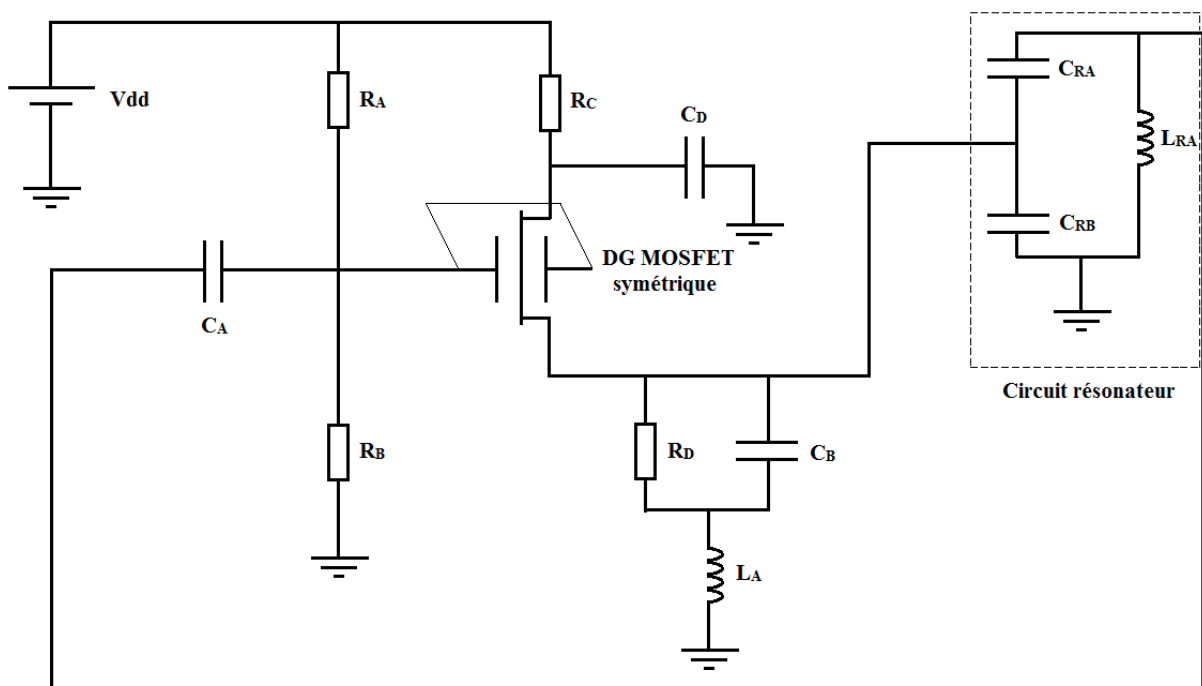


Figure.2.14 Schéma du circuit considéré : l'oscillateur *Colpitts*.

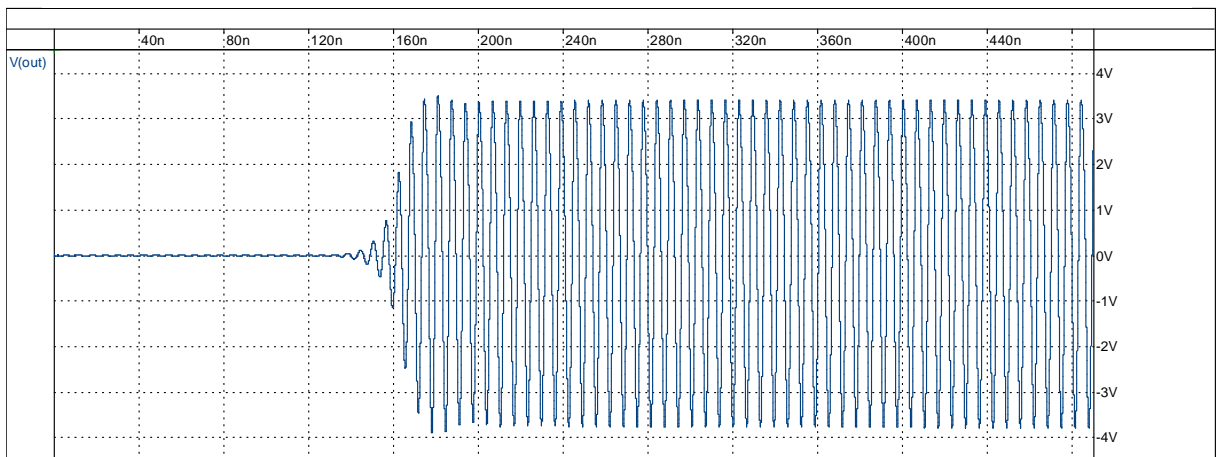


### 2.5.3.3 Analyse temporelle et stabilité

En se basant sur le modèle du DG MOSFET implémenté dans le langage Verilog-AMS, nous effectuerons des simulations permettant de faire une analyse temporelle de l'oscillateur *Colpitts*. Pour cela, nous utilisons le simulateur de circuits SMASH (*Mixed-Mode*).

La simulation temporelle permet d'obtenir le comportement transitoire de l'oscillateur considéré, elle permet également de visualiser l'évolution du signal de sortie de l'oscillateur *Colpitts* à base du DG MOSFET en fonction du temps (Figure.2.15).

Sur la Figure.2.15, on peut nettement voir la stabilité rapide des oscillations entretenues générées par l'oscillateur, qui commencent après l'instant  $t \approx 194ns$ . La fréquence du signal générée est presque égale à 0.17 GHz et l'amplitude du signal est de 7V (de crête à crête).



**Figure.2.15** Evolution de la tension de sortie en fonction du temps de l'oscillateur *Colpitts*.

Dans les oscillateurs, la fréquence du signal généré est un paramètre crucial. Dans le cas de l'oscillateur *Colpitts* la fréquence d'oscillation peut être calculé par :

$$f_{osc} = \frac{1}{2\pi} \sqrt{\frac{1}{L_{RA}} \left( \frac{1}{C_{RA}} + \frac{1}{C_{RB}} \right)}$$

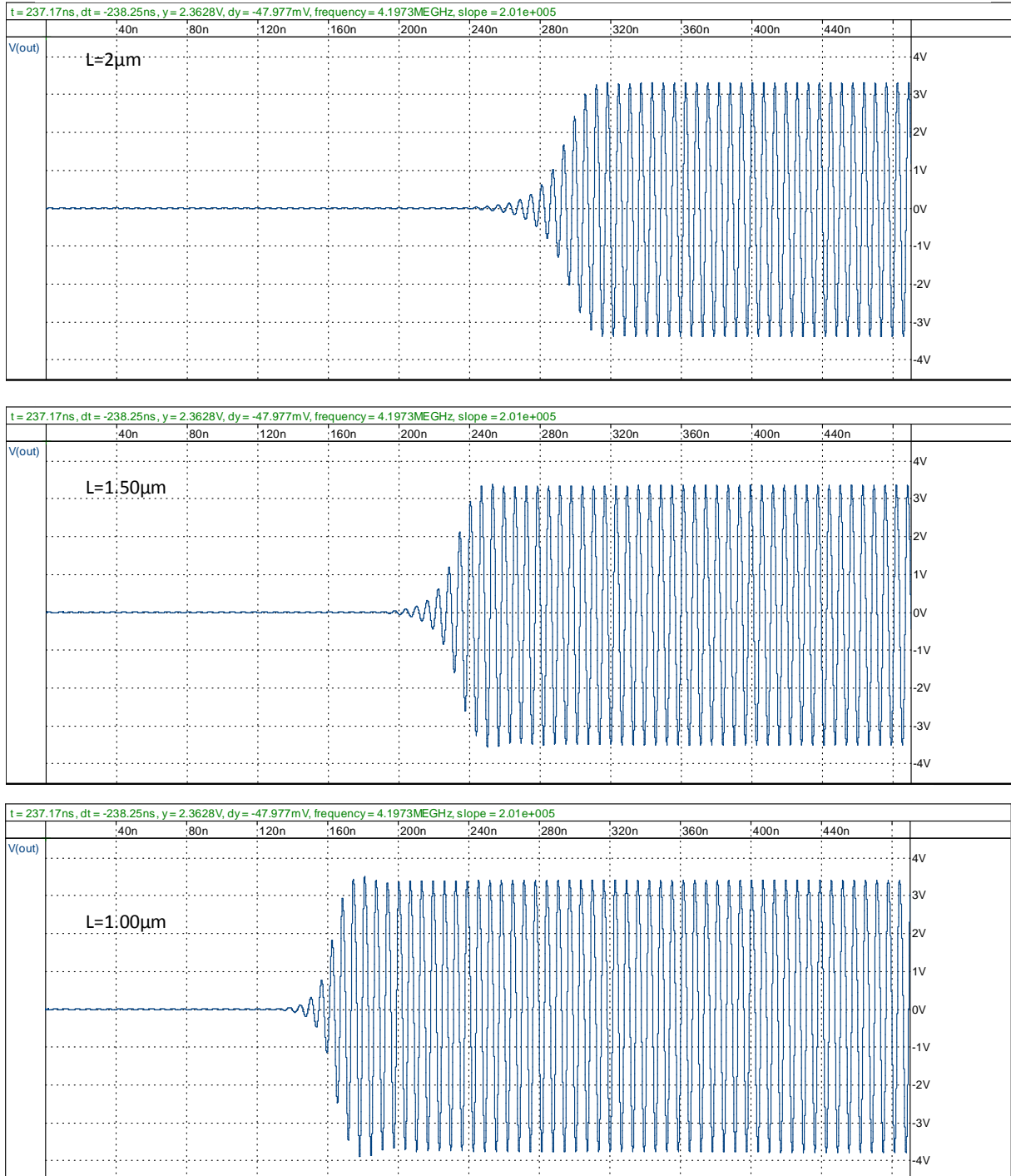
Théoriquement l'oscillateur considéré génère des oscillations avec une fréquence qui est égal à 1.43 GHz.

La différence qui existe entre la fréquence relevée (0.17 GHz) et celle théorique (1.43 GHz) réside dans le fait que dans l'équation  $f_{osc} = \frac{1}{2\pi} \sqrt{\frac{1}{L_{RA}} \left( \frac{1}{C_{RA}} + \frac{1}{C_{RB}} \right)}$ , le calcul ne tient pas en compte de l'impédance de polarisation. En réalité les résistances  $R_A$  et  $R_B$  se mettent en parallèle avec l'inductance  $L_{RA}$  réduisant ainsi la valeur de la fréquence générée.

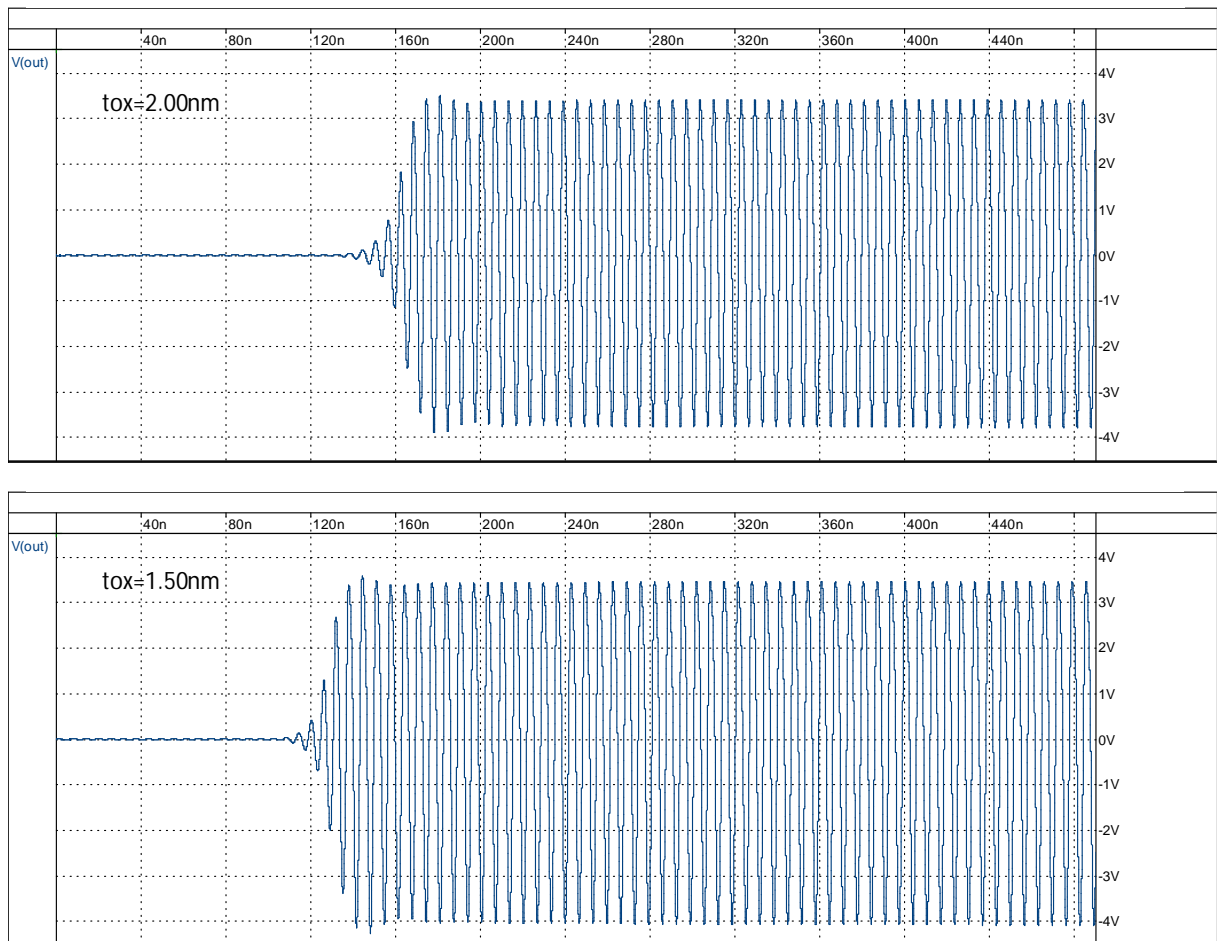
#### 2.5.3.4 Influence de la réduction de paramètres technologiques du composant sur le temps de réponse de circuit

L'effet de la variation du temps de réponse de l'établissement des oscillations entretenues des oscillateurs *Colpitts* est analysé à travers la simulation temporelle du circuit et l'analyse du signal de sortie en fonction du temps. Cette analyse est réalisée pour différents paramètres technologiques du TMOS à double-grilles, tels que la longueur du canal  $L$  et l'épaisseur d'oxyde  $t_{ox}$ .

Sur la Figure.2.16, nous présentons l'influence de la réduction de la longueur du canal  $L = 2, 1.5$  et  $1\mu m$ . Alors que l'influence de l'épaisseur d'oxyde  $t_{ox} = 2$  et  $1.5nm$  du DG MOSFET est relevée sur la Figure.2.17. On peut donc voir que plus on réduit la longueur du canal et l'épaisseur d'oxyde du DG MOS, plus le temps de réponse et l'établissement des oscillations entretenues deviennent faibles. Cela est lié à la variation de la quantité de la charge et du courant de transistor, modifiant ainsi le gain de ce dernier. Comme prévu, la réduction de paramètres technologiques du TMOS à double-grilles considéré au niveau de l'oscillateur permet d'optimiser la réponse temporelle du circuit oscillateur *Colpitts* et donc sa rapidité. Cela permet également de réduire la taille de circuit de l'oscillateur considéré à base de l'architecture du TMOS à double-grilles, et rendent le DG MOS un excellent candidat pour la réalisation de circuits d'oscillateurs en RF.



**Figure.2.16** Influence de la longueur du canal  $L$ , avec  $t_{ox} = 2\text{nm}$ ,  $t_{si} = 25\text{nm}$ ,  $W = 1\mu\text{m}$ .

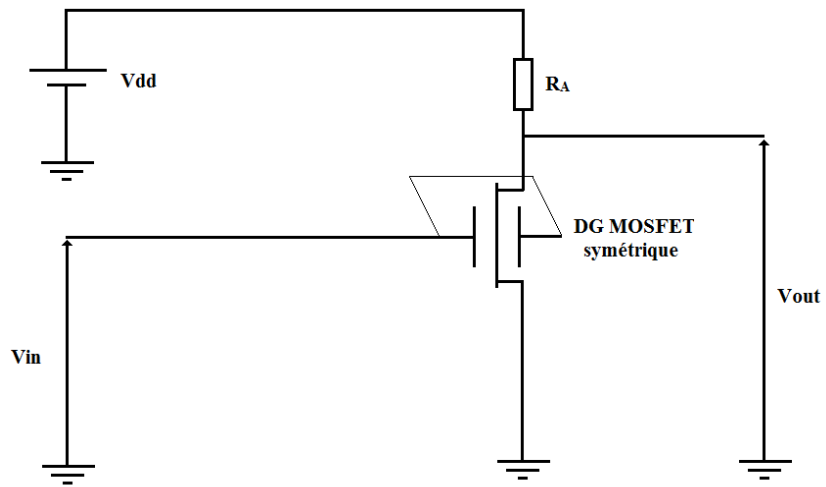


**Figure.2.17** Influence de l'épaisseur d'oxyde  $t_{ox}$ , avec  $L = 1\mu m$  et  $t_{si} = 25nm$ ,  $W = 1\mu m$ .

## 2.5.4 L'inverseur à charge passive et à base du TMOS nanométrique à double grilles

### 2.5.4.1 Circuit de l'inverseur considéré

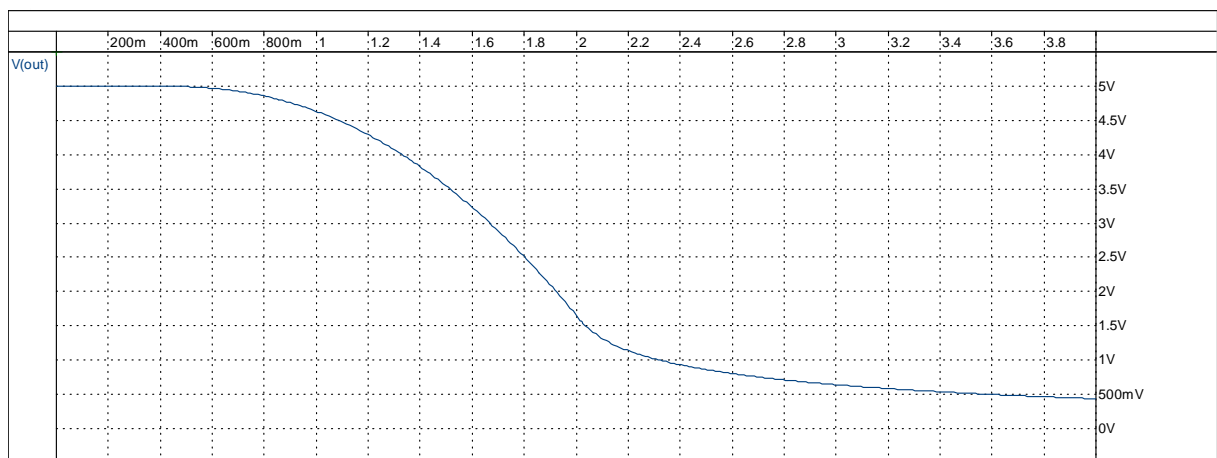
Une autre application circuit consiste à la simulation et l'étude d'un inverseur à charge passive [31], circuit constituant un élément clé dans les applications électroniques. Le circuit de l'inverseur à charge passive est représenté sur la Figure.2.18.  $R_A$  est une résistance de  $1k\Omega$ . Le DG MOS symétrique est décrit via le code Verilog-AMS du modèle, cela de la même manière que pour l'oscillateur *Colpitts*.



**Figure.2.18** Schéma de circuit de l'inverseur avec charge passive et à base DG MOSFET symétrique.

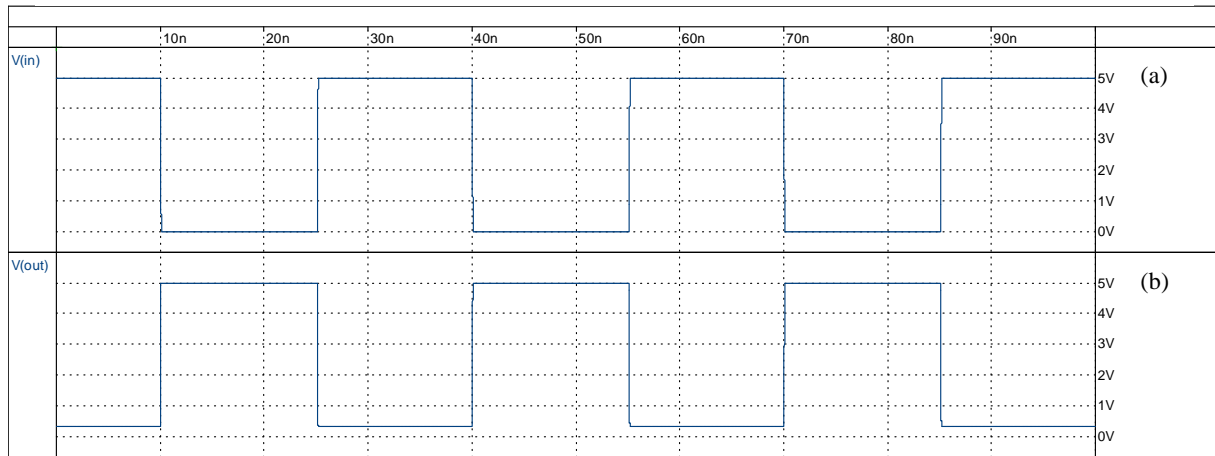
### 2.5.4.2 Simulation temporelle et analyse des performances

La simulation temporelle de l'inverseur à charge passive permet d'obtenir l'évolution de la tension de sortie en fonction de signal d'entrée (Figure.2.19). À travers cette figure on peut remarquer le bon comportement de l'inverseur. C'est-à-dire, lorsque le transistor est bloqué, la sortie de l'inverseur est à l'état "ON" ( $\approx V_{dd}$ ). Dans le cas où le transistor est passant, un courant circule et engendre une chute de tension aux bornes de la résistance, et la sortie de l'inverseur est alors à l'état "Off".



**Figure.2.19** Evolution de la tension de sortie de l'inverseur à charge passive.

La Figure.2.20, montre le résultat de la simulation temporelle de l'inverseur, cela pour un signal d'entrée rectangulaire d'amplitude égale à 5V. On voit que le signal de sortie est bien l'inverse du signal d'entrée. De plus, nous pouvons voir la rapidité et la linéarité de ce type d'inverseur à base de DG MOS (pas de déformation du signal et pas de retard en temps d'établissement).



**Figure.2.20** Simulation temporelle de l'inverseur : signal d'entrée (a) ; signal de sortie (b).

## Conclusion

Dans la première partie de ce chapitre, nous avons présenté une modélisation compacte de DG MOSFET nanométrique, cette modélisation repose sur une approche de base physique. Le comportement statique et dynamique du TMOS à double-grille est bien décrit aussi bien pour un dispositif à canal long que pour le canal court. La modélisation du DG MOS à canal court a été possible grâce à la prise en compte des effets canaux courts, tels que le DIBL, le  $V_T$  Roll-off et l'effet de la dégradation de la mobilité des porteurs.

Afin de calculer la densité de charge nous avons effectué un calcul itératif de la charge via la méthode "Newton Raphson". Le problème de calcul itératif de la charge est ensuite résolu, à travers une procédure du calcul direct bâti sur le développement en série de Taylor de la fonction "charge". Les résultats sont validés par des simulations numériques obtenues avec l'outil Atlas du logiciel commercialisé SILVACO-TCAD. Les résultats obtenus sont en bon accord avec ceux de la simulation numérique.

Dans la deuxième partie de ce chapitre, nous avons visé une application "circuit" du modèle développé. Pour cela nous avons effectué une implémentation du modèle DG

MOSFET nanométrique dans un langage de description matérielle (HDL), qui est Verilog-AMS. Puis, nous avons analysé les performances du dispositif considéré via la simulation temporelle des circuits à base de DG MOSFET, tels que l'oscillateur *Colpitts* et l'inverseur à charge passive. Pour cela, nous avons utilisé le simulateur de circuit SMASH. Les résultats de la simulation "circuits" montrent la fiabilité et l'efficacité du code Verilog-AMS du modèle développé. L'utilisation du modèle dans des applications industrielles, tels que le développement et l'élaboration de nouvelles architectures de circuits intégrés peut être envisagée.

## Références bibliographiques

- [1] B. P. Wong, A. Mittal, Y. Cao et al, "*Nano-CMOS circuit and physical design*", John Wiley & Sons, Inc, ISBN 0-471-46610-7, 2005.
- [2] *The International Technology Roadmap for Semiconductors (ITRS)*, web site <<http://www.itrs.net/>>, 2011.
- [3] Y. Li and H M. Chou, "*A Comparative Study of Electrical Characteristic on Sub-10-nm Double-Gate MOSFETs*", IEEE Transactions on Nanotechnology, vol. 4, pp. 45-47, 2005.
- [4] C. H. Kim, A. Castro-Carranza, M. Estrada et al, "*A Compact Model for Organic Field-Effect Transistors With Improved Output Asymptotic Behaviors*", IEEE Transactions on Electron Devices, vol. 60, pp. 36-41, 2013.
- [5] Y. Taur, X. Liang, W. Wang et al, "*A Continuous, Analytic Drain-Current Model for DG MOSFETs*", IEEE Electron Device Letters, vol. 25, pp. 07-09, 2004.
- [6] A. O-Conde and J. G-Sánchez, "*Unification of asymmetric DG, symmetric DG and bulk undoped-body MOSFET drain current*", Solid-State Electronics, vol. 50, pp. 96-00, 2006.
- [7] J F. Gong, P. C. H. Chan and Mansun Chan, "*An explicit surface-potential-based model for undoped double-gate MOSFETs*", Solid-State Electronics, vol. 52, pp. 82-88, 2008.
- [8] J. He, F. Liu, J. Zhang et al, "*A Carrier Based Approach for Compact Modeling of the LongChannel Undoped Symmetric Double-Gate MOSFETs*", IEEE Transactions on Electron Devices, vol. 54, pp. 03-09, 2007.

- [9] S. M. Sze, K K. Ng, “*Physics of Semiconductor Device third Edition*”, John Wiley & Sons, Inc, ISBN-I 3: 978-0-47 1-1 4323-9, 2007.
- [10] J. M. Sallese, F. Krummenacher, F Prégaldiny et al, “*A design oriented charge-based current model for symmetric DG MOSFET and its correlation with the EKV formalism*”, Solid-State Electronics, vol. 49, pp. 85-89, 2005.
- [11] N. Arora, “*MOSFET Modeling for VLSI Circuit Simulation: Theory and Practice*”, World Scientific, ISBN-13 978-981-256-862-5, 2007.
- [12] C. G Montoro, M. C. Schneider, “*MOSFET modeling for circuit analysis and design*”, World Scientific, ISBN-13 978-981-256-810-6, 2007.
- [13] B. Diagne, F Prégaldiny, C. Lallement et al, “*Explicit compact model for symmetric double-gate MOSFETs including solutions for small-geometry effects*”, Solid-State Electronics, vol. 52, pp. 99-106, 2008.
- [14] C. Enz, F. Krummenacher, A. Vittoz, “*An analytical MOS Transistor Model Valid in All Regions of Operation Dedicated to low voltage and low current applications*”, Analog and integrated Circuits and Signal Processing, vol. 8, pp. 83-114, 1995.
- [15] W. Y. Yang, W. Cao, T-S. Chung et al, “*Applied numerical methods using Matlab*”, John Wiley & Sons, Inc, ISBN-0-471-69833-4, 2005.
- [16] F. Pregaldiny, F. Krummenacher, “*An explicit quasi-static charge-based compact model for symmetric DG MOSFET*”, NSTI Nanotech, ISBN-0-9767985-8-1, 2006.
- [17] *Mathematic web site* < <https://www.wolframalpha.com/>>.
- [18] R.H. Yan, A. Ourmazd, K. F. Lee, “*Scaling the Si MOSFET: from bulk to SOI to bulk*”, IEEE Transactions on Electron Devices, vol. 39, pp. 04-10, 1992.
- [19] K. Suzuki, T. Tanaka et al, “*Scaling Theory for Double-Gate SOI MOSFET’s*” IEEE Transactions on Electron Devices, vol. 40, pp. 86-95, 1993.
- [20] Z H. Liu, C. Hu, J H. Huang et al, “*Threshold voltage model for deepsubmicrometer MOSFETs*”, IEEE Transactions on Electron Devices, vol. 40, pp. 86-95, 1993.
- [21] A. B. Bhattacharyya, “*Compact MOSFET models for VLSI design*”, John Wiley & Sons (Asia) Pte Ltd, ISBN: 978-0-470-82342-2, 2009.



- [22] H. Børli, S. Kolberg et al, “*Capacitance modeling of short-channel double-gate MOSFETs*”, Solid-State Electronics, vol. 52, pp. 86-90, 2009.
- [23] J-M. Sallese and A. S. Porret, “*A novel approach to charge-based non-quasi-static model of the MOS transistor valid in all modes of operation*”, Solid-State Electronics, vol. 44, pp. 87-94, 2000.
- [24] F. Prégaldiny, F. Krummenacher et al, “*An explicit quasi-static charge-based compact model for symmetric DG MOSFET*”, NSTI-Nanotech 2006, WCM, ISBN 0-9767985-8-1, pp. 86-91, 2006.
- [25] ATLAS device simulator. Silvaco-TCAD, 2007.
- [26] SMASH User Manual, version 5.6, Dolphin Medal, 2006.
- [27] Behavioural languages–Part 6: VHDL Analog and Mixed-Signal Extensions, IEEE Standard (IEEE Std 1076.1), ISBN 2-8318-1069-0, 2009.
- [28] Standard Description Language Based on the Verilog™ Hardware Description Language, IEEE Standard 1364-1995.
- [29] M. Bouhouche, “*Contribution à l’étude du transistor bipolaire à hétérojonction TBH Pour les applications hautes fréquences*”, thèse de doctorat, université Mentouri, 2012.
- [30] J-S. Yuan and S. Chen, “*A Simulation Study of Colpitts Oscillator Reliability and Variability*”, IEEE Transactions on Device and Materials Reliability, vol. 12, pp. 76-81, 2012.
- [31] J. Goguet, “*Contribution à la modélisation physique et électrique compacte du transistor à nanotube*”, thèse de doctorat, université Bordeaux 1, 2009.

## **Chapitre 3**

# **Développement du modèle compact de TMOS à Grille Cylindrique faiblement dopé : prise en compte des effets canaux courts**

## 3.1 Introduction

La technologie CMOS se rapproche de plus en plus de ses limites. Ceci est dû essentiellement aux effets de canaux courts (SCEs) qui constituent des effets parasites primordiaux. Comme solution à ce problème, une variété de dispositifs Multi-Grille FETs ont été proposés ces dernières années. Le TMOS à Grille Cylindrique (SRG MOSFET) représente l'un des meilleurs candidats pour continuer le "Scaling" [1]. En effet, la grille cylindrique de ce dispositif permet de réduire les SCEs, à travers l'excellent contrôle du potentiel électrostatique qu'elle permet d'avoir [2].

En outre, la conception de circuits intégrés (CIs) n'est rendue possible que par l'utilisation de modèles compacts (Cf. Chapitre 1 § 1.1.3). Dans la littérature, la majorité des modèles compacts développés pour le SRG MOSFET sont relatifs aux dispositifs à canal long, dans le cas du canal faiblement ou fortement dopé [3, 4], et pour du faible au fort dopage de celui-ci [5]. Cependant, réduire la longueur du canal du transistor engendre les SCEs (Cf. Chapitre 1 § 1.1.5.1); ces effets ne peuvent plus être ignorés pour des longueurs des canaux inférieures à 50 nm. Dans ce contexte, quelques modèles sont développés pour le SRG MOSFET à canal court et pour la modélisation des SCEs dans cette gamme de longueurs [6, 7 et 8]. Ces modèles présentent une bonne précision et ils sont de base physique mais pas assez utilisés dans la simulation de circuits car soit ils exigent un calcul itératif (procédure numérique et donc un coût en temps de calcul important); soit ils sont de formulation complexe.

Dans ce Chapitre, nous proposons un modèle compact pour le SRG MOSFET à canal court faiblement dopé (de longueur du canal inférieur ou égale à 30nm). Le modèle fournit une expression explicite et compacte du courant de drain, cette dernière est écrite de manière adaptée à la simulation de circuits. Les effets canaux courts sont modélisés avec des expressions simples, et incorporés au cœur du modèle (au niveau du courant de drain). Le potentiel de surface est calculé de manière explicite, à travers l'utilisation de la fonction de Lambert qu'on note  $LambertW$ .

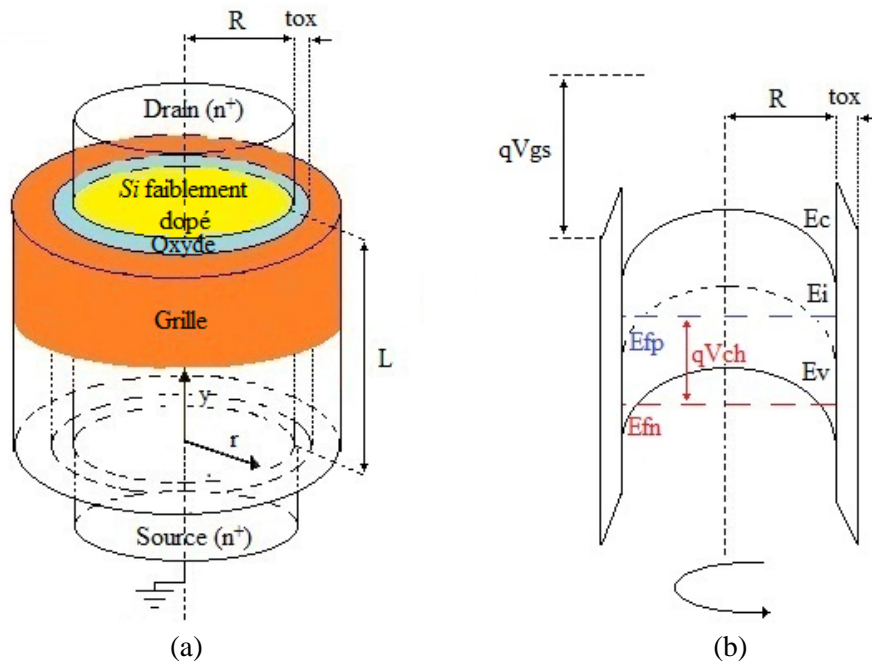
## 3.2 Développement du modèle SRG MOSFET

### 3.2.1 Structure considérée

Comme présenté sur la Figure.3.1(a), nous considérons un transistor SRG MOSFET à canal court faiblement dopé, où  $L$  est la longueur du canal,  $t_{ox}$  l'épaisseur de l'oxyde de

grille et  $R$  est le rayon du canal cylindrique (Silicium faiblement dopé). Les tensions appliquées sur la Grille et le Drain sont notées, respectivement,  $V_{gs}$  et  $V_{ds}$ .

La Figure.3.1(b), représente le diagramme de bande d'énergie pour le transistor SRG MOSFET de type  $N$ . À partir de l'application de la tension  $V_{ds}$ , la position du quasi-niveau de *Fermi* est décalée par rapport à l'équilibre. Donc, pour un canal de type  $N$ , le quasi-niveau de *Fermi* des électrons  $E_{fn}$  dans le canal est modifié en fonction de la tension dans le canal  $V_{ch}$ . Cette dernière correspond à la tension de drain  $V_{ds}$  du côté de drain et zéro du côté de la Source. Puisque on considère un dispositif de type  $N$ , le quasi-niveau de *Fermi* des trous  $E_{fp}$  est constant tout au long du canal car la contribution des trous est ignorée, donc le  $E_{fp}$  peut être considéré comme niveau de référence et  $E_{fn}$  varie en fonction de  $V_{ch}$ .



**Figure.3.1** Structure du SRG MOSFET à canal court (a) ; Diagramme de bande d'énergie du SRG MOSFET : coupe transversale (b).

### 3.2.2 Le potentiel de surface

En négligeant la densité des trous et en considérant l'approximation du canal graduel (GCA :  $dE_r / dr \gg dE_y / dy$ ), l'équation de *Poisson* s'écrit comme suit [4]:

$$\frac{1}{r} \frac{d}{dr} \left( r \frac{d\Phi}{dr} \right) = \frac{q \cdot N_A}{\epsilon_{si}} [\exp((\beta) \cdot (\Phi - V_{ch} - 2\Phi_F)) + 1] \quad (3.1)$$

Où  $\Phi$  représente le potentiel électrostatique,  $\epsilon_{si}$  est la permittivité relative du Silicium,  $\Phi_t (= 1/\beta)$  est la tension thermodynamique et  $\beta (= q/KT)$ ,  $\Phi_F (= \beta^{-1} \ln(N_A/n_i))$  est le potentiel de Fermi,  $V_{ch}$  potentiel du quasi-niveau de Fermi et  $N_A$  le dopage.

Afin de résoudre l'équation de *Poisson*, nous considérons les deux conditions suivantes : la première s'applique à l'interface Si/SiO<sub>2</sub> (Où nous utilisons la loi de *Gauss* à  $r=R$ ) et la deuxième s'applique au centre du canal cylindrique (à  $r=0$ ) dont le champ électrique tend vers zéro. Ces conditions permettent d'écrire :

$$C_{ox}(V_{gs} - V_{fb} - \Phi_s) = Q_{si} = -\epsilon_{si} E_s \quad \text{pour } r = R \quad (3.2)$$

$$d\Phi / dr = 0 \quad \text{pour } r = 0 \quad (3.3)$$

Où  $Q_{si}$  correspond à la densité de charge totale induite dans le Silicium. Cette dernière est la somme de la charge mobile  $Q_m$  (charge d'inversion) et des charges fixes  $Q_p (= qN_A R/2)$  (liées au dopage).  $\Phi_s = \Phi(r=R)$  est le potentiel de surface,  $E_s = E(r=R)$  est le champ électrique de surface et  $V_{fb}$  est la tension de bande plate.

La capacité de l'oxyde cylindrique  $C_{ox}$  de transistor SRG MOSFET est [9]:

$$C_{ox} = \epsilon_{ox} / R \ln(1 + t_{ox} / R) \quad (3.4)$$

Où  $\epsilon_{ox}$  est la permittivité relative de l'oxyde.

Le champ électrique de surface  $E_s$  s'obtient à partir de l'intégration par partie de l'équation de *Poisson* et l'utilisation de l'approximation de la déplétion entière [4]. Dans la région entièrement déplétée, la densité des électrons et des trous sont négligés ( $n \approx p \approx 0$ ), et donc l'intégration de l'Eq. (3.1), en considérant uniquement la densité de charge fixe, permet de déterminer le potentiel :

$$\Phi(r) = \Phi_0 + q.N_A.r^2 / 4.\epsilon_{si}$$

Où  $\Phi_0 = \Phi(r=0)$  est le potentiel au centre du canal cylindrique.

L'expression du champ électrique de surface  $E_s$  est alors déduite :

$$E_s = -\sqrt{\left[ \left( \frac{2.q.N_A}{\epsilon_{si}.\beta} - \frac{8}{\beta^2.R^2} + \frac{8}{\beta.R^2} \cdot \exp(\beta(\Phi_0 - \Phi_s)) \right) \cdot \exp(\beta(\Phi_s - V_{ch} - 2.\Phi_F)) + \left( \frac{q.N_A}{2.\epsilon_{si}} \right)^2 .R^2 \right]} \quad (3.5)$$

Puis, en faisant apparaître la différence de potentiel  $(\Phi_s - \Phi_0)$  dans l'Eq. (3.5) via l'approximation de la déplétion entière, et avec l'introduction de la différence du potentiel normalisé  $\alpha = (\Phi_s - \Phi_0) / \Phi_t$ , l'Eq. (3.5) est alors simplifiée.

Après arrangement, l'expression finale du champ électrique de surface s'écrit alors selon :

$$E_s = -\sqrt{\frac{4 \cdot Q_p \cdot \Phi_t}{R \cdot \epsilon_{si}}} \cdot \alpha \cdot \sqrt{\frac{1}{2} + \left[ \frac{1 - \frac{1}{\alpha} + \frac{1}{\alpha} \exp(-\alpha)}{\alpha} \right] \cdot \exp\left(\frac{\Phi_s - V_{ch} - 2 \cdot \Phi_F}{\Phi_t}\right)} \quad (3.6)$$

En appliquant la loi de *Gauss* à l'interface Si/SiO<sub>2</sub> (à  $r = R$ ), nous obtenons [10] :

$$V_g = V_{fb} + \Phi_s - \epsilon_{si} \cdot \frac{E_s}{C_{ox}} \quad (3.7)$$

En remplaçant la solution de l'Eq. (3.6) dans l'Eq. (3.7), nous obtenons :

$$V_g = V_{fb} + \Phi_s + \frac{1}{C_{ox}} \sqrt{\frac{4 \cdot Q_p \cdot \epsilon_{si} \cdot \Phi_t}{R}} \cdot \alpha \cdot \sqrt{\frac{1}{2} + \left[ \frac{1 - \frac{1}{\alpha} + \frac{1}{\alpha} \exp(-\alpha)}{\alpha} \right] \cdot \exp\left(\frac{\Phi_s - V_{ch} - 2 \cdot \Phi_F}{\Phi_t}\right)} \quad (3.8)$$

Le potentiel de surface  $\Phi_s$  peut être calculé de manière itérative dans l'Eq. (3.8). Cependant, le calcul itératif consomme du temps, et alors il n'est pas adapté pour son utilisation dans la simulation de circuit.

En faible inversion le potentiel de surface  $\Phi_s$  est faible, le terme  $\left[ \frac{1 - \frac{1}{\alpha} + \frac{1}{\alpha} \exp(-\alpha)}{\alpha} \right]$

peut donc être négligé devant 1. Après simplification et arrangement des différents termes, la solution implicite du potentiel de surface en faible inversion  $\Phi_{sbT}$  s'écrit alors :

$$V_g = V_{fb} + \Phi_{sbT} + \frac{Q_p}{C_{ox}} \cdot \left( 1 + \exp\left(\frac{\Phi_{sbT} - V_{ch} - 2 \cdot \Phi_F}{\Phi_t}\right) \right) \quad (3.9)$$

À travers l'application de la fonction de *Lambert* (*LambertW*) à l'Eq. (3.9), la solution explicite du potentiel de surface en faible inversion  $\Phi_{sbT}$  s'exprime comme [11] :

$$\Phi_{sbT} = V_{gs} - V_{fb} - \frac{Q_p}{C_{ox}} - \Phi_t \cdot \text{LambertW} \left[ \frac{Q_p}{C_{ox} \Phi_t} \exp\left(\frac{V_{gs} - V_{fb} - \frac{Q_p}{C_{ox}} - V_{ch} - 2 \Phi_F}{\Phi_t}\right) \right] \quad (3.10)$$

En effet, la fonction de *LambertW* est définie comme la fonction inverse de  $f(x) = x \cdot \exp(x)$ , où  $x = \text{LambertW}(x \cdot \exp(x))$  [12]. Dans notre cas, cette fonction est utilisée pour résoudre le problème d'équations implicites liées à la fonction exponentielle, permettant ainsi l'obtention de solutions explicites pour le potentiel de surface.

De manière similaire au calcul du potentiel de surface en faible inversion, la solution du potentiel de surface en forte inversion  $\Phi_{s_{aT}}$  se présente comme suit :

$$\Phi_{s_{aT}} = V_{gs} - V_{fb} - 2\Phi_t \text{LambertW} \left[ \frac{1}{2C_{ox}\Phi_t} \sqrt{\frac{4Q_p \epsilon_{si} \Phi_t}{R}} \sqrt{1 - \frac{1}{\alpha} + \frac{1}{\alpha} \exp(-\alpha)} \exp \left( \frac{V_{gs} - V_{fb} - \frac{Q_p}{C_{ox}} - V_{ch} - 2\Phi_F}{2\Phi_t} \right) \right] \quad (3.11)$$

La solution continue du potentiel de surface (valable du régime de faible à la forte inversion) est alors obtenue en utilisant la fonction d'interpolation suivante :

$$\Phi_s = \frac{1}{2} \left\{ \Phi_{s_{bT}} \left[ 1 - \tanh \left( 10 \left( V_{gs} - V_{TH} - V_{ch} \right) \right) \right] + \Phi_{s_{aT}} \left[ 1 + \tanh \left( 10 \left( V_{gs} - V_{TH} - V_{ch} \right) \right) \right] \right\} \quad (3.12)$$

Où  $V_{TH}$  correspond à la tension de seuil du TMOS à grille cylindrique à canal court.

### 3.2.3 La différence entre le potentiel de surface et le potentiel au centre du film de Silicium

La différence entre le potentiel de surface et le potentiel au centre du canal  $\Phi_d (= \Phi_s - \Phi_0)$  est calculée en utilisant des expressions empiriques, Pour cela, nous nous inspirons du modèle développé pour le transistor MOSFET à double-grille et à canal fortement dopé [13].

1. En faible inversion :

$$\Phi_{db} = \Phi_{d_{bT}} + \frac{19}{16} \Phi_t \left[ \frac{\exp \left( \frac{V_{gs} - V_{TH} - V_{ch}}{\Phi_t} \right)}{1 + \exp \left( \frac{V_{gs} - V_{TH} - V_{ch}}{\Phi_t} \right)} \right] \quad (3.13)$$

2. En forte inversion :

$$\Phi_{da} = \left( \frac{\Phi_{dbT}}{3} + \Phi_{dm} - 0.028V \right) - \left( \frac{\Phi_{dbT}}{3} + \Phi_{dm} - 0.028V - \Phi_{dT} \right) \left( \frac{1 - \frac{V_{gs} - V_{TH} - V_{ch}}{V_{gm} - V_{TH} - V_{ch}}}{1 + 1.35(V_{gs} - V_{TH} - V_{ch})} \right) \quad (3.14)$$

Où  $V_{gm}$  correspond à la tension de grille maximale, dans notre cas 2V.

$\Phi_{dbT}$  est calculé via l'approximation de la déplétion entière comme:

$$\Phi_{dbT} = \Phi_{sbT} - \Phi_{0bT} = qN_A R^2 / 4\epsilon_{si}$$

La différence de potentiel qui existe au niveau de la tension de seuil  $\Phi_{dT}$  est définie par [10] :

$$\Phi_{dT} = \Phi_{dbT} + 0.626\Phi_t$$

$\Phi_{dm}$  est la différence de potentiel maximale ( $V_{gs} = V_{gm}$ ) définie par :

$$\Phi_{dm} = 0.162 - 0.047t_{ox} + 0.0045t_{ox}^2 + 0.00836R - 12.10^{-5}R^2$$

La solution complète et continue de la différence entre le potentiel de surface et le potentiel au centre du canal  $\Phi_d$  est calculée alors de la même manière que  $\Phi_s$  :

$$\Phi_d = \frac{1}{2} \left\{ \Phi_{db} \left[ 1 - \tanh\left(50(V_{gs} - V_{TH} - V_{ch})\right) \right] + \Phi_{da} \left[ 1 + \tanh\left(50(V_{gs} - V_{TH} - V_{ch})\right) \right] \right\} \quad (3.15)$$

### 3.2.4 La densité de charge mobile

À partir de la loi de *Gauss*, la densité de charge induite dans le Silicium est égale à la permittivité de Silicium  $\epsilon_{si}$  multipliée par le champ électrique de surface  $E_s$  [10]. En remplaçant la solution de  $E_s$  de l'Eq. (3.6) dans  $q_{si} = q_m + q_p = -\epsilon_{si} \cdot E_s$ , nous obtenons la solution de la densité de charge mobile :

$$q_m = \sqrt{\frac{4q_p \epsilon_{si}}{C_{ox} R}} \sqrt{\alpha} \sqrt{\frac{1}{2} + \left[ \frac{1 - \frac{1}{\alpha} + \frac{1}{\alpha} \exp(-\alpha)}{\alpha} \right]} \exp\left(\frac{\Phi_s - V_{ch} - 2\Phi_F}{\Phi_t}\right) - q_p \quad (3.16)$$

Où :  $q_p$  et  $q_m$  sont, respectivement, la densité de charge de déplétion normalisée par rapport à  $C_{ox} \cdot \Phi_t$ , et la densité de charge mobile normalisée par rapport à  $C_{ox} \cdot \Phi_t$ . Cette dernière vaut  $q_s$  côté Source ( $V_{ch} = 0$ ) et  $q_d$  côté Drain ( $V_{ch} = V_{ds}$ ).



### 3.2.5 Les effets canaux courts

#### 3.2.5.1 La mobilité

Dans le cas d'un dispositif MOS à canal court, le champ électrique latéral devient fort et l'influence de celui-ci sur la mobilité des porteurs devient de plus en plus importante. La mobilité du modèle  $\mu$  peut être donc calculée par l'expression simplifiée suivante [14] :

$$\mu = \frac{\mu_0}{\sqrt{1 + \left( \mu_0 \frac{V_{deff}}{Lv_{sat}} \right)^2}} \quad (3.17)$$

Où :

$\mu_0$  est la mobilité à faible champ électrique.

$v_{sat} (= 1.45 \cdot 10^7 \text{ cm/s})$  est la vitesse de saturation des porteurs.

$V_{deff}$  correspond à la tension de Drain effective.

La tension de drain  $V_{deff}$  valable du régime de faible en forte inversion est calculée selon l'expression suivante [15] :

$$V_{deff} = V_{sat} + \frac{1}{2} \left[ \left( V_{ds} - V_{sat} + \frac{\Phi_t}{3} \right) - \sqrt{\left( V_{ds} - V_{sat} + \frac{\Phi_t}{3} \right)^2 + 4 \frac{\Phi_t}{3} V_{sat}} \right] \quad (3.18)$$

La tension de saturation  $V_{sat}$  s'écrit selon:

$$V_{sat} = \frac{\Phi_t}{\tau} \left[ q_s - q_{sat} + 2 \ln \left( \frac{q_s + \frac{q_p}{2}}{q_{sat} + \frac{q_p}{2}} \right) \right] \quad (3.19)$$

Où  $\tau$  est considéré comme paramètre d'ajustement.

La charge de saturation  $q_{sat}$  est calculée par :

$$q_{sat} = \sqrt{\left( \frac{v_{sat} L}{\mu_0 \Phi_t} + 2 \right)^2 + q_s^2} + 4q_s - \left( \frac{v_{sat} L}{\mu_0 \Phi_t} + 2 \right) \quad (3.20)$$

### 3.2.5.2 Le DIBL et le $V_T$ Roll-off

Dans les TMOS à grille cylindrique de longueur de canal inférieure à 50nm, le DIBL et le  $V_T$  Roll-off créent une dégradation au niveau de la tension de seuil. Cet effet est modélisé à travers l'utilisation d'un facteur correctif de la tension de seuil  $\Delta V_{TH}$  défini par [15] :

$$\Delta V_{TH} = \sigma \left( \frac{l_c}{L} \right)^2 \Phi_F \left[ 1 - \exp\left( -\frac{L}{0.3lm} \right) \right] \left[ 1 + \frac{|V_{ch}|}{4.39\Phi_t} - \exp\left( -\frac{|V_{ch}|}{0.22\Phi_t} \right) \right] \quad (3.21)$$

Où :

$l_c$  est la longueur naturelle des dispositifs MOS à grille cylindrique, cette dernière est définie par [2] :

$$l_c = \sqrt{\frac{2\varepsilon_{si}R^2 \ln(1 + t_{ox}/R) + \varepsilon_{ox}R^2}{4\varepsilon_{ox}}}$$

$lm$  ( $=10\mu m$ ) est une longueur de référence.

$\sigma$  ( $=2.05$ ) est un paramètre d'ajustement.

Ensuite, le  $\Delta V_{TH}$  lié à l'effet DIBL et le  $Roll-off$  est pris en compte de la manière suivante :

$$V_{TH} = V_{TO} - \Delta V_{TH} \quad (3.22)$$

Où  $V_{TH}$  et  $V_{TO}$  sont, respectivement, la tension de seuil du diapositif à canal court et la tension de seuil de dispositif à canal long.

La tension de seuil du SRG MOSFET à canal long  $V_{TO}$  est calculée par [11] :

$$V_{TO} = V_{fb} + 2\Phi_F + \Phi_t \ln \left[ \frac{C_{ox}}{4C_{si}} \left( 1 + \frac{\Phi_t C_{ox}}{Q_{dep}} \right) \right] + \frac{1}{C_{ox}} \sqrt{\frac{4Q_{dep}\varepsilon_{si}\Phi_t}{R}} \sqrt{a_T}$$

$$\times \sqrt{\left[ \frac{1}{2} + \frac{1 - \frac{1}{a_T} + \frac{1}{a_T} e^{-a_T}}{a_T} \right] \left[ \frac{C_{ox}}{4C_{si}} \left( 1 + \frac{\Phi_t C_{ox}}{Q_{dep}} \right) \right]}$$

Où  $a_T$  ( $=\Phi_{dT}/\Phi_t$ ) est la différence du potentiel au niveau de la tension de seuil.

### 3.2.5.3 La dégradation de la pente sous le seuil

La réduction de la longueur du canal (inférieure à 50nm) dégrade la pente sous le seuil du dispositif MOS à canal court. Celui-ci est l'un des effets parasites des canaux courts qui

provoque un ralentissement du temps de commutation des transistors. Afin de prendre en compte l'effet de la dégradation de la pente sous le seuil en fonction de la longueur du canal, on utilise la fonction  $SS$ . Cette dernière est une fonction exponentielle de la longueur du canal et de rayon du cylindre multipliée par une fonction d'interpolation. L'expression de  $SS$  s'exprime comme [16]:

$$SS = \frac{1}{2} \left\{ \left( 1 - 1.2e^{\left(\frac{L}{2R}\right)} \right) \left[ 1 - \tanh(30(V_{gs} - V_{TH})) \right] + \left[ 1 + \tanh(30(V_{gs} - V_{TH})) \right] \right\} \quad (3.23)$$

Cette expression  $SS$  est ensuite incorporée dans l'expression finale du courant de drain permettant ainsi la prise en compte de la dégradation de la pente.

#### 3.2.5.4 La modulation de la longueur du canal

Quand la tension de drain augmente au-delà de la tension de drain de saturation, un pincement du canal est alors créé. Ce dernier se déplace du côté de drain vers la source, ce qui réduit la longueur du canal d'un facteur  $\Delta L$  et réduit ainsi la densité de charge d'inversion contrôlée par la grille. C'est l'effet de la modulation de la longueur du canal ( $CLM$ ). Celle-ci est souvent prise en compte en considérant une nouvelle longueur du canal  $L' = L - \Delta L$  [10].

La réduction de la longueur du canal due à l'effet de la modulation de celui-ci est ensuite calculée par [15]:

$$\Delta L = \lambda l_c \cdot \left( \ln\left(\frac{L}{l_c}\right) - 1 \right) \ln\left( 1 + \mu_0 \frac{|V_{ds} - V_{deffs}|}{v_{sat} l_c} \right) \quad (3.24)$$

Où :

$\lambda$  est un paramètre d'ajustement.

$$V_{deffs} = \frac{1}{2} \cdot \left\{ V_{ds} \left[ 1 - \tanh \left[ 3 \left( 1 - \frac{V_{gs}}{V_{TH}} \right) \right] \right] + V_{deff} \left[ 1 + \tanh \left[ 3 \left( 1 - \frac{V_{gs}}{V_{TH}} \right) \right] \right] \right\}.$$

### 3.2.6 Courant de drain avec prise en compte des effets canaux courts

En considérant le modèle de transport *Drift-Diffusion*, le courant de drain  $I_{ds}$  s'obtient à travers l'intégration de la densité de charge mobile dans le canal (du côté de la source vers le côté du drain) [10]:

$$I_{ds} = \mu \cdot \frac{W}{L} \cdot C_{ox} \cdot \Phi_t \cdot \int_0^{V_{ds}} q_m(V_{ch}) \cdot dV_{ch} \quad (3.25)$$

Où  $W = 2\pi R$  est la largeur du canal du SRG et le terme  $C_{ox} \cdot \Phi_t$  est un facteur permettant la denormalization de la densité de charge.

En considérant l'Eq. (3.7) et sachant que  $-\varepsilon_{si} \cdot E_s = C_{ox} \cdot \Phi_t \cdot (q_m + q_p)$  (Loi de Gauss), l'expression qui lie les tensions aux densités de charges est :

$$V_{gs} = V_{fb} + \Phi_s - \Phi_t \cdot (q_m + q_p) \quad (3.26)$$

En remplaçant la solution de l'Eq. (3.26) correspondant à  $\Phi_s$  dans l'Eq. (3.16), nous obtenons l'UCCM (*the Unified Charge Control Model*) :

$$V_{gs} - V_{fb} - \Phi_t \cdot q_p - V_{ch} - 2 \cdot \Phi_t \cdot \ln \left[ \frac{1 - \frac{1}{\alpha} + \frac{1}{\alpha} \exp(-\alpha)}{\alpha} \right] = \Phi_t \cdot q_m + \Phi_t \cdot \ln \left[ \left( \frac{2 \cdot \alpha_{bT}}{\alpha} \right) \cdot \left( \frac{q_m}{q_p} \cdot \left( \frac{q_m}{q_p} + 2 \right) \right) \right] \quad (3.27)$$

Cette dernière équation (UCCM) relie la densité de charge mobile aux tensions appliquées [17]. Elle permet de définir la variation de  $dV_{ch}$  en fonction de la densité de charge mobile  $q_m$ , permettant alors l'intégration de l'Eq. (3.25) et calculer le courant de drain  $I_{ds}$ .

Où  $\alpha_{bT}$  est la différence du potentiel normalisé en faible inversion

À partir de la dérivation de l'Eq. (3.27) par rapport à  $V_{ch}$  et après simplification et arrangement,  $dV_{ch}$  peut s'écrire comme suit :

$$dV_{ch} = - \left[ \Phi_t \cdot \left( 1 + \frac{1}{q_m} + \frac{1}{q_m + q_p} \right) dq_m \right] \quad (3.28)$$

À l'aide de la solution de l'Eq. (3.28), l'intégration de la densité de charge mobile dans l'Eq. (3.25) mène à l'expression du courant de drain [11]:

$$I_{ds} = \mu \frac{W}{L} C_{ox} \Phi_t^2 \left[ 2 \left( (q_s - q_d) + q_p \ln \left( \frac{q_d + 2q_p}{q_s + 2q_p} \right) \right) + \frac{1}{2} (q_s^2 - q_d^2) \right] \quad (3.29)$$

En utilisant l'Eq. (3.29) et les solutions des Eqs. (3.17), (3.21), (3.23), (3.24), nous obtenons l'expression finale du courant de drain du SRG MOSFET faiblement dopé, cela en incluant les effets canaux courts (SCEs):

$$I_{ds} = \mu W C_{ox} \Phi_t^2 \cdot \left\{ \frac{\left[ \frac{1}{2} (q_s^2 - q_d^2) + \left[ 2 \left( (q_s - q_d) + q_p \ln \left( \frac{q_d + 2q_p}{q_s + 2q_p} \right) \right) \right]^{SS} \right]}{(L - \Delta L)} \right\} \quad (3.30)$$

### 3.3 Résultats et discussions

#### 3.3.1 Caractéristiques et paramètres technologiques du SRG MOSFET considéré

Afin de valider le modèle proposé relatif au SRG MOFET à canal court faiblement dopé, nous avons effectué une simulation numérique de la structure considérée sur la Figure.3.1(a). La simulation de la structure a été faite avec l'outil Atlas du logiciel commercialisé SILVACO-TCAD. Nous avons considéré un transistor MOS à canal cylindrique de type  $N$  faiblement dopé  $N_A = 5.10^{15} \text{ cm}^{-3}$ . Le métal de grille est un *mid-gap*, où le travail de sortie est égal à  $4.62 \text{ eV}$ . Les régions Source et Drain sont fortement dopées  $N_D = 10^{20} \text{ cm}^{-3}$ .

Le SRG MOSFET considéré dans ce travail est un dispositif nanométrique de rayon de Silicium égal à  $6 \text{ nm}$ , une longueur du canal variant de  $10 \text{ nm}$  à  $30 \text{ nm}$  et une épaisseur d'oxyde équivalente (EOT) de  $1.5 \text{ nm}$ . Les effets quantiques sont ignorés au cours de la simulation et au niveau du modèle proposé. En effet, pour une épaisseur de Silicium ( $t_{si} = 2.R$ )

supérieure ou égale à 10nm, l'influence des effets quantiques est minime, et ces effets peuvent alors être négligés [6].

En considérant le modèle de transport *Drift-Diffusion*, nous avons simulé les caractéristiques du transistor pour tous les régimes de fonctionnement, cela de la faible à la forte inversion. La caractéristique de sortie est obtenue pour  $V_{gs}$  égal à 0.5, 1.0 et 1.5V. Pour la caractéristique de transfert,  $V_{gs}$  varie de -0.5 à 2.0V et  $V_{ds}$  égal à 0.05V et 1.0V.

Le Tableau.3.1, regroupe l'ensemble de paramètres d'ajustements du modèle proposé et de paramètres technologiques du dispositif SRG MOSFET. Les paramètres d'ajustements, "*Fitting Parameters*" sont définis à travers la simulation numérique du composant.

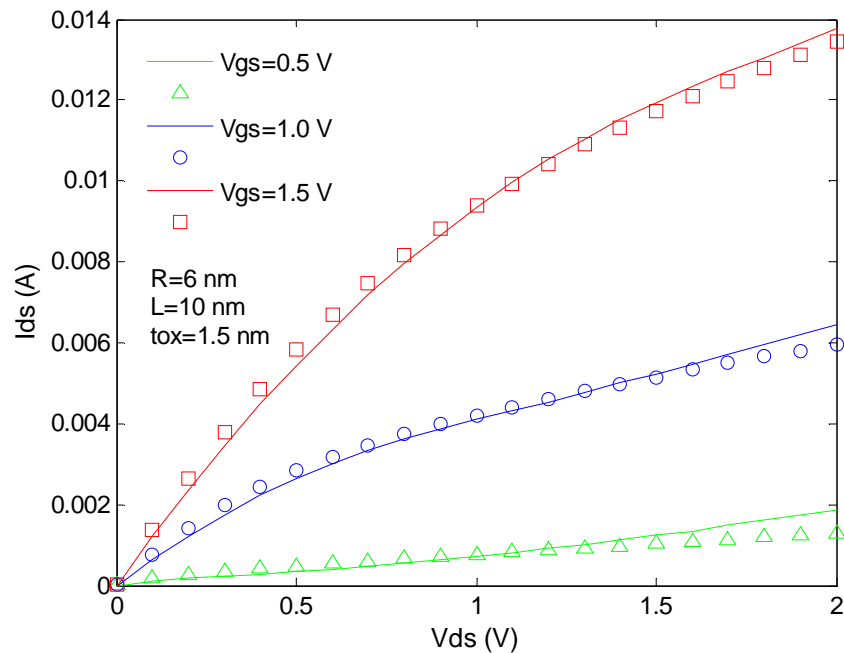
Les paramètres technologiques				Les paramètres d'ajustements		
$L(nm)$	$R(nm)$	$t_{ox}(nm)$	$N_A(cm^{-3})$	$\lambda$	$\tau$	$\mu_0(cm^2/V.s)$
10, 20 et 30nm	6nm	1.5nm	$5 \cdot 10^{15}$	0.9	0.8	1030

**Tableau.3.1** Paramètres du modèle du transistor SRG MOSFET à canal court faiblement dopé.

### 3.3.2 Validation du modèle SRG MOSFET à canal court

La Figure.3.2 décrit la caractéristique de sortie du transistor SRG MOSFET à canal très court ( $L=10nm$ ) tracée pour différentes tensions de grille  $V_{gs}$ . Sur cette figure, nous comparons le courant de drain modélisé avec celui obtenu par la simulation numérique du dispositif. Nous voyons que le courant de drain du modèle est en bon accord avec celui obtenu via la simulation numérique du SRG MOSFET. Cela pour différents valeurs de la tension de grille  $V_{gs} = 0.5, 1$  et  $1.5V$ .

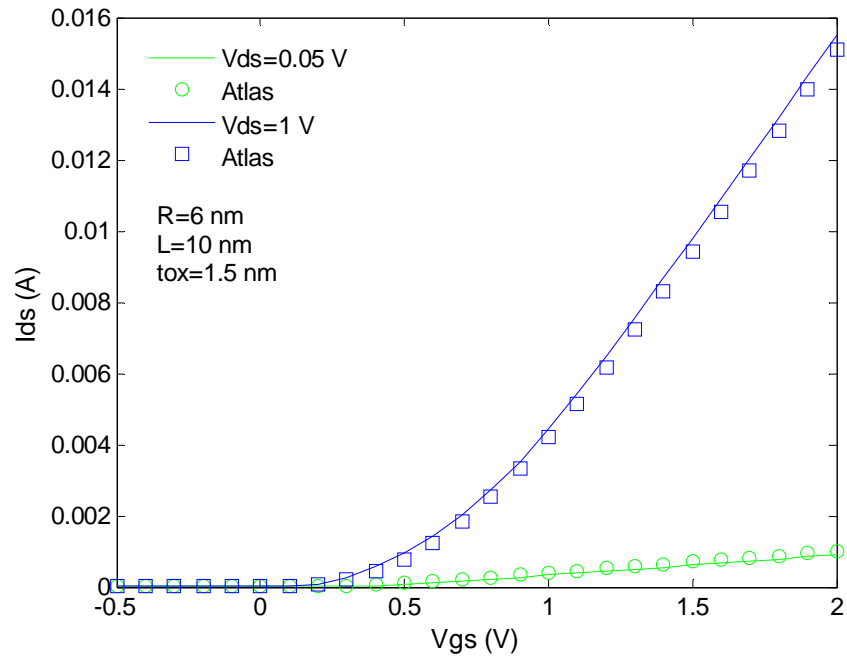
Le bon comportement du transistor dans le régime de la forte inversion est obtenu via la prise en compte de l'effet de la modulation de la longueur du canal (Eq. (3.24) dans Eq. (3.30)), et pour les paramètres d'ajustements donnés. En effet, ignorer l'effet de la modulation de la longueur du canal provoque la dégradation de la caractéristique de sortie de transistor dans le régime de forte inversion (cela dans le cas d'un SRG MOSFET à canal court).



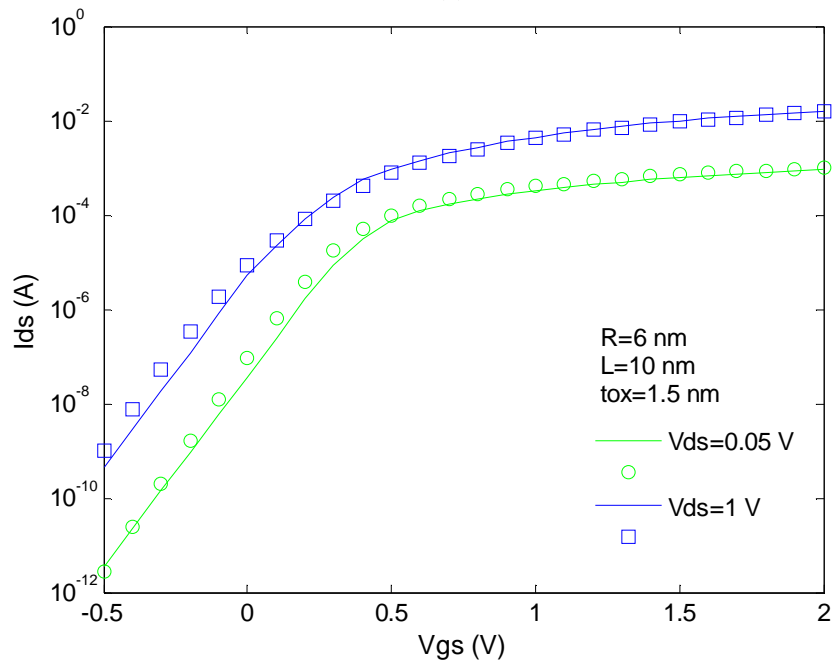
**Figure.3.2** Variation du courant de drain en fonction de la tension de drain du SRG MOSFET à canal très court ( $L=10$ nm). Ligne : modèle ; Symbole : Simulation numérique.

Sur la Figure.3.3(a) et (b), nous présentons la caractéristique de transfert du transistor SRG MOSFET à canal très court ( $L=10$ nm). Le courant de drain du modèle proposé est alors comparé avec celui obtenu par la simulation numérique du dispositif. Cela pour  $V_{gs}$  allant de -0.5 à 2.0V et  $V_{ds}$  égale à 0.05 et 1.0V. D'après cette figure, nous voyons que le courant de drain du modèle proposé présente également une bonne concordance par rapport aux résultats de la simulation numérique du SRG MOSFET. Cela en termes de caractéristique de transfert tracée en échelle linéaire (Figure.3.3(a)) et semi-logarithmique (Figure.3.3(b)).

La Figure.3.3(b) décrit le courant de drain modélisé lorsque l'effet DIBL, VT Roll-off et l'effet de la pente SS sont pris en compte. Notre modèle prédit très bien le décalage de la tension de seuil provoqué par l'effet DIBL et le Roll-off, ainsi que la dégradation de la pente dans le régime linéaire. Cela dans le cas d'un SRG MOSFET à canal très court. Nous constatons que le décalage de la tension de seuil due à l'effet DIBL et VT Roll-off (observé sur la Figure.3.3(b)) est significatif dans le cas du SRG MOSFET de 10nm de longueur du canal cylindrique, avec une EOT de 1.5nm et un rayon égal à 6nm.



(a)



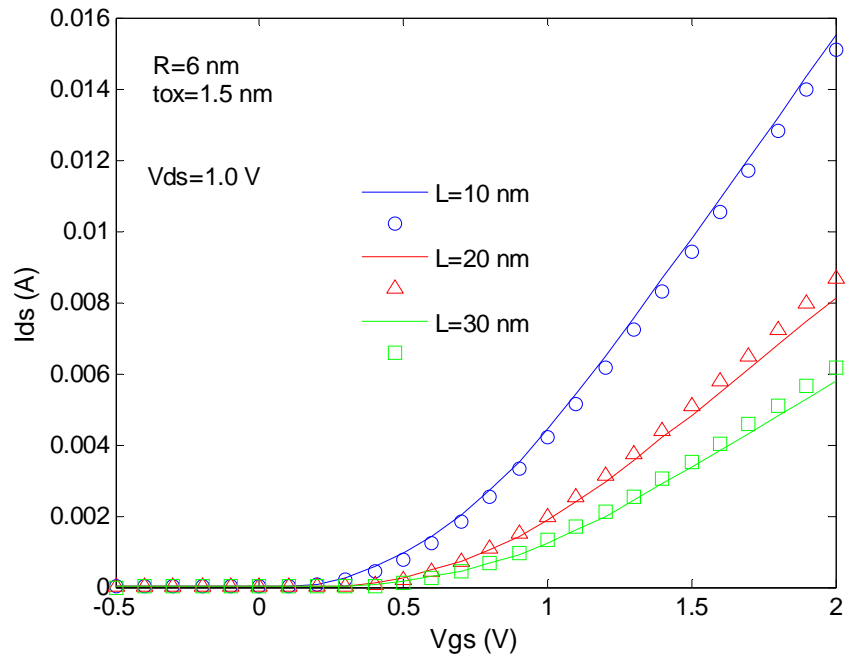
(b)

**Figure.3.3** Variation du courant de drain en fonction de la tension de grille du SRG MOSFET à canal très court ( $L=10\text{nm}$ ) : échelle linéaire (a) ; échelle semi-logarithmique (b).  
Ligne : modèle ; Symbole : Simulation numérique.

La Figure.3.4 correspond à la caractéristique de transfert du transistor SRG MOSFET tracée pour différentes longueurs du canal  $L$ . Cette figure montre la bonne précision du modèle dans une gamme de longueur du canal  $L$  allant de 10 à 30nm, cela à travers la



comparaison entre les résultats de la simulation numérique du dispositif (Symboles) et le courant de drain du modèle (Lignes).

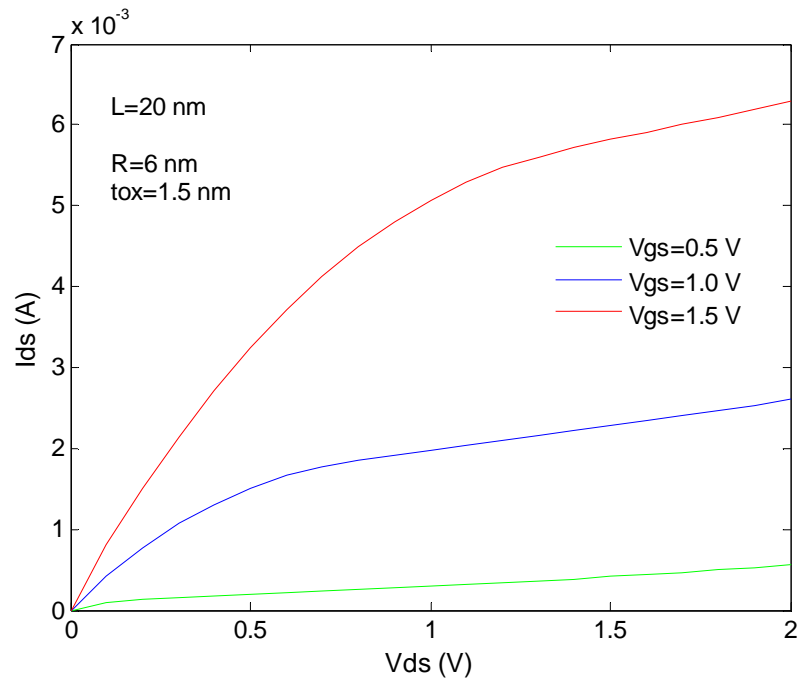


**Figure.3.4** Caractéristique de transfert pour différents longueurs du canal  $L=10, 20$  et  $30$ nm.  
Ligne : modèle ; Symbole : Simulation numérique.

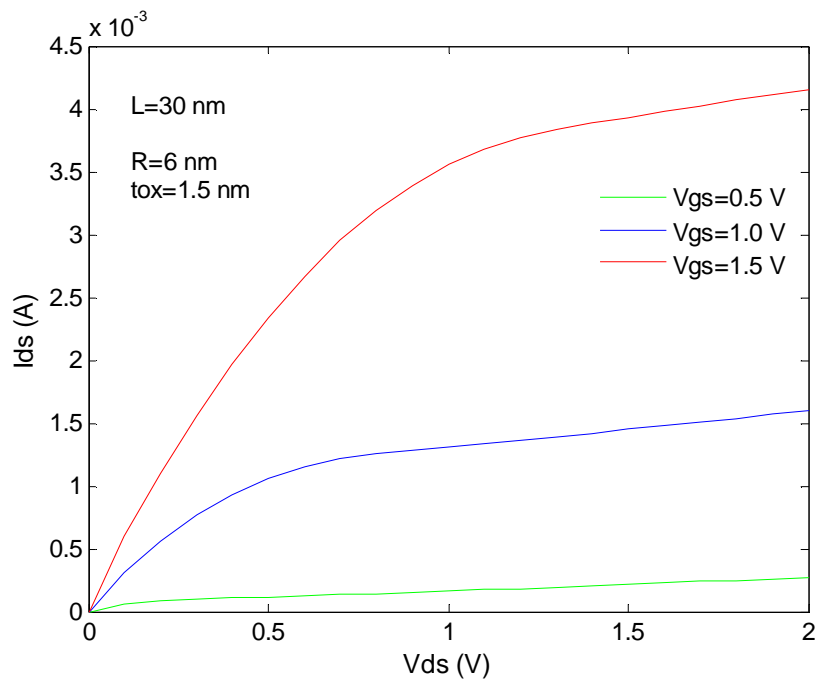
D'après les Figures 3.2, 3.3 et 3.4, nous pouvons conclure que le modèle proposé est validé pour un SRG MOSFET à canal très court de 10nm, avec un rayon de Silicium égal à 6 nm et une EOT de 1.5nm. Ce modèle est également valable pour une gamme de longueur qui varie de 10 à 30nm. La bonne précision du modèle (l'erreur relatif inférieur à 10 %) convient à l'utilisation du modèle dans la simulation de circuits.

### 3.3.3 Caractéristique de sortie pour les nœuds technologiques 20 et 30nm

La dépendance du modèle avec la longueur du canal  $L$  est obtenu à travers les caractéristiques de sorties pour les nœuds technologiques 20 (Figure.3.5(a)) et 30nm (Figure.3.5(b)) du TMOS à grille cylindrique (SRG MOSFET) à canal court. Cela pour un rayon de Silicium égal à 6 nm, une EOT de 1.5nm et pour une tension de grille qui varie de 0.5 à 1.5V.



(a)

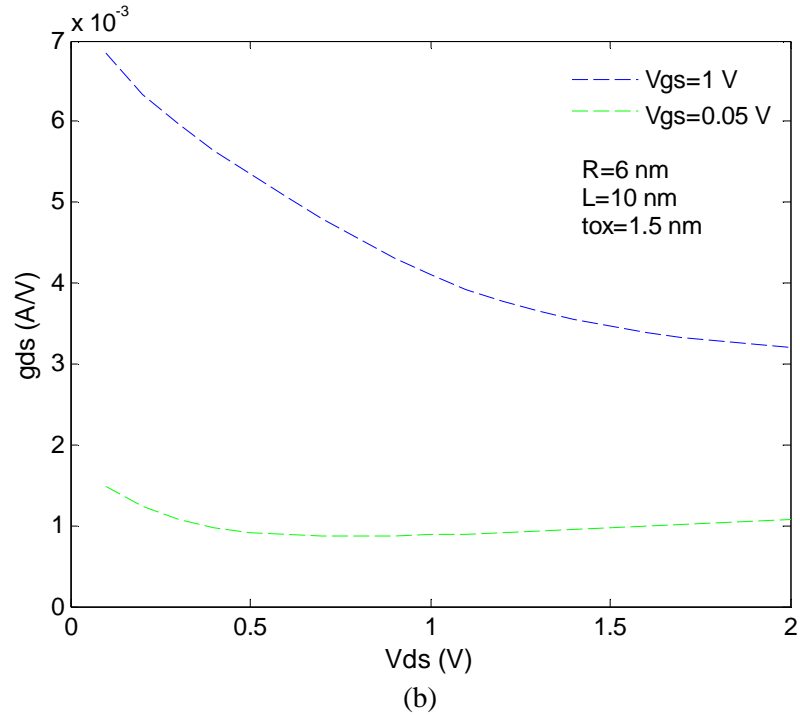
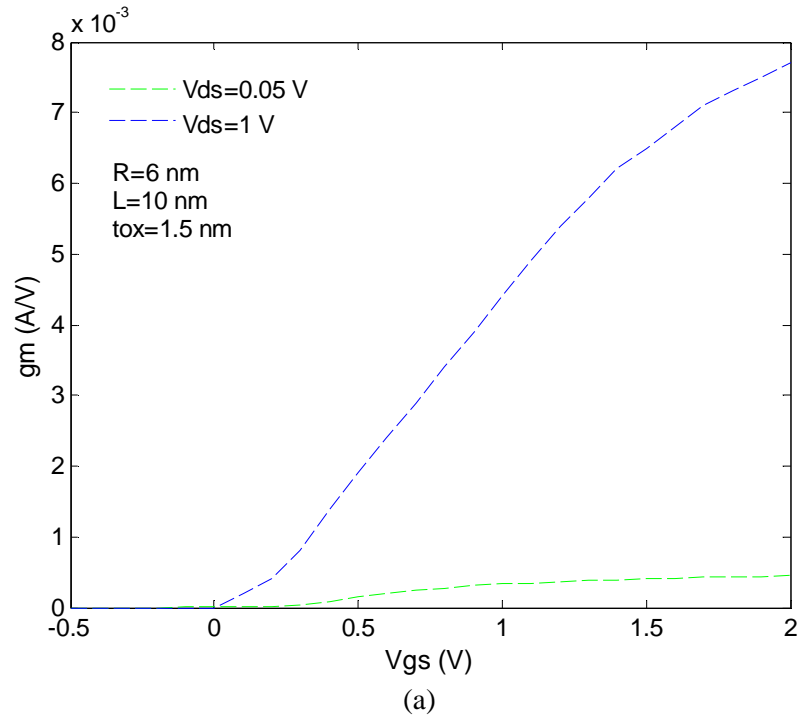


(b)

**Figure.3.5** Caractéristiques de sorties du SRG MOSFET à canal court : longueur du canal de 20nm (a) ; longueur du canal de 30nm (b).

### 3.3.4 Variation de la transconductance et la conductance

La transconductance  $g_m$  est un paramètre crucial dans la conception de circuits analogiques [18]. Ainsi, la Figure.3.6(a), montre une variation "raisonnable" de la transconductance  $g_m$  en fonction de la tension de grille  $V_{gs}$ , cela pour une faible et une forte valeur de la tension de drain  $V_{ds} = 0.05$  et  $1V$ . La Figure.3.6(b), illustre la conductance  $g_{ds}$  en fonction de la tension de drain  $V_{ds}$ .



**Figure.3.6** Variation de la transconductance en fonction de la tension de grille (a) ; variation conductance en fonction de la tension de drain (b).

## Conclusion

Dans ce chapitre, nous avons présenté un modèle compact relatif à l'établissement du courant de drain d'un TMOS à grille cylindrique et à canal court faiblement dopé. Les effets canaux court sont bien pris en charge dans le modèle proposé, tels que le DIBL, le  $V_T$  Roll-off, la dégradation de la pente sous le seuil et la modulation de la longueur du canal.

À partir de l'équation de *Poisson* et l'approximation du canal graduel (GCA), le potentiel de surface est calculé de manière explicite. La densité de charges mobiles est écrite en termes de potentiel de surface et de la différence entre le potentiel de surface et le potentiel au centre du canal cylindrique. En plus, le courant de drain du modèle proposé est calculé de manière explicite, au cours d'un temps très rapide et il n'utilise aucune procédure de calcul itératif. Il est donc bien adapté pour la simulation de circuits. De plus, les effets "canaux courts" sont modélisés avec des expressions analytiques simples.

Le modèle proposé utilise par ailleurs un nombre réduit de paramètres d'ajustements (trois), citons  $\lambda$ ,  $\tau$  et  $\mu_0$ , ces derniers sont fixés à travers la simulation numérique du dispositif. En effet, la simplicité et la continuité du modèle compact du courant de drain du SRG MOSFET proposé mène à l'utilisation de ce modèle dans la simulation de circuits.

Enfin, le modèle proposé a été validé pour un SRG MOSFET à canal très court (jusqu'à 10nm de longueur), cela via les résultats de la simulation numérique de dispositif obtenues avec le logiciel commercialisé SILVACO-ATLAS-TCAD. De plus, la bonne précision du modèle (écart entre les résultats du modèle et ceux de la simulation inférieur à 8%) convient à l'utilisation de celui-ci dans la simulation de circuits.

## Références bibliographiques

- [1] *The International Technology Roadmap for Semiconductors (ITRS)*, web site <http://www.itrs.net/>.
- [2] J. P. Colinge, "*FinFETs and Other Multi-Gate Transistors: Technology to Circuit*", Springer and Business Media, ISBN 978-0-387-71751-7, 2008.
- [3] W. Bian, J. He, L. Zhang et al, "*Sub-threshold behavior of long channel undoped cylindrical surrounding-gate MOSFETs*", *Microelectronics Reliability*, vol. 49, pp. 97-03, 2009.
- [4] F. Liu, J. Zhang, F. He et al, "*A charge based compact model for predicting the current-voltage and capacitance voltage characteristics of heavily doped*

- Cylindrical Surrounding-gate MOSFETs*”, Solid-State Electronics, vol. 53, pp. 49-53, 2009.
- [5] F. Liu, J. He, L. Zhang et al, “*A Charge-Based Model for Long-Channel Cylindrical Surrounding-Gate MOSFETs From Intrinsic Channel to Heavily Doped*”, IEEE Transactions on Electron Devices, vol. 55, pp. 87-94, 2008.
- [6] H. A. El Hamid, B. Iñíguez and J. R. Guitart, “*Analytical Model of the Threshold Voltage and Subthreshold Swing of Undoped Cylindrical Gate-All Around Based MOSFETs*”, IEEE Transactions on Electron Devices, vol. 54, pp. 72-79, 2007.
- [7] B. Ray and S. Mahapatra, “*Modeling and Analysis of Body Potential of Cylindrical Gate-All-Around Nanowire Transistor*”, IEEE Transactions on Electron Devices, vol. 55, pp. 09-16, 2008.
- [8] H. Børli, S. Kolberg, T-A. Fjeldly et al, “*Precise Modeling Framework for Short-Channel Double-Gate and Gate-All-Around MOSFETs*”, IEEE Transactions on Electron Devices, vol. 55. pp. 78-86, 2008.
- [9] D. Jiménez, B. Iñíguez, J. Suñé et al, “*Continuous Analytic I–V Model for Surrounding-Gate MOSFETs*”, IEEE Electron Device Letters, vol. 25, pp. 71-73, 2004.
- [10] N. Arora, “*MOSFET Modeling for VLSI Circuit Simulation: Theory and Practice*”, World Scientific, ISBN-13 978-981-256-862-5, 2007.
- [11] M. Cheralathan, A. Cerdeira and B. Iñíguez, “*Compact model for long-channel cylindrical surrounding-gate MOSFETs valid from low to high doping concentrations*”, Solid-State Electronics, vol. 55, pp. 13-18, 2011.
- [12] *Mathematic web site* < <https://www.wolframalpha.com/>>.
- [13] A. Cerdeira, O. Moldovan, B. Iñíguez et al, “*Modeling of potentials and threshold voltage for symmetric doped double-gate MOSFETs*”, Solid-State Electronics, vol. 52, pp. 30-37, 2008.
- [14] V. Hariharan, J. Vasi et al, “*Drain Current Model Including Velocity Saturation for Symmetric Double-Gate MOSFETs*”, IEEE Electron Device Letters, vol. 55, pp. 73-80, 2008.
- [15] A. Cerdeira, B. Iñíguez and M. Estrada, “*Compact model for short channel symmetric doped double-gate MOSFETs*”, Solid-State Electronics, vol. 52, pp. 64-70, 2008.

- [16] J. Alvarado, B. Iñíguez and M. Estrada et al, “*Implementation of the symmetric doped double-gate MOSFET model in Verilog-A for circuit simulation*”, International Journal of Numerical Modeling, vol. 23, pp. 88-106, 2009.
- [17] C. G Montoro, M. C. Schneider, “*MOSFET modeling for circuit analysis and design*”, World Scientific, ISBN-13 978-981-256-810-6, 2007.
- [18] A. B. Bhattacharyya, “*Compact MOSFET models for VLSI design*”, John Wiley & Sons (Asia) Pte Ltd, ISBN: 978-0-470-82342-2, 2009.

## **Chapitre 4**

# **Étude et extraction des paramètres de transistors Multi-Grilles sans jonctions à nanofil : le dopage et la tension de bande plate**

## 4.1 Introduction

Durant ces dernières années, les transistors Multi-Grilles (MG) à nanofil sont devenus un choix-industriel pour la majorité des compagnies des Semi-conducteurs pour la fabrication des circuits CMOS, tels que INTEL [1], en raison essentiellement des hautes performances obtenues dans ce cas. De plus, ce type de dispositif est considéré comme un excellent candidat pour continuer le *Scaling* (Cf. ITRS [2]).

Les Multi-Grilles sont des transistors qui utilisent l'effet de jonctions. En effet, des jonctions *PN* forment les régions de Drain et de Source. Cependant, et puisque les Multi-Grilles (MG) à nanofil sont des dispositifs de taille nanométrique, la réalisation d'un fort dopage (graduel) ainsi que la formation de-jonctions ultrafines devient de plus en plus difficile et représente un *Challenge* pour les industries des Semi-conducteurs. À cet effet, la recherche de nouveaux dispositifs s'oriente vers les transistors multi-grilles sans jonctions à nanofil, soit en Anglais "Junctionless Nanowire Transistor (JNT)". Ce type de transistor a été récemment proposé [3]. Dans les *JNTs*, un seul type de dopage est réalisé au lieu du dopage gradient qui permet la formation de jonctions, comme dans le cas du TMOS classique ou le DG MOSFET.

Dans la littérature et d'après les travaux récemment publiés [4, 5], les transistors *JLNs* présentent une grande attraction pour les chercheurs, car ils présentent un processus de fabrication technologique simple qui est très compatible avec le processus de fabrication classique (technologie CMOS de nœud inférieure à 22nm). En comparaison avec les transistors qui fonctionnent en mode d'inversion, les transistors *JLNs* offrent un meilleur comportement et d'excellentes caractéristiques : de faibles résistances d'accès, un bon rapport  $I_{on}/I_{off}$ , contrôlent des effets canaux courts à travers la réduction de l'effet DIBL, une réduction de  $V_{th}$  *Roll-off*, une bonne pente sous le seuil et un faible courant de fuite (courant de grille) [6].

À cet effet, nous commençons ce chapitre par une étude du fonctionnement et des propriétés principales des transistors *JLNs*. Ensuite, puisque la tension de bande plate  $V_{fb}$  et le dopage  $N_d$  jouent un rôle très important dans le fonctionnement de ces transistors, nous présentons une extraction des paramètres du dopage  $N_d$  et de la tension de bande plate  $V_{fb}$  d'un Triple-Grille *JLNs* à partir des caractéristiques électriques réalisés. Pour cela, nous utilisons, via des simulations numériques à l'aide du logiciel SILVACO-TCAD, des méthodes basées sur le calcul de la dérivée de la capacité grille-canal  $dC_{gc}/dV_{gs}$  (par rapport à  $V_{gs}$ ) et de la concentration moyenne des porteurs dans le canal à nanofil [7]. Les résultats obtenus



permettront ensuite d'analyser l'origine des pics liés à la dérivée de la capacité grille-canal  $dC_{gc}/dV_{gs}$ . Nous pourrons ainsi analyser l'influence de la grille arrière et des paramètres technologiques sur la position et la hauteur des pics. Ces derniers donnent des informations sur la tension de seuil, la tension de bandes plates et le dopage de ce type de dispositifs.

## 4.2 Fonctionnement et propriétés des transistors sans jonctions

Le *JLN* est un transistor à canal très mince et assez étroit qui ne nécessite pas l'utilisation de jonctions, comme dans le cas des TMOS qui fonctionnent en mode d'inversion et utilisent de jonctions *PN* du côté de la Source et du Drain. En plus, le dopage du canal nanofil est de même type que la Source et le Drain, cependant il doit être fortement dopé ( $> 1.10^{18} \text{ cm}^{-3}$ ). Ceci permet d'obtenir une déplétion entière ainsi que de bloquer le transistor (l'état "Off"). Les transistors multi-grille *JLNs* combinent les architectures de transistors à canal nanofil sans jonctions et des architectures multi-grilles, comme le Triple-Grille et le SRG MOSFET.

Le fonctionnement du transistor *JLN* est basé essentiellement sur le régime de déplétion, il est possible d'avoir une accumulation de charges, cela contrairement aux dispositifs MOS qui fonctionnent en mode d'inversion.

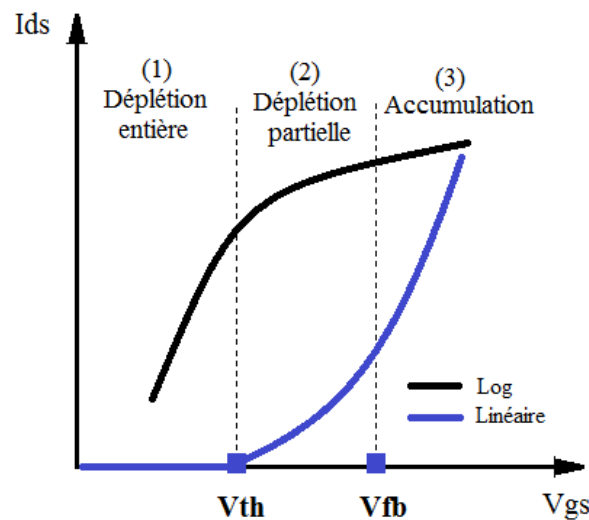
Puisque, le *JLN* utilise un canal nanofil de fort dopage, le fonctionnement du transistor ne dépend pas seulement de la tension de seuil  $V_{th}$  mais aussi de la tension de bandes plates  $V_{fb}$  du transistor [8].

Comme le montre la Figure.4.1, le fonctionnement du transistor sans jonctions à nanofil (dopé  $N^+$ ) peut être évalué dans trois régions de fonctionnement suivant la tension de grille  $V_{gs}$  :

- Dans la région (1) et pour une faible tension de grille ( $V_{gs} \leq V_{th}$ ), la densité de charge est entièrement déplétée en volume, la conduction est alors bloquée dans le canal. Ensuite, la densité de charge électronique augmente avec l'augmentation de la tension de grille, une partie du canal devient neutre ( $n = N_d$ ) et c'est la tension de seuil ( $V_{gs} = V_{th}$ ).
- Dans la région (2) et pour une tension de grille supérieure à  $V_{th}$  et inférieure à  $V_{fb}$ , le canal est en déplétion partielle. On commence alors à observer une conduction de porteurs et un courant commence à circuler. En effet, la densité

de charge électronique dans le canal continue de croître avec  $V_{gs}$  jusqu'à être égale au dopage  $N_d$ , et c'est le  $V_{fb}$ .

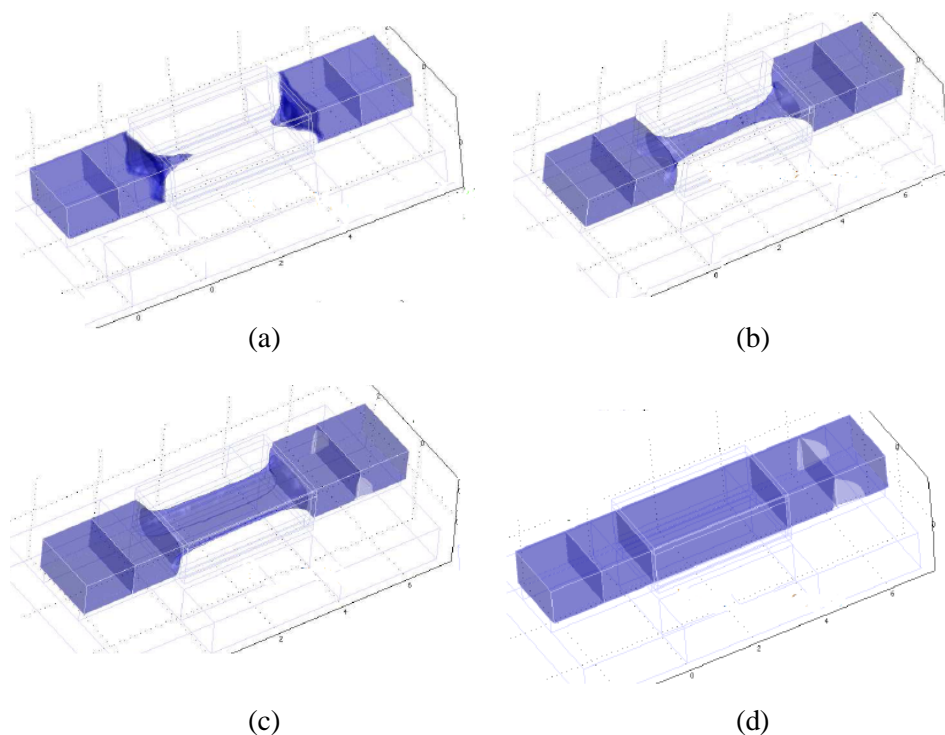
- Pour une tension de grille  $V_{gs}$  supérieure à la tension bande plate  $V_{fb}$  (région (3)), les charges (électrons dans le cas d'un type  $N$ ) sont attirées à l'interface Semi-conducteur/Oxyde de grille et un canal est formé par accumulation, le courant devient de plus en plus important en comparaison avec le courant obtenu en déplétion partielle (la région (2)).



**Figure.4.1** Variation du courant de drain en fonction de la tension de grille  $V_{gs}$  pour un transistor JLN (type  $N$ ), pour une faible tension de drain  $V_{ds}$ .

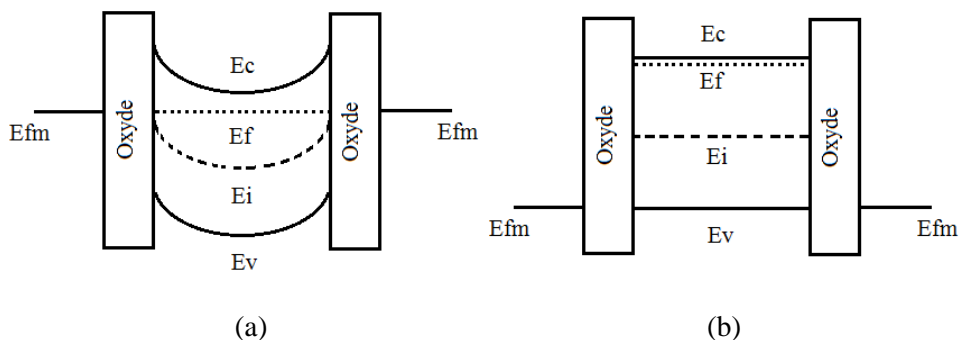
Sur la Figure.4.1, on peut remarquer que la variation du courant de drain en fonction de la tension de grille est similaire à celle de transistors qui fonctionnent en mode d'inversion. En effet, les caractéristiques sont les mêmes mais la physique des deux dispositifs est par contre différente.

Afin de mieux comprendre le fonctionnement des transistors  $JLN$ s ainsi que le mécanisme de conduction de ces dispositifs, nous montrons sur la Figure.4.2, l'évolution de la densité de charges électroniques (en contour) dans un transistor  $JLN$  de type  $N$ . Sur la Figure.4.2(a), la conduction est bloquée par déplétion entière des électrons (pas de canal formé). Ensuite, pour une tension de grille supérieure ou égale ( $V_{gs}$  n'est pas encore assez élevé) à  $V_{th}$ , on est en régime de déplétion partielle et une partie du canal devient neutre (Figure.4.2(b)). Enfin, plus  $V_{gs}$  devient élevé, plus la grille attire des électrons et un canal se forme par accumulation (Figure.4.2(d)).



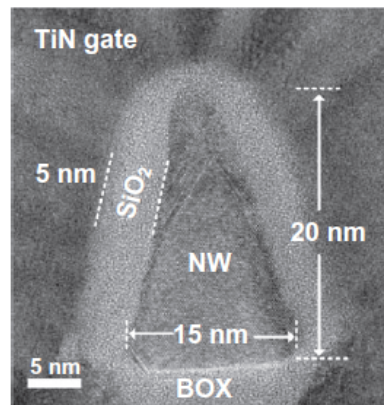
**Figure.4.2** Evolution de la densité de charge électronique en contour et en fonction de la tension de grille dans transistor JLN (type  $N$ ) :  $V_{gs} < V_{th}$  (a) ;  $V_{gs} \geq V_{th}$  (b) ;  $V_{gs}$  élevé (c) ; Accumulation (d) [8, 9].

Sur la Figure.4.3(a), nous présentons les diagrammes de bandes d'énergies d'un transistor sans jonctions à nanofil (type  $N$ ) dans laquelle le canal est en déplétion entière (état "Off"). La condition de bande plate est atteinte lorsque la polarisation positive de grille  $V_{gs}$  est égale à la différence de travail de sortie du canal nanofil et du matériau de grille (dans cette condition le transistor est à l'état "On") (Figure.4.3 (b)).



**Figure.4.3** Diagrammes de bande d'énergie de transistor  $JLN$  de type  $N$  : canal en déplétion entière (état "Off") (a); Condition de bande plate (état "On") (b).

Sur la Figure.4.4, nous présentons une coupe transversale d'un transistor sans jonctions à nanofil (JLN). Cette dernière est une image en microscope électronique à transmission d'un transistor JLN fabriqué sur du SOI. Le matériau de grille, l'épaisseur du canal à nanofil ainsi que les paramètres technologiques de ce JLN sont bien représentés sur la figure.



**Figure.4.4** Image en MET d'une coupe transversale d'un transistor sans jonction à nanofil (JLN) [6].

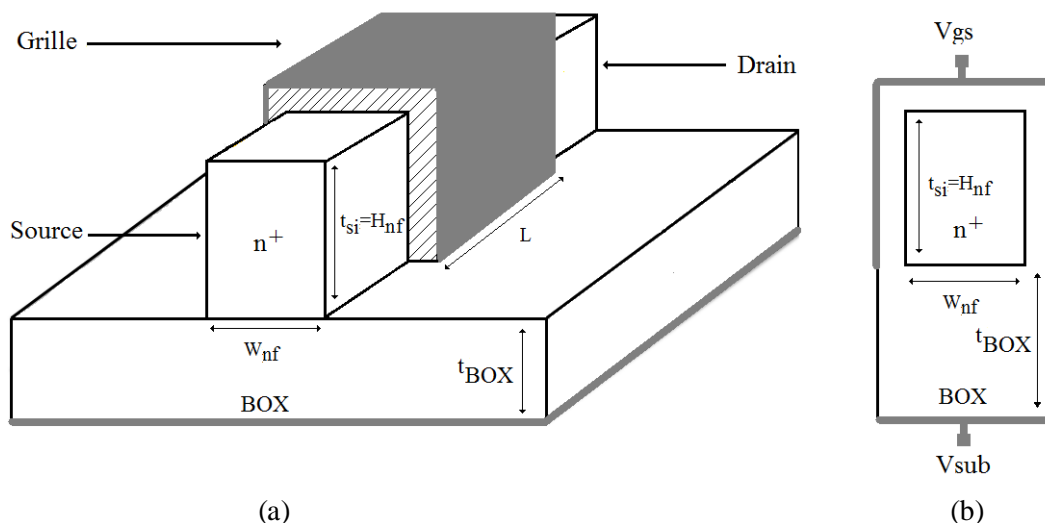
### 4.3 Extractions des paramètres du transistor multi-grille sans jonction à nanofil : dopage et tension de bande plates

Comme vu précédemment, la tension de bande plate  $V_{fb}$  et le dopage  $N_d$  sont des paramètres critiques dans les transistors sans jonctions. En effet, la détermination et l'extraction précise et fiable de  $V_{fb}$  et  $N_d$  dans des transistors multi-grilles sans jonctions requiert une importance essentielle pour la modélisation, le développement et l'optimisation de ce dispositif et donc pour sa technologie de fabrication et sa caractérisation.

#### 4.3.1 Structure du transistor sans jonctions

La Figure.4.5, montre le schéma de la structure du transistor considéré. Ce dernier est un triple-grille sans jonction à nanofil (type  $N$ ). Avec  $W_{nf}$  est la largeur du canal à nanofil et  $H_{nf}$  est sa hauteur. Ce dernier présente une épaisseur de Silicium  $t_{si}$ .  $t_{BOX}$  est l'épaisseur de l'oxyde enterré (BOX) et  $L$  est la longueur du canal. Le transistor considéré est un dispositif à canal "long" de 100nm et de dopage fort et uniforme.  $V_{gs}$  correspond à la tension de grille et

$V_{sub}$  est la tension appliquée au substrat (grille arrière), dans le fonctionnement normal du dispositif  $V_{sub} = 0$ .



**Figure.4.5** Structure du transistor triple-grille sans jonctions à nanofil : en 3-D (a) ; coupe transversale (b).

### 4.3.2 Présentation des résultats et discussions

#### 4.3.2.1 La variation de la densité de charge moyenne

Dans cette section, nous considérons un triple-grille sans jonction à canal long fortement dopé. L'ensemble des paramètres technologiques de ce dispositif sont donnés sur le Tableau.4.1 [7].

$W_{nf} (nm)$	$L(nm)$	$H_{nf} (nm)$	$t_{ox}(nm)$	$N_D (cm^{-3})$	$\Phi_M (eV)$
$W_{nf} = 20, 40 \text{ et } 60$	100	8	1.3	$5.10^{18}$	4.7

**Tableau.4.1** Paramètres technologiques de transistor triple-grille sans jonctions à nanofil.

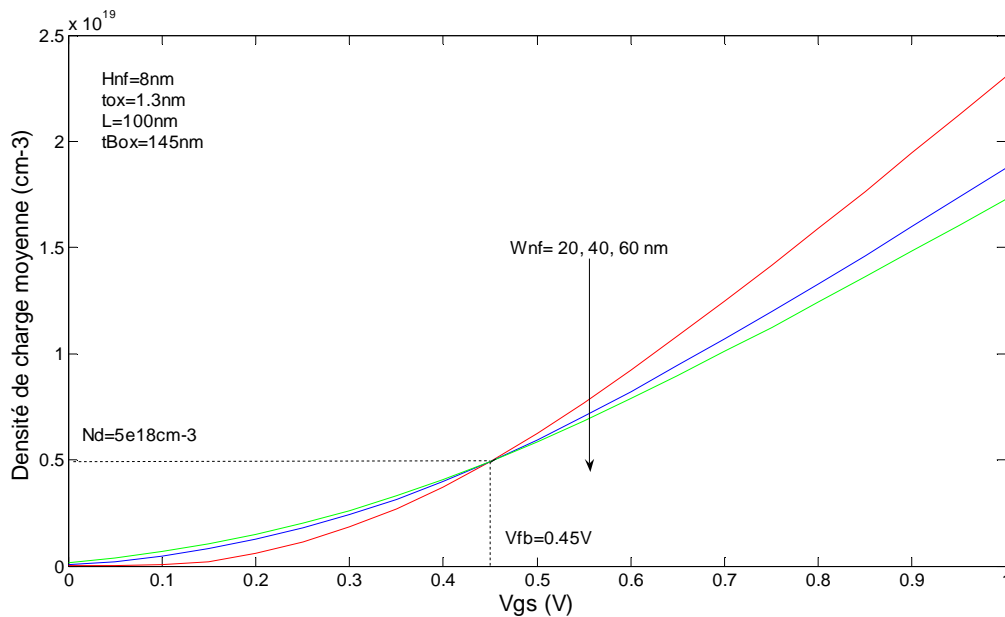
Nous effectuons une simulation numérique à l'aide du simulateur SILVACO-TCAD. Cette simulation consiste à résoudre les équations de Poisson et de continuité des porteurs. La simulation considérée est de type classique car l'influence des effets quantiques n'est pas

prépondérante dans le cas de triple-grille *JLN* de largeur du canal  $w_{nf}$  supérieure à 10nm [7]. Cette technologie à été d'ailleurs développée pour résoudre les problèmes induit par les effets quantiques.

Pour différentes largeurs du canal nanofil  $w_{nf} = 20, 40$  et  $60nm$ , la simulation numérique des coupes transversales de transistor nous à permis de déterminer la densité de charge électronique  $N_{sur}$ . La densité de charge moyenne  $N_{moy}$  est calculée par la suite via  $N_{moy} = (N_{sur} \cdot L) / V_{canal}$ . Où  $V_{canal}$  est le volume total du canal  $V_{canal} = L \cdot H_{nf} \cdot w_{nf}$  et  $N_{sur}$  est la densité de charge par unité de surface. La variation de la densité de charge moyenne pour différentes largeurs du canal permet de définir la tension de bande plate  $V_{fb}$  et le dopage  $N_d$ . Cela est possible via un point d'intersection des courbes (présenté sur la Figure.4.6).

La Figure.4.6, présente la variation de la densité de charge moyenne en fonction de la tension de grille pour le transistor triple-grille *JLN* à canal "long" considéré. Pour différentes largeurs  $w_{nf} = 20, 40$  et  $60nm$ . Nous pouvons remarquer que tous les courbes passent par un point commun. Ce point d'intersection correspond à la tension de bande plate  $V_{fb}$  [7], qui vaut  $0.45V$  et un dopage  $N_D = 5.10^{18} cm^{-3}$ . On remarque également, que le dopage obtenu est bien celui du dispositif considéré  $N_D = 5.10^{18} cm^{-3}$ .

On peut dire que la méthode utilisée, nous à permis d'extraire et de déterminer les bons paramètres ( $N_D$  et  $V_{fb}$ ) dans le cas du transistor triple-grille *JLN* et à canal "long".



**Figure.4.6** Variation de la densité de charge moyenne en fonction de la tension de grille du transistor triple-grille *JLN* à canal "long", pour différentes largeurs  $w_{nf} = 20, 40$  et  $60nm$ .

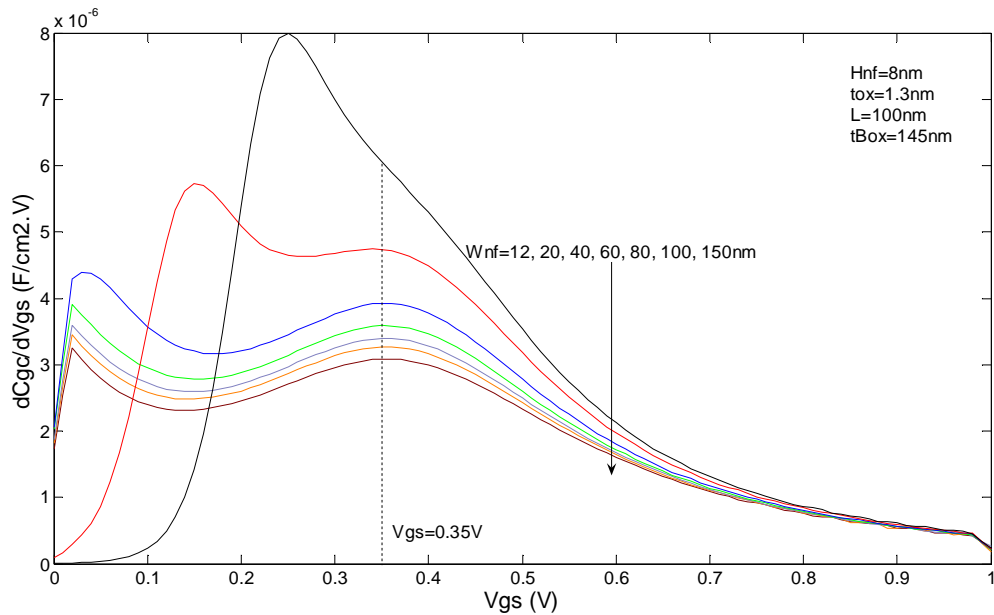
### 4.3.2.2 Analyse de la variation de la dérivée de la capacité grille-canal

L'analyse de la variation de la capacité grille-canal est un élément incontournable dans l'étude des transistors *JLN*s. En effet, la variation de cette capacité nous renseignera sur le passage d'un régime à un autre. C'est-à-dire le passage de la déplétion totale à la déplétion partielle et de la déplétion partielle à l'accumulation. Nous pourrions alors en déduire une estimation de la tension de seuil et de la tension de bandes plates.

Dans cette partie, la simulation numérique du transistor triple-grille sans jonction va nous permet d'étudier et d'analyser la dérivée de la capacité grille-canal en fonction de la tension de grille. Cela pour les mêmes paramètres de dispositif relevés sur le Tableau.4.1, et pour une large gamme de largeur du canal nanofil  $W_{nf} = 12, 20, 40, 60, 80, 100, \text{ et } 150\text{nm}$ .

La Figure.4.7, présente la variation de la dérivée de la capacité grille-canal  $dC_{gc} / dV_{gs}$  en fonction de la tension de grille  $V_{gs}$  pour un triple-grille *JLN*. La première chose que nous pouvons remarquer est que la variation de  $dC_{gc} / dV_{gs}$  en fonction de  $V_{gs}$  présente deux Pics : le premier Pic est lié à la tension de seuil  $V_{th}$ , où une partie du canal devient neutre ( $n = N_D$ ), le deuxième Pic est souvent utilisé pour identifier la tension de bande plate  $V_{fb}$ , c'est-à-dire la transition de régimes entre la déplétion partielle et l'accumulation, où la canal est entièrement neutre.

Nous pouvons remarquer que plus on réduit la largeur du canal  $W_{nf}$  (de 150 à 12nm), plus la position et la hauteur du premier Pic varient (décalage vers le second Pic jusqu'à ce que on peut voir un seul Pic (au lieu de deux). Ceci est le cas pour le transistor triple-grille *JLN* très étroit  $W_{nf} = 12\text{nm}$ . Nous concluons donc que la tension de seuil  $V_{TH}$  (premier Pic) augmente avec la réduction de la largeur du canal car l'effet des parois latérales de grille devient fort et la section du canal neutre est de plus en plus petite. En outre, le deuxième Pic ne change pas de position. Cependant, la position du deuxième Pic ne donne pas la bonne valeur de la tension de bande plate  $V_{fb}$ . En effet, le deuxième Pic donne 0.35V au lieu 0.45V, cette dernière valeur a été obtenu précédemment à partir de la Figure.4.6.



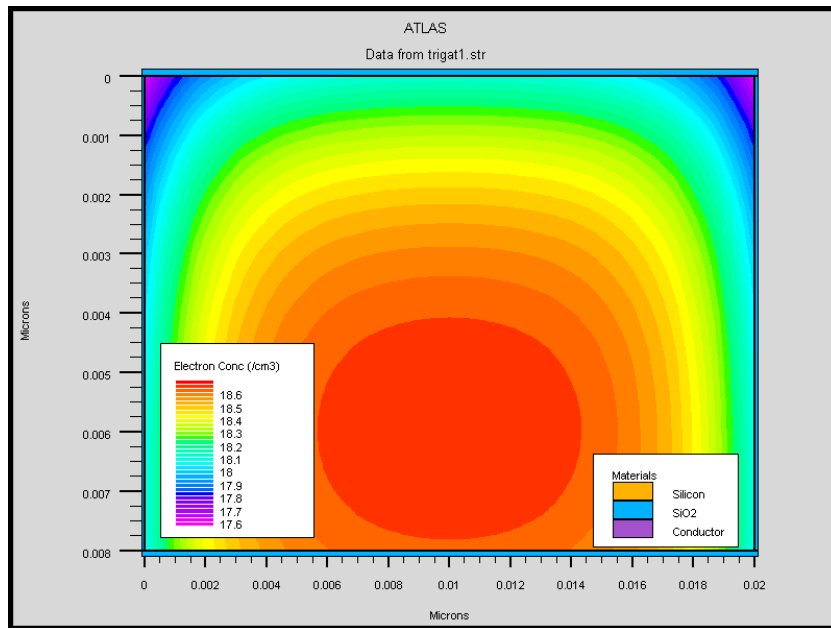
**Figure.4.7** Variation de dérivé de la capacité grille-canal  $dC_{gc} / dV_{gs}$  en fonction de la tension de grille  $V_{gs}$  de transistor triple-grille *JLN* à canal long, pour différentes largeurs  $W_{nf}$ .

Afin d’identifier l’origine du deuxième Pic ainsi que la tension de bande plate, nous effectuons des coupes transversales dans le canal pour différentes tensions de grille  $V_{gs}$ . La Figure.4.8, présente la distribution et la densité de charge électronique dans le canal nanofil de triple-grille *JLN* de 20nm de largeur, 8nm de hauteur et un dopage de  $5.10^{18} cm^{-3}$ . Cela pour différentes valeurs de la polarisation de grille  $V_{gs}$ .

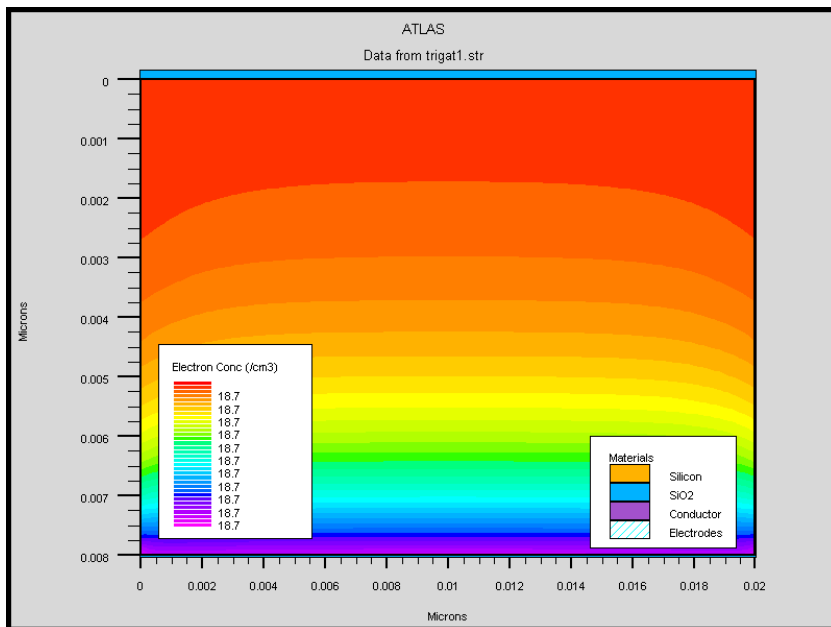
Nous constatons qu’autour du deuxième Pic ( $V_{gs} = 0.35V$ ), le canal n’est pas totalement neutre (Figure.4.8(a)), car la densité électronique (en tout points) n’est pas égale à celle des dopants  $N_D = 5.10^{18} cm^{-3}$ . De plus, on peut remarquer que le canal est encore en déplétion partielle.

La Figure.4.8(b), présente la densité de charge électronique dans le canal nanofil du tripe-grille *JLN* pour  $V_{gs} = 0.45V$ . On peut nettement voir que la densité de charge électronique (en tout points) est égale à la densité des dopants  $N_D = 5.10^{18} cm^{-3}$ , le canal est donc totalement neutre et 0.45V est la bonne valeur de  $V_{fb}$ .





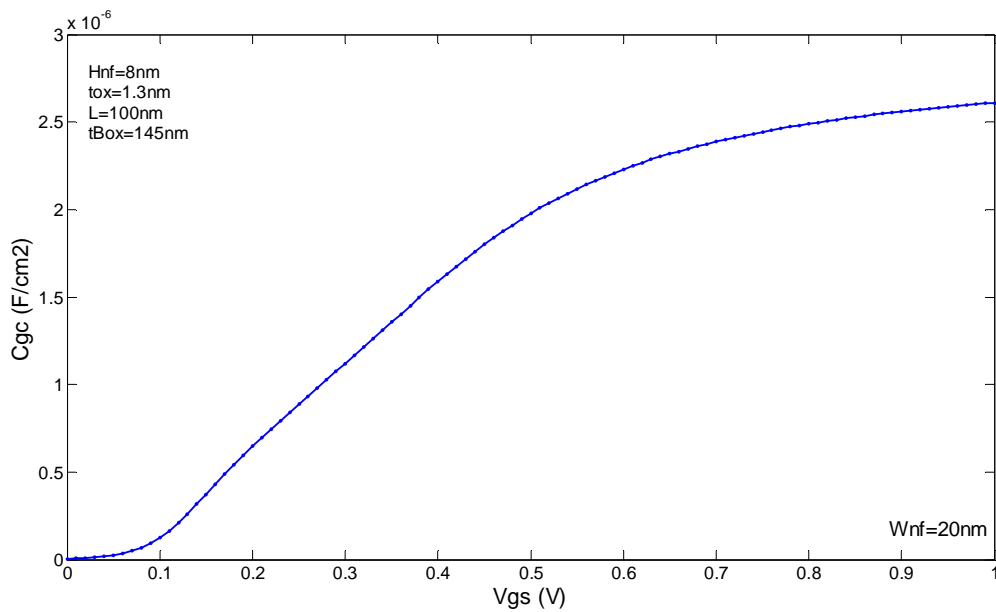
(a)



(b)

**Figure.4.8** Variation de la densité de charge électronique dans le canal du triple-grille sans jonction (coupe transversale) : pour  $V_{gs} = 0.35V$  (autour du deuxième Pic) (a) ; pour  $V_{gs} = 0.45V$  (b).

La Figure.4.9, présente la variation de la capacité grille-canal en fonction de la tension de grille  $V_{gs}$  pour un triple-grille *JLN*. On peut voir que la capacité grille-canal augmente au début rapidement avec  $V_{gs}$ , puis après une certaine valeur de  $V_{gs}$  elle augmente moins, car la densité de charge électronique augmente moins. En effet, le deuxième Pic de la dérivée de la capacité grille-canal  $dC_{gc}/dV_{gs}$  est probablement lié à la variation de l'incrément de la densité de charge électronique dans la zone de déplétion. Cela ne peut pas être négligé près de la tension de bande plate.



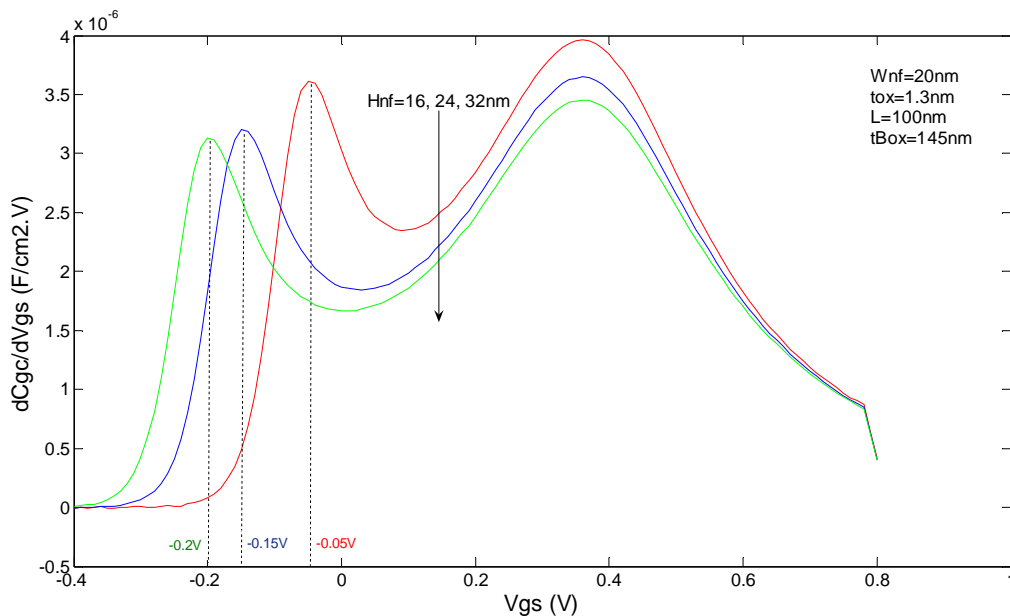
**Figure.4.9** Evolution de la capacité grille-canal  $C_{gc}$  en fonction de la tension de grille  $V_{gs}$  du transistor triple-grille *JLN* à canal "long".

Sur la Figure.4.10, nous présentons la variation de la capacité grille-canal en fonction de la tension de grille, et cela pour différentes hauteurs du canal Silicium  $H_{nf}$  (la hauteur du canal  $H_{nf}$  est égale à l'épaisseur du Silicium  $t_{si}$  dans le cas de la structure triple-grille).

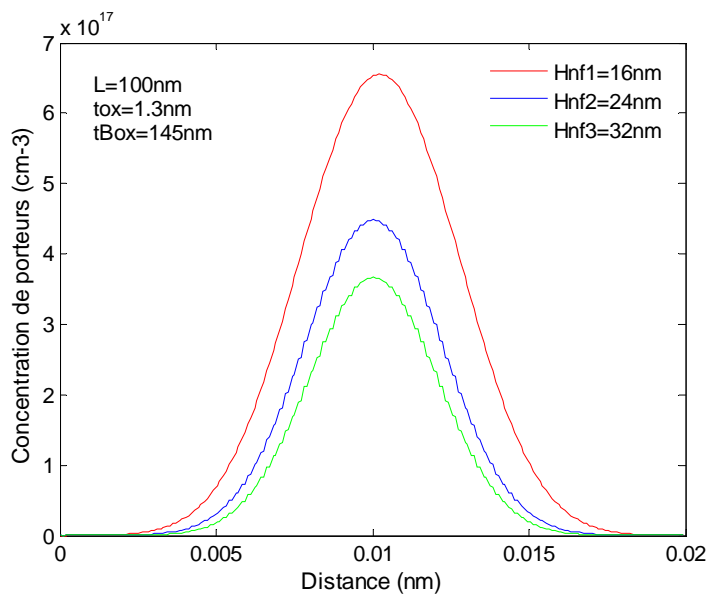
On peut voir que la tension de seuil du transistor sans jonctions (liée au premier Pic) dépend de l'épaisseur du film de Silicium.

La tension de seuil du transistor sans jonction augmente avec la réduction de l'épaisseur du canal. En effet, cette dernière est liée à l'augmentation de la concentration de porteurs libres. C'est-à-dire, pour un transistor triple-grille sans jonctions, de canal mince ( $H_{nf} = 16\text{nm}$ ), la concentration de porteurs libres devient de plus en plus forte (Figure.4.11).

Sur cette dernière, nous montrons la variation de la concentration de porteurs autour de la tension de seuil (premier Pic) et pour différentes hauteurs du film de Silicium  $H_{nf} = 16, 24$  et  $32\text{nm}$  du transistor triple-grille sans jonctions.



**Figure.4.10** Variation de la dérivée de la capacité grille-canal  $dC_{gc} / dV_{gs}$  en fonction de la tension de grille  $V_{gs}$  du transistor triple-grille  $JLN$  à canal long, pour différentes hauteurs  $H_{nf} = 16, 24$  et  $32\text{nm}$ .



**Figure.4.11** Concentration de porteurs autour de la tension de seuil pour différentes hauteurs du film de Silicium  $H_{nf} = 16, 24$  et  $32\text{nm}$  du transistor triple-grille  $JLN$  à canal "long".

## Conclusion

Dans ce chapitre, le fonctionnement et les mécanismes de conduction de transistors sans jonctions à nanofil (JLNs) ont été présentés. Nous avons effectué une extraction de paramètres électriques de celui-ci : la tension de seuil, la tension de bande plate et le dopage. Cette extraction est basée sur des simulations numériques, en utilisant des méthodes basées sur le calcul de la densité de charge moyenne et la variation de la capacité grille-canal en fonction de la tension de grille.

La simulation numérique a permis de calculer la densité de charge libre dans le transistor triple-grille sans jonctions, ainsi que l'analyse de la variation de la capacité grille-canal. L'influence de paramètres technologiques, tels que la largeur et la hauteur du canal de Silicium a été étudiée. En effet, la tension de seuil du transistor triple-grille sans jonctions ne dépend pas seulement du dopage mais aussi de l'épaisseur du film de Silicium et de la largeur du canal.

Les résultats obtenus sont très utiles pour le développement de modèles compacts semi-empiriques des transistors triple-grille sans jonctions à canal "long". De plus, nos résultats permettent l'établissement d'expressions analytiques reproduisant la tension correspondant au deuxième Pic. Les résultats représentent un outil indispensable pour la caractérisation du composant.

Le concept de transistor sans jonctions permet d'optimiser les performances de dispositifs MOS Multi-grilles, faciliter la fabrication ainsi que de maîtriser de fines couches de Silicium à nanofil. Cela rend cette technologie très intéressante dans le futur très proche et motive la recherche sur ce type de composants.

## Références bibliographiques

- [1] INTEL web site <<http://www.intel.com/content/www/us/en/silicon-innovations/intel-22nm-technology.html?wapkw=tri-gate+22nm>>.
- [2] *The International Technology Roadmap for Semiconductors (ITRS)*, web site <<http://www.itrs.net/>>.
- [3] J.P. Colinge, A. Kranti et al, "Junctionless Nanowire Transistor (JNT): Properties and design guidelines", *Solid-State Electronics*, vol. 65, pp. 33-37, 2011.

- [4] C W. Lee, I. Ferain et al, “*Performance estimation of junctionless multigate transistors*”, Solid-State Electronics, vol. 54, pp. 97-103, 2010.
- [5] S. Gundapaneni, S. Ganguly et al, “*Bulk planar junctionless transistor (BPJLT): an attractive device alternative for scaling*”, IEEE Electron Device Letters, vol. 32, pp. 61-63, 2011.
- [6] C-H. Park, M-D. Ko et al., “*Electrical characteristics of 20-nm junctionless Si nanowire transistors*” Solid-State Electronics, vol. 73, pp. 7-10, 2012.
- [7] T. Rudenko, R. Yu et al, “*Method for Extracting Doping Concentration and Flat-Band Voltage in Junctionless Multigate MOSFETs Using 2-D Electrostatic Effects*”, IEEE Electron Device Letters, vol. 34, pp. 57-59, 2013.
- [8] A. Nazarov, J. P. Colinge et al, “*Semiconductor On Insulator Materials for Nanoelectronics Applications*”, Springer, ISBN 978-3-642-15867-4, 2011.
- [9] Tyndall web site < [www.tyndall.ie](http://www.tyndall.ie)>.

# **Conclusion générale**

## Conclusion générale

L'objectif principal de ce travail de thèse était d'établir des modèles analytiques compacts pour des dispositifs MOS à grilles multiples "nanométriques" et à "canaux courts". Ce type de modèle doit être de formulation analytique adéquate à l'application "simulation de circuits" et donc à la conception de circuits intégrés (application industrielle).

Au niveau du premier chapitre, nous avons commencé par présenter de manière succincte le transistor MOSFET "*bulk*". Nous avons également présenté l'intérêt et l'utilité des modèles compacts de dispositif MOS dans la conception de circuits intégrés, ainsi que les approches utilisées pour la modélisation compacte de ces composants. Un intérêt particulier a été réservé aux effets inhérents à la réduction de la taille des transistors MOS. Les opportunités et les solutions technologiques d'actualité envisagées pour résoudre ces problèmes ont été énumérées.

Ensuite, nous avons passé en revue l'ensemble des architectures multi-grilles FETs et leur évolutions : leurs performances ainsi que leurs développements, en partant du UTB MOSFET sur du SOI jusqu'à la structure du TMOS à grille cylindrique. En effet, l'excellent contrôle électrostatique des TMOS à grilles multiples a minimisé les effets canaux courts, et a permis alors de maintenir la réduction exponentielle des dimensions technologiques.

D'autre part, l'état de l'art des modèles compacts de transistors multi-grilles FETs a été présenté. Ainsi nous avons, tout d'abord, exposé les modèles BSIM-CMG et BSIM-IMG. Ce sont deux modèles en potentiel de surface développés à *Berkeley* pour la simulation de dispositifs multi-grilles : à grille commune (BSIM-CMG) et à grille indépendante (BSIM-IMG). Actuellement, le BSIM-CMG est l'unique modèle de norme industrielle valide pour des dispositifs MOS de configuration multi-grilles incluant un nombre important d'effets de petite géométrie.

De plus, nous nous sommes intéressés à l'état de l'art de ceux-ci. La synthèse de ces modèles nous a permis de nous inspirer pour inclure des effets spécifiques "canaux courts" dans notre modèle.

Dans le second chapitre, nous nous sommes intéressés à la modélisation compacte de DG MOSFET.

Ainsi et dans un premier temps, en suivant une approche de base physique, nous avons décrit le comportement statique du transistor DG MOSFET à travers des expressions analytiques du courant de drain et de la densité de charge mobile en fonction de la

polarisation. Nous avons alors exposé la procédure du calcul direct de la densité de charge mobile qui permet d'expliciter les solutions. Nous avons pris notamment en compte les effets canaux courts : le DIBL, le  $V_T$  *Roll-off* et l'effet de la dégradation de la mobilité. De plus, nous avons présenté l'ensemble d'expressions analytiques explicites des capacités de transferts qui reproduisent l'aspect dynamique du transistor DG MOSFET. Les résultats obtenus par cette modélisation présentaient un bon accord avec ceux obtenus par des simulations numériques du transistor considéré en utilisant l'outil ATLAS du logiciel SILVACO-TCAD.

La procédure du calcul direct et explicite de la densité de charge mobile tenant compte de la forme normalisée des solutions mène à la simplicité et à la fiabilité du modèle, et rend ce dernier très adéquat aux simulateurs de circuits.

Dans un seconde temps et afin de prouver la fiabilité du modèle proposé en termes d'application circuits et lui donner ainsi l'opportunité vers des applications industrielles, nous avons implémenté le modèle dans le langage Verilog-AMS. Des simulations temporelles de circuits tels que l'oscillateur *Colpitts* et l'inverseur à charge passive à l'aide du simulateur de circuit SMASH ont ainsi pu être effectuées. La stabilité de la tension de sortie de l'oscillateur *Colpitts* à une fréquence de l'ordre du GHz a été observée. Les résultats de la simulation temporelle des circuits confirment ainsi la fiabilité du modèle traduit en langage Verilog-AMS. Celui-ci a été inséré dans le flot de simulation HDL (considéré par SMASH).

Dans le troisième chapitre, nous avons présenté le modèle compact développé pour le TMOS à grille cylindrique (SRG MOSFET) à canal court faiblement dopé et nanométrique. Nous avons exposé le développement et la formulation analytique du modèle compact : l'expression explicite du potentiel de surface obtenu via une approche de base physique, la solution de la différence du potentiel de surface et du potentiel au centre de film de Silicium, la densité de charge mobile ainsi que le courant de drain. Nous avons introduit alors les "effets canaux courts" du SRG MOSFET au niveau du courant de drain de manière analytique simple, tels que l'effet DIBL, le  $V_T$  *Roll-off*, la dégradation de la pente sous le seuil et la modulation de la longueur du canal. Nous avons présenté alors l'expression compacte et explicite du courant de drain du SRG MOSFET à canal court. Celle-ci inclut également les "effets canaux courts". De plus, l'originalité de ce modèle est le fait qu'il n'utilise aucune procédure de calcul itératif, et il utilise un petit nombre de paramètres d'ajustement. Ceci nous a emmené naturellement à un modèle compact destiné à la simulation de circuits analogiques



et mixtes. En fin de ce chapitre, nous avons présenté et comparé favorablement les résultats que nous avons obtenus avec ceux déduits de la simulation numérique du composant.

Dans le dernier chapitre, nous nous sommes intéressés aux transistors Multi-Grilles sans jonctions à nanofil (*JLNs*).

En premier lieu, nous avons expliqué le fonctionnement ainsi que la structure technologique de ce type de transistors. En effet, l'idée des transistors *JLNs* est bâtie sur l'élimination de jonctions ultrafines à travers un dopage uniforme, c'est-à-dire, un seul type de dopage (fort) dans toute la structure. Ceci permet d'avoir un transistor qui fonctionne en déplétion au lieu d'inversion. Cette innovation technologique a permis de faciliter la fabrication de transistor MOS à l'échelle nanométrique et à canal court, permettant ainsi d'optimiser le comportement électrique du dispositif et les performances des circuits CMOS.

En second lieu et puisque le dopage et la tension de bande plate sont des paramètres décisifs dans les transistors *JLNs*, nous présentons alors une extraction de ceux-ci dans le cas de transistor Triples-Grilles (TG) sans jonctions à nanofil et à canal long. Ainsi, nous avons utilisé une méthode basée sur le calcul de la densité de charge moyenne dans le canal à nanofil. Ceci nous a permis de déterminer (via des simulations numériques) la tension de bande plate ainsi que le dopage.

Nous avons analysé la variation de la capacité grille-canal du transistor TG *JLNs* en fonction de la tension de grille. Deux Pics sont observés. Le premier Pic est lié à la tension de seuil et est très sensible à la largeur et à la hauteur de l'épaisseur du film de Silicium à nanofil de transistor TG *JLN*. Par contre, le deuxième Pic est lié à l'incrément de la densité de porteur de charge libre et ne renseigne pas de manière précise sur la valeur de la tension de bandes plates. Celle-ci est évaluée par l'analyse de la densité de charge en coupes transversales de dispositifs. Ainsi que par le tracé de la densité de charge moyenne en fonction de la polarisation pour différentes largeurs du film. Les résultats obtenus dans ce chapitre sont, d'une part utiles dans la caractérisation des *JLNs* et d'autre part, dans le développement de modèles compacts (de type semi-empiriques) pour les transistors TG *JLN*.

Comme perspectives et suite à ces travaux, nous pensons à améliorer le modèle compact du SRG MOSFET par la prise en compte d'autres effets de miniaturisation, tels que le problème de confinement quantique. L'implémentation du modèle du SRG MOSFET dans le langage Verilog-AMS est également envisagée.

De plus, le développement du modèle analytique compact pour les transistors triples-grilles sans jonction constituera une suite logique pour les travaux du dernier chapitre.

## Productions scientifiques

### Publications internationales

- 1- **B. Smaani**, S. Latreche, and B. Iñiguez, “*Compact drain-current model for undoped cylindrical surrounding-gate metal-oxide-semiconductor field effect transistors including short channel effects*”, Journal of Applied Physics (Impact factor Thomson Reuters: 2.185), AIP Publishing LLC, vol.114, Issue.22 (224507), 2013.
- 2- **B. Smaani**, S. Latreche, “*Compact Modeling of Lightly Doped Nanoscale DG MOSFET Transistor*”, Applied Mechanics and Materials (Indexation Scopus), vol.492, pp 306-310, 2014.

### Communications internationales

- 1- **B. Smaani**, M. Bella, M R. Beghoul, and S. Latreche, “*Compact Modeling of Undoped Nanoscale Double Gate MOSFET transistor: Short Channel Effects*”, Proceedings of the 2013 International Conference on Computational and Mathematical Methods in Science and Engineering (CMMSE 2013), ISBN 978-84-616-2723-3, Almeria, Spain, June 24-27, 2013.
- 2- **B. Smaani**, M. Bella and S. Latreche, “*Compact Modeling of Lightly Doped Nanoscale DG MOSFET Transistor*”, the 4th International Conference on Nanotechnology and Biosensors (ICNB), Paris, France, December 20-21, 2013.
- 3- **B. Smaani**, S. Latreche, S. Labiod, the 24th International Conference of Microelectronics (ICM), “*Compact modeling of long channel Double Gate MOSFET transistor*”, Algiers, Algeria, December 17-20, 2012. , ISBN 978-1-4673-5292-5/12©IEEE.
- 4- S. Latreche, **B. Smaani**, “*Modeling of the Charge Density for Long and Short Channel Double Gate MOSFET Transistor*”, Proceedings of the 2012 International Conference on Computational and Mathematical Methods in Science and Engineering (CMMSE 2012), ISBN 978-84-615-5392-1, Murcia, Spain, July, 2-5, 2012.

- 5- M. Bella, **B. Smaani**, S. Labiod, S. Latreche, “*Electrical performance analysis of double gate transistor (DGMOS)*”, Proceedings of The First International Conference on Nanoelectronics Communications and Renewable Energy (ICNCRE 2013), ISBN 978-81-925233-8-5, Jijel, Algeria, September 22-23 , 2013.

# Etablissement de modèles compacts de transistors MOS multi grilles nanométriques en vue de leur application pour la conception de circuits

## Résumé

Nous proposons un modèle compact pour des TMOS à Grille Cylindrique (SRG MOSFET), faiblement dopés et à canaux courts nanométriques. Le courant de drain du modèle est écrit en termes de densité de charge mobile. Ce dernier est calculé à travers les solutions du potentiel de surface. Nous prendrons, notamment en compte les effets canaux courts tels que le DIBL, le  $V_T$  *Roll-off*, la dégradation de la pente sous le seuil et la modulation de la longueur du canal.

Les résultats obtenus relatifs au modèle développé sont comparés avec ceux déduits des simulations numériques à l'aide de l'outil ATLAS du logiciel SILVACO-TCAD. Ils présentent un bon accord sur une gamme de fonctionnement allant du régime de faible inversion à la forte inversion et pour différentes tensions de polarisation.

Nous présentons également une modélisation compacte des TMOS à double grilles (DG MOSFET), faiblement dopés et nanométriques. Une application du travail développé consiste à l'implémentation du modèle DG MOSFET dans un langage de description matériel, qui est Verilog-AMS. Le but étant l'étude et l'évaluation de circuits à base de transistor DG MOSFET. Nous avons alors effectué une étude de performances du composant considéré à travers la simulation et l'analyse temporelle de circuits tels que l'oscillateur *Colpitts* et l'inverseur à charge passive à base de DG MOSFET. Pour cela, nous avons utilisé le simulateur de circuits SMASH.

La fréquence d'oscillation obtenue dans le cas de l'oscillateur *Colpitts* avoisine le GHz. Les résultats de simulations de circuits à base de DG MOSFET confirment ainsi, l'application "circuit" envisagé dès le début de cette thèse.

**Mots clés :** TMOS Multi Grilles, Modélisation compacte, effets canaux courts, simulation de circuits, SILVACO-ATLAS-TCAD, Verilog-AMS, SMASH.

## Abstract

We propose a compact model for undoped short-channel nanoscale cylindrical-gate MOSFETs. The drain-current model is written in terms of the mobile charge density. This latter is calculated through the solutions of the surface potential. We take into account the short-channel effects such as the DIBL, the  $V_T$  Roll-off, the subthreshold slope degradation, and the channel length modulation.

The results relative to the developed model are compared with those deduced from numerical simulations using ATLAS tool of SILVACO-TCAD software. They present a good agreement over a range of operation from weak to strong inversion regime and for different bias voltages.

We also present a compact modeling of lightly doped Double Gate MOSFET (DG MOSFET). An application of the developed work involves the implementation of DG MOSFET model into a hardware description language, which is Verilog-AMS. The goal is the study and the evaluation of circuits based on DG MOSFET transistor. We then carried out study on the device performances through the simulation and the transient analysis of circuits based on DG MOSFET device, such as the *Colpitts* oscillator and the inverter gate using a passive load. For that, we use SMASH circuits simulator.

The oscillation frequency obtained in the case of the *Colpitts* oscillator around the GHz. The results of circuits simulations based on DG MOSFET confirm then, the circuit application considered in the beginning of this thesis.

**Keywords** : Multi-Gate MOSFETs, compact modeling, short channel effects, circuits simulation, SILVACO-ATLAS-TCAD, Verilog-AMS, SMASH.

## ملخص

نقترح نموذج مدمج لترانزستور MOS ذو بوابة اسطوانية (SRG MOSFET)، ضعيف الشوائب وذو قناة قصيرة نانومترية. التيار الكهربائي للنموذج مكتوب بدلالة كثافة الشحنات الحرة. هذا الأخير يحسب من خلال حساب كمون السطح. نأخذ بعين الاعتبار ظواهر القنوات القصيرة مثل DIBL،  $V_T$  Roll-off، تدهور الميل تحت العتبة وتغير طول القناة.

قمنا بمقارنة النتائج المتحصل عليها باستعمال النموذج المطور مع تلك التي تم استخراجها من المحاكاة الرقمية باستخدام أداة ATLAS للبرنامج SILVACO-TCAD، هم على توافق جيد في نطاق تشغيل واسع ابتداء من الانعكاس الضعيف إلى الانعكاس القوي و مع كمون الاستقطاب مختلف.

نقدم أيضا النمذجة المدمجة لترانزستور MOS ذو بوابة مزدوجة (DG MOSFET)، ضعيف الشوائب و نانومتري. كتطبيق للعمل المنجز قمنا بإدراج نموذج الترانزستور DG MOSFET في لغة وصف الأجهزة، والتي هي Verilog-AMS. الهدف هو دراسة وتقييم الدارات القائمة على الترانزستور DG MOSFET. و بذلك أجرينا دراسة للأداء المركب من خلال المحاكاة والتحليل الزمني للدارات على غرار المذبذب Colpitts والعاكس بحمولة سلبية القائم على DG MOSFET. لهذا استخدمنا محاك الدارات SMASH.

تواتر التذبذب الذي تم الحصول عليه في حالة المذبذب Colpitts يقارب الجيغاهيرتز. نتائج محاكاة الدارات القائمة على الترانزستور DG MOSFET تؤكد بالتالي تطبيق الدارات المعترف عند بداية هذه الأطروحة .

**الكلمات الدالة :** TMOS متعدد البوابات، النمذجة المدمجة، ظواهر القنوات القصيرة، محاكاة الدارات، ATLAS-TCAD، SILVACO، Verilog-AMS، SMASH.